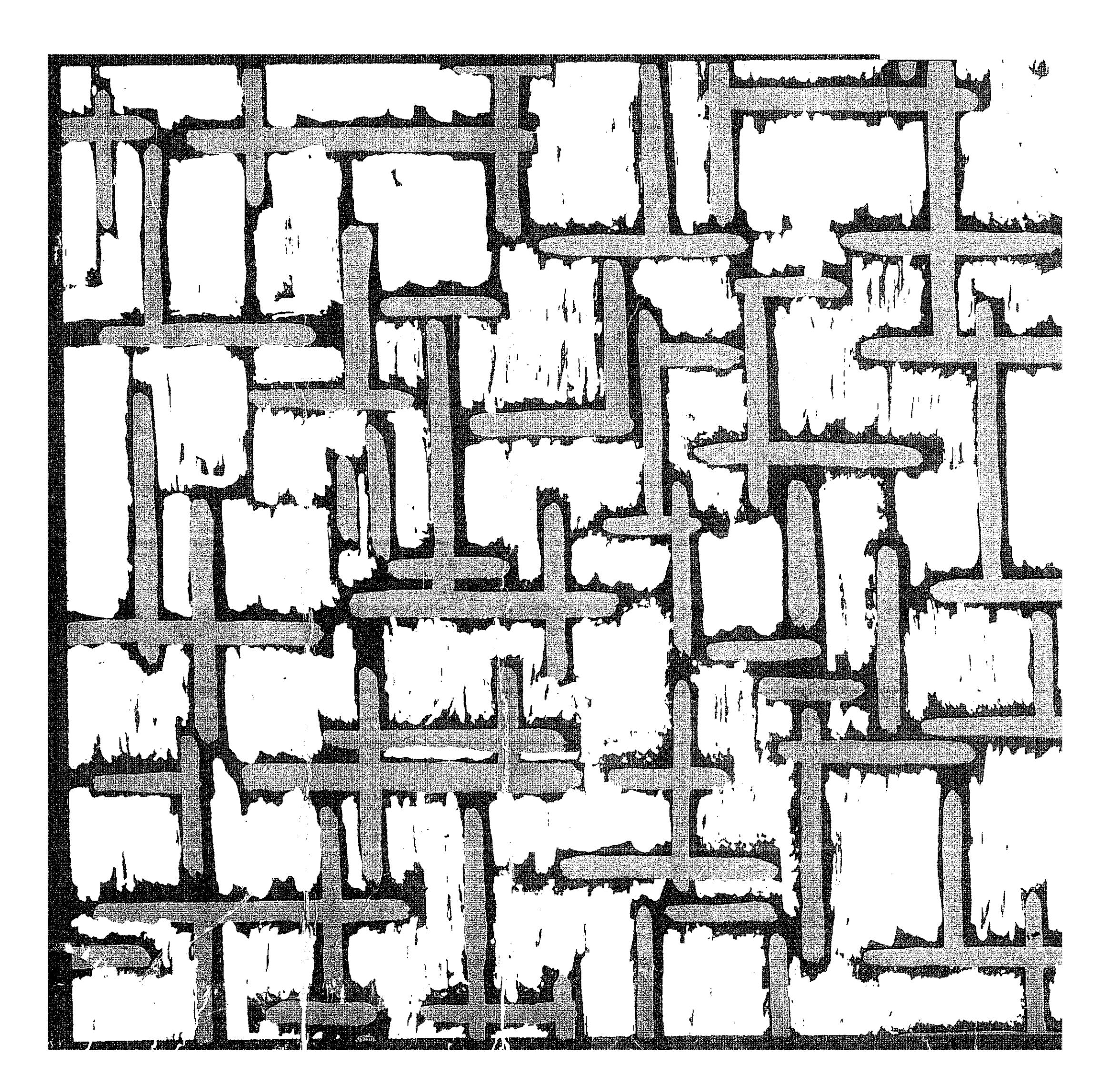
electrónica integrada

circuitos y sistemas analógicos y digitales

jacob millman y
christos c. halkias



ELECTRONICA INTEGRADA

Como indica el profesor J. Peracaula en el prólogo, "la enseñanza de la Electrónica ha experimentado un profundo cambio en pocos años debido a la extensa utilización de los circuitos integrados y, en consecuencia, a la necesidad de saber analizar y diseñar los sistemas que los incluyen". A esta realidad responde la obra de Millman y Halkias que, escrita como texto para el primer curso de Electrónica en la carrera de Ingeniería Eléctrica, se ha impuesto en los más prestigiosos centros universitarios y es recomendada por los mejores especialistas en la materia, tanto para la disciplina citada como para físicos superiores y para ingenieros técnicos o científicos.

El objetivo principal de la obra es el análisis y diseño de circuitos y subsistemas electrónicos. Tras una descripción básica de cada circuito, que permite conocer su comportamiento cualitativo, utilizan los autores ecuaciones sencillas para obtener las relaciones cuantitativas.

Se analizan en la obra gran variedad de circuitos: rectificadores, recortadores, puertas simples, puertas lógicas, etapas de baja frecuencia con transistores bipolares en emisor común, seguidores de emisor, parejas Darlington, etapas en cascada, circuitos digitales MOSFET, FET a frecuencias elevadas, de unión bipolares para altas frecuencias, amplificadores realimentados para distintas frecuencias, amplificadores con realimentación compensada, osciladores, amplificadores operacionales invertidos o no, circuitos de calcu-

BIBLIOTECA TECNICA

ELECTRONICA INTEGRADA

Por **Jacob Millman**, Ph. D. y **Christos C. Halkias**, Ph. D. Profesores de Ingeniería Eléctrica de la Columbia University.

Prólogo por el **Dr. Juan Peracaula**. Catedrático de Electrónica en la Escuela Técnica Superior de Ingenieros Industriales de la Universidad Politécnica de Barcelona.



EDITORIAL HISPANO EUROPEA
BARCELONA (ESPAÑA)

Colección dirigida por **Alfonso Enseñat Badías**,
Doctor Ingeniero Industrial, Profesor de la E.T.S.I.I.B.,
Departamento de Ingeniería Eléctrica
de la Universidad Politécnica de Barcelona

Título de la edición original:
Integrated Electronics.

Traducida por: **Francesc Adan i González**, Ingeniero Industrial, Profesor N.o Numerario del Laboratorio de Electrónica de la E.T.S.I.I. de Barcelona.

Revisión técnica a cargo de **Enrique Belza Valls**, Ingeniero Industrial, Profesor Encargado de Curso de la E.T.S.I.I. de Barcelona.

Es propiedad, 1976
© by **McGraw-Hill Book Company.**
Nueva York (EE. UU.)

Editorial Hispano Europea. Bori y Fontestá, 6-8. Barcelona-6 (España).

Depósito Legal: B. 24.519 - 1976

ISBN: 84-255-0432-5

IMPRESO EN ESPAÑA **PRINTED IN SPAIN**

Gráficas PAREJA – Montaña, 16 – Barcelona-13

Prólogo a la edición española

La presente edición de la obra **Electrónica integrada** de Millman y Halkias viene a llenar un hueco importante en la literatura electrónica en español.

Este libro abarca los componentes semiconductores discretos y se extiende particularmente en los integrados.

La enseñanza de la electrónica ha experimentado un profundo cambio en pocos años debido a la extensa utilización de los circuitos integrados y, en consecuencia, a la necesidad de saber analizar y diseñar los sistemas que los incluyen.

La obra a la que dedicamos estas líneas puede considerarse como básica en este nuevo enfoque didáctico.

Destacan en ella la claridad de exposición y el escalonado acercamiento a los subsistemas electrónicos partiendo de los dispositivos que los forman.

Merecen particular mención los capítulos dedicados a los "Amplificadores operacionales", "Los circuitos integrados como bloques de construcción de sistemas analógicos" y "Los circuitos integrados como bloques constructivos de sistemas digitales".

Desde el punto de vista didáctico el libro queda completado por la serie de cuestiones que propone para ser contestadas al final de cada capítulo y por la extensa colección de problemas relativos a todos los temas tratados.

Creemos que esta obra puede considerarse como un excelente libro de texto para estudiantes de electrónica básica y a la vez un libro de consulta para ingenieros que deseen poner al día sus conocimientos en esta tecnología que se introduce con tanta pujanza en los campos más diversos.

Dr. Juan Peracaula

Catedrático de Electrónica en la Escuela Técnica Superior de Ingenieros Industriales de la Universidad Politécnica de Barcelona

Prefacio

Este libro fue únicamente escrito como texto para el primer curso de electrónica en los estudios de ingeniería eléctrica. No obstante, también es de interés para físicos superiores y para ingenieros técnicos o científicos, que tengan el afán de actualizar sus conocimientos sobre la electrónica de los semiconductores y, sobre todo, de los circuitos integrados.

El plan que se sigue en la presente obra consiste en presentar cada dispositivo a través de una imagen física simple de su comportamiento, lo cual conduce a la caracterización del mismo en función de las variables externas apropiadas y permite construir modelos para pequeñas y grandes señales. Se sigue con un análisis del dispositivo como un elemento de circuito, ya sea en aplicaciones analógicas o bien digitales. Se explicarán en forma de sistemas de bloques constructivos básicos, las combinaciones de tales dispositivos, particularmente para los circuitos integrados. En resumen, el lector irá escalonando sus conocimientos desde la física de los semiconductores a los dispositivos, modelos, circuitos y sistemas. El diseño de sistemas electrónicos en la década de 1970-80 dependerá predominantemente del empleo de los circuitos integrados. De ahí que los autores pronostiquemos que la utilización de circuitos integrados en dispositivos, circuitos o sistemas, se introducirá rápidamente en la electrónica.

También se estudian dispositivos semiconductores de suma importancia en aplicaciones diversas (desde corriente continua a la gama de video frecuencia), incluyendo sensistores, diodos *p-n*, diodos de avalancha, diodos tunel, diodos Schottky, fotodiodos, diodos de capacidad variable, diodos emisores de luz, transistores bipolares de unión (BJT), fototransistores, transistores de unión de efecto campo (MOSFET), rectificadores controlados de silicio, resistencias y condensadores integrados. Haremos hincapié en el transistor bipolar, ya sea en el sistema analógico o en el digital.

El objetivo principal de este libro es el análisis y diseño de circuitos y subsistemas electrónicos. Lo más inmediato será considerar primero cada circuito en una descripción básica, con el fin de lograr una clara comprensión intuitiva de su comportamiento. Sólo después de su discernimiento cualitativo, pasaremos al empleo de las matemáticas (mediante ecuaciones sencillas) para obtener las relaciones cuantitativas.

Se analizará una extensa variedad de circuitos, entre los cuales veremos: rectificadores (incluidos filtros con condensador), recortadores, puertas simples, puertas lógicas (AND, OR, NOT, NAND, DTL, TTL, etc.), etapas de baja frecuencia con transistores bipolares en emisor común, seguidores de emisor, parejas Darlington, etapas en cascada (BJT, apropiadamente polarizadas), etapas a transistores de efecto campo para baja frecuencia en fuente común o en sumidero común, circuitos digitales MOSFET, FET a frecuencias elevadas, los transistores de unión bipolares para altas frecuencias (ya sea en emisor común o en colector común), frecuencia de respuesta de etapas múltiples acopladas en R-C, con transistores BJT o FET, amplificadores realimentados para bajas y altas frecuencias, amplificadores con realimentación compensada, osciladores, amplificadores operacionales invertidos y no invertidos, amplificadores diferenciales, compensación de tales amplificadores, circuitos de calculadores analógicos, filtros activos, amplificadores sintonizados, amplificadores logarítmicos, comparadores, generadores de onda cuadrada, generadores triangulares, flips-flops, registradores de desplazamiento, multiplex, decodificadores, sumadores binarios, contadores memorias (ROM y RAM), convertidores digital-analógicos, convertidores analógico-digitales, amplificadores de potencia, reguladores de tensión y circuitos de control de potencia con SCR.

Hay particular interés en realzar los métodos de análisis y construcción comunes a circuitos y dispositivos completamente diferentes. Por ejemplo, se emplean en el texto los teoremas de Kirchhoff, Thévenin, Norton y Miller. Se utilizan una y otra vez determinados conceptos como recta de carga (o curva de carga), aproximaciones de fracciones lineales para escalas grandes, y modelos lineales a pequeña escala. Se explican los conceptos de funciones de polo-cero, curvas de Bode y concepto de polo dominante de acuerdo con el estudio de la respuesta en frecuencia y de compensación de amplificadores multietapa. Se agregará el análisis con calculadores toda vez que la complejidad del circuito lo justifique. Se hace el estudio para una gran variedad de amplificadores de la resistencia de entrada y de salida y las ganancias de corriente y de tensión.

En general, se emplean las características de dispositivos reales (obtenidos comercialmente). Por este camino resultará familiar, para el uso posterior, el orden de magnitud de los parámetros de los elementos, la variabilidad de estos parámetros dentro de cada grupo y con el cambio de la temperatura, el efecto de las capacidades en paralelo que existen inevitablemente en el circuito, y las consecuencias de las resistencias de entrada y salida y de la carga en el funcionamiento del circuito. Este cúmulo de consideraciones es realmente importante para que el diseño funcione adecuadamente y sea realizable en la práctica, y no sólo en condiciones hipotéticas o circunstancias ideales.

Hay unos 720 problemas para resolver, con los que se probará si el estudiante ha asimilado los conceptos fundamentales enunciados en el libro y que darán experiencia en el análisis y diseño de circuitos electrónicos. En la mayoría de los problemas, se han elegido valores reales de los parámetros y de las especificaciones. Hay publicados un libro de respuestas para los estudiantes, y un manual de soluciones para el instructor, que se adapta completamente al texto. Cada capítulo va acompañado de numerosas preguntas de repaso.

Se ha prestado gran atención a la forma pedagógica de la presentación de la explicación del circuito, al uso de un sistema coherente de notación, al dibujo cuidadoso de los diagramas, a los numerosos ejemplos ilustrativos que se ven con detalle en el texto, y a las preguntas de repaso al final de cada capítulo. Todo ello redunda en beneficio del empleo versátil y sencillo del libro para los autodidactas y para los ingenieros prácticos, que hallarán en el texto una adaptación fácil en este campo tan dinámico.

Los autores hemos adaptado y reimprimido material del libro "Electronic Devices and Circuits" (McGraw – Hill Book Company, Nueva York, 1967). El nuevo libro difiere del antiguo en gran número de aspectos, pues alrededor del 25 % del texto de 1967 se refería a tubos de vacío y el actual no menciona estos dispositivos, ya que no se consideran importantes en el futuro para el diseñador (excepto para posibles tensiones o potencias extraordinariamente elevadas). Se ha simplificado y acortado la introducción física para poder tratar los circuitos con mayor profundidad y extensión. Quien desee una física más profunda puede acudir al último capítulo del libro, el cual comprende un estudio asequible de la física de los dispositivos semiconductores. Se tratan mucho más extensamente los circuitos integrados, no sólo en su fabricación y características sino también en los numerosos ejemplos de subsistemas en forma de circuitos integrados (tales como familias lógicas, funciones lógicas y amplificadores operacionales). El capítulo correspondiente a los amplificadores realimentados para bajas frecuencias se ha vuelto a redactar para las cuatro topologías, y se tratan de forma consistente y simplificada. Se completa un tratamiento extenso de la respuesta para altas frecuencias de etapas en cascada y de amplificadores realimentados (que fueron desatendidos en 1967), en el que se incluye un comentario sobre estabilidad y compensación. Hay un capítulo de circuitos lógicos y otro de bloques digitales de circuito impreso. Se dedicará un capítulo completo al amplificador operacional y otro a los sistemas de bloques analógicos de circuitos impresos.

Los editores enviaron un cuestionario a más de 100 profesores que habían adoptado el "Electronics Devices and Circuits", para preguntarles qué proponían agregar, revisar, etc. en este libro. Nos sentimos obligados con todas aquellas personas que nos han respondido y el presente libro refleja la enorme influencia que han ejercido en su elaboración. De modo particular, deseamos dar a conocer las detalladas críticas constructivas hechas por los profesores R. S. Bennett, W. L. Brown, y D. E. Franklin. Estamos sumamente agradecidos a los doctores M. C. Teich y E. S. Yang, que han leído partes del manuscrito y han ofrecido su preciada colaboración para su mejora. Damos también las gracias al profesor H. Taub, ya que parte de nuestra materia es paralela al libro de Millman y Taub "Pulse, Digital, and Switching Waveforms" (McGraw-Hill Book Company, Nueva York, 1965). Apreciamos también la considerable ayuda que nos han proporcionado J. Derby, G. A. Katopis y J. J. Werner, al verificar en el laboratorio el comportamiento de algunos de los circuitos y determinar las soluciones de los problemas propuestos. Expresamos nuestro agradecimiento a Miss S. Silverstein por su esmerado servicio en la escritura del manuscrito.

Jacob Millman
Christos C. Halkias

Indice

1

Bandas de energía en los sólidos

En este capítulo comenzaremos con un repaso de las propiedades atómicas básicas de los materiales conductores a los niveles discontinuos de la energía electrónica en los átomos. Veremos que estos niveles de energía se distribuyen en bandas de energía en un cristal. Esta estructura en bandas nos permite distinguir entre un aislante, un semiconductor y un metal.

1-1. PARTICULAS CARGADAS

La carga, o cantidad de electricidad negativa y la masa del electrón tienen como valor $1{,}60 \times 10^{-19}$ C (culomb) y $9{,}11 \times 10^{-31}$ kg, respectivamente. El valor de las constantes físicas más importantes viene en el Apéndice A. Cabe tener rápidamente una idea del número de electrones por segundo que representa una corriente de un orden de magnitud usual. Por ejemplo, siendo la carga de un electrón de $1{,}60 \times 10^{-19}$ C, el número de electrones por culomb es el inverso de este número, o sea, aproximadamente 6×10^{18}. Por lo tanto, la intensidad de corriente de 1 A (ampere) corresponde a 1 C/s, mientras que una corriente de solamente 1 pA (1 picoampere, o sea 10^{-12} A) representa el movimiento de aproximadamente 6 millones de electrones por segundo. A pesar de ello, una corriente de 1 pA es tan pequeña que presenta notables dificultades para poder medirla físicamente.

La carga de un ion positivo es un múltiplo entero de la carga del electrón, pero de signo positivo. Para el caso de una sola partícula ionizada, la carga es igual a la del electrón. Si las partículas están doblemente ionizadas, la carga iónica es el doble de la carga del electrón.

La masa de un átomo se expresa mediante un número que resulta de tomar el peso del oxígeno como 16. La masa de un átomo hipotético de peso atómico unidad es, por definición, la dieciseisava parte de la masa del oxígeno monoatómico y se ha calculado como $1{,}66 \times 10^{-27}$ kg. Por lo tanto, *para calcular la masa de cualquier átomo en*

kilogramos, basta con multiplicar el peso atómico del átomo por 1,66 × 10^{-27} kg. La Tabla 1-1 da una lista de los pesos atómicos.

El radio del electrón se ha estimado en 10^{-15} m, y el de un átomo en 10^{-10}. Como resulta tan minúscula, en las secciones siguientes todas las cargas se considerarán como masas puntuales.

En un cristal semiconductor como el silicio, dos electrones están repartidos entre dos iones vecinos. Una configuración de este tipo se denomina un *enlace covalente*. En ciertas circunstancias, un electrón puede estar ausente en esta estructura, dejando un "hueco" en el enlace. Estas ausencias en los enlaces covalentes pueden trasladarse de un ión a otro en el cristal y constituir una corriente equivalente a la que existiría por el movimiento de cargas positivas libres. El valor de la carga asociada con hueco es la del electrón libre. Esta brevísima introducción en el concepto de hueco como carga portadora efectiva, es detallada más profundamente en el capítulo 2.

1-2. INTENSIDAD DE CAMPO, POTENCIAL, ENERGIA

Por definición, *la fuerza f (newton) sobre la unidad de carga positiva en un campo eléctrico se denomina intensidad de campo eléctrico en este punto.* La segunda ley de Newton determina el comportamiento de una partícula cargada con q (culomb), de masa m (kilogramos), que se mueve con la velocidad v (metros por segundo) en un campo de E (volt por metro).

$$f = q\mathcal{E} = m\,\frac{dv}{dt} \tag{1-1}$$

El sistema *MKS* (metro-kilo-segundo) racionalizado es el más conveniente para los estudios subsiguientes, y por lo tanto, este sistema de unidades será el empleado a lo largo del presente texto.

Potencial. Por definición, *el potencial V (voltios) de un punto B con respecto al punto A es el trabajo empleado para llevar una carga positiva por el campo desde el punto A al B.* Esta definición es válida para un campo tridimensional. Para un problema unidimensional con A en x_o y B a una distancia arbitraria x, se sigue que*:

$$V \equiv -\int_{x_0}^{x} \mathcal{E}\,dx \tag{1-2}$$

en que $\mathcal{E}$ representa en este caso la componente X del campo. Diferenciando la ecuación (1-2), da:

$$\mathcal{E} = -\frac{dV}{dx} \tag{1-3}$$

El signo menos es debido a que el campo eléctrico está dirigido desde la región de mayor a la de menor potencial. En tres dimensiones, el campo eléctrico es igual al gradiente del potencial.

Por definición, *la energía potencial U (joule) es igual al potencial multiplicado por la carga q que estamos considerando*, o sea:

$$U = qV \tag{1-4}$$

* El símbolo ≡ se emplea para designar "igual a, por definición".

Si consideramos un electrón, q se reemplaza por $-q$ (en que q es el valor de la carga de un electrón) y U tiene el mismo valor de V, pero queda invertido el signo.

La ley de la conservación de la energía indica que el total de la energía W, que es igual a la suma de las energías potencial U y cinética ½mv², permanece constante. Por lo tanto, en cualquier punto del espacio:

$$W = U + \tfrac{1}{2}mv^2 = \text{constante} \tag{1-5}$$

Para ilustrar esta ley, consideremos dos electrodos paralelos (A y B de la Fig. 1-1a) separados una distancia d, con B a un potencial negativo V_d con respecto a A. Un electrón deja la superficie de A con una velocidad v_o en dirección de B. ¿Qué velocidad v tendrá cuando alcance B?

Por la definición, Ec. (1-2), está claro que sólo tienen importancia las diferencias de potencial; por lo tanto, podemos considerar arbitrariamente A a tierra, es decir considerarlo al potencial cero. Entonces el potencial de B será $V = -V_d$, y la energía potencial será $U = -qV = qV_d$. Igualando el total de la energía que había en A con la que hay en B tenemos:

$$W = \tfrac{1}{2}mv_o^2 = \tfrac{1}{2}mv^2 + qV_d \tag{1-6}$$

Esta ecuación indica que v deberá ser menor que v_o, lo que es obvio puesto que el electrón se mueve contra el campo. Observar que la velocidad v obtenida por el electrón en este sistema conservador, es independiente de la forma de variación de la distribución del campo entre las dos placas y dependiente únicamente del valor de la diferencia de potencial V_d. Por otra parte, si el electrón alcanza el electrodo B, su velocidad inicial deberá ser bastante mayor, de tal forma que $\tfrac{1}{2}mv_o^2 > qV_d$. Asimismo, la Ec. (1-6) nos lleva a la imposibilidad de que v sea imaginario. Vamos a elaborar ahora estas consideraciones.

Concepto de barrera de energía potencial. Partiendo de la Fig. 1-1a, considerando los electrodos grandes en comparación de d, podemos dibujar (Fig. 1-1b) una curva lineal de potencial V en función de la distancia x (en el espacio interelectródico). La energía potencial U en función de x se indica en la Fig. 1-1c. Como el potencial es la energía potencial por unidad de carga, la curva c se obtiene de la curva b multiplicando cada ordenada por la carga de un electrón (un número negativo). Debido a que la energía total W de un electrón permanece constante, se representa por una línea horizontal. La energía cinética a cualquier distancia x es igual a la diferencia entre la energía total W y la energía potencial U en este punto. Esta diferencia tiene su valor mayor en O, indicando que la energía cinética es máxima cuando el electrón deja el electrodo A. En el punto P esta diferencia es cero, lo cual significa que no existe energía cinética, de forma que la partícula se queda en este punto. Esta distancia x_o es la máxima a la que puede llegar el electrón en su camino desde A. En este punto P ($x = x_o$) el electrón permanece momentáneamente quieto, invierte luego su movimiento y regresa a A.

Consideremos un punto S que estuviera a mayor distancia de A que x_o. Allí, la energía total QS será menor que la energía potencial RS; es decir, que la diferencia que representa la energía cinética, es negativa. Esta condición es físicamente imposible, ya que una energía cinética negativa implica una velocidad imaginaria. En consecuencia, podemos concluir que una partícula nunca puede avanzar a una distancia mayor que x_o desde el electrodo A.

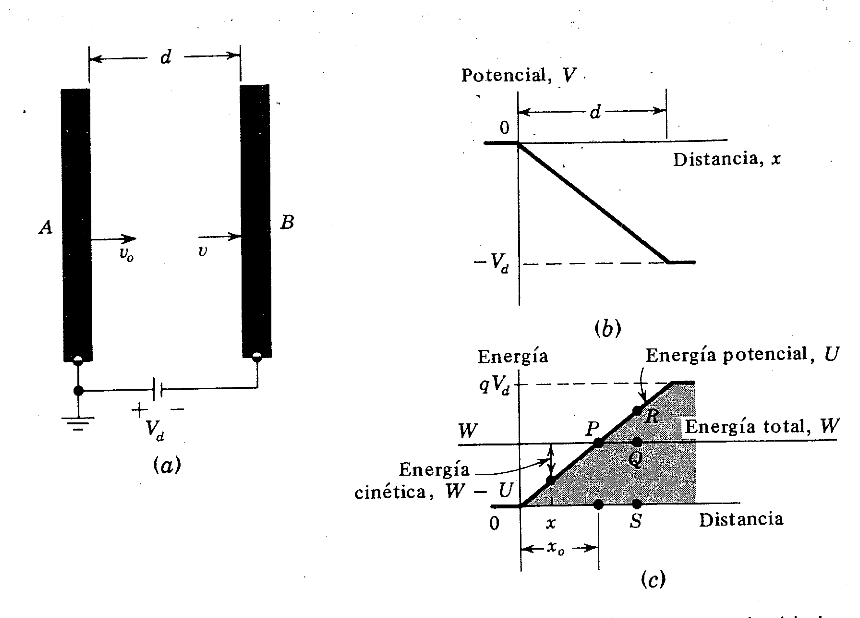


Fig. 1-1. (*a*) Un electrón abandona el electrodo *A* con una velocidad inicial v_o moviéndose en un campo retardador hacia la placa *B*; (*b*) potencial: (*c*) barrera de energía potencial entre electrodos.

El análisis anterior nos lleva a una conclusión muy importante y es que en la porción sombreada de la Fig. 1-1c nunca puede penetrar un electrón. Por lo tanto, en el punto *P* la partícula actúa *como si* hubiera chocado con una pared sólida, valla o barrera, y la dirección de su recorrido se hubiese alterado. Las *barreras de energía potencial* de este tipo desempeñan un importante papel en el análisis de los elementos semiconductores.

Utilizamos la frase "chocar o rebotar contra una valla" de potencial porque es descriptiva, pero no implica un verdadero encuentro entre dos materiales sólidos.

1-3. LA UNIDAD DE ENERGIA eV

El joule (J) es la unidad de energía en el sistema *MKS*. En algunos problemas de potencia, esta unidad es verdaderamente pequeña, y se acostumbra a introducir el factor 10^3 ó 10^6 para convertir watt (1 W = 1 J/s) a kilowatt o megawatt, respectivamente. En cambio, para otros problemas el joule es una unidad demasiado grande, y se debe introducir el factor 10^{-7} para convertir los joules en erg. Para las disertaciones sobre la energía que se emplea en sistemas electrónicos, el erg es todavía una unidad excesivamente elevada. Todo ello no significa que con electrones sólo se puedan obtener escasas cuantías de energía. Si bien es verdad que cada electrón posee poca energía, como ya hemos visto, en una poca corriente existe gran cantidad de ellos y el total puede representar una considerable potencia.

Vamos a definir una nueva unidad de energía denominada *electrón-volt*.

$$1 \text{ eV} \equiv 1{,}60 \times 10^{-19} \text{ J}$$

Es decir, cualquier tipo de energía, ya sea eléctrica, mecánica, térmica, etc., puede expresarse en electrón-volt.

El nombre proviene del hecho de que si un electrón queda libre bajo el potencial de un volt, la energía cinética aumentará por la disminución de la energía potencial, o sea:

$$qV = (1{,}60 \times 10^{-19} \text{ C})(1 \text{ V}) = 1{,}60 \times 10^{-19} \text{ J} = 1 \text{ eV}$$

A pesar de lo mencionado anteriormente, el electrón-volt es una unidad que cabe emplear en cualquier tipo de energía, y no está restringida a los problemas que envuelvan electrones.

Una barrera de energía potencial de *E* (electrón volt) es equivalente a una valla de *V* volt si sus cantidades se relacionan:

$$qV = 1{,}60 \times 10^{-19} E \tag{1-7}$$

Obsérvese que *V* y *E* son *numéricamente* idénticos pero dimensionalmente diferentes.

1-4. NATURALEZA DEL ATOMO

Vamos a desarrollar la estructura en bandas de energía de un sólido, lo cual nos permitirá distinguir un aislante de un semiconductor y de un metal. Repasemos antes las propiedades básicas de los materiales, con sus discretos niveles de energía en el átomo.

En 1911, Rutherford descubrió que los átomos estaban constituidos por cargas positivas que contenían aproximadamente toda la masa del átomo. Rodeando este núcleo central positivo hay las cargas negativas de los electrones. Como imagen específica de este modelo atómico, consideremos el átomo de hidrógeno, constituido por una carga positiva en el núcleo (un protón) y un solo electrón. La carga de este protón es positiva y de igual valor que la carga del electrón. En consecuencia, el átomo completo es eléctricamente neutro. Debido a que el protón lleva prácticamente toda la masa del átomo, permanecerá sustancialmente inmóvil, en tanto que el electrón se moverá dentro de su órbita cerrada. La fuerza de atracción entre el electrón y el protón cumple con la ley de Coulomb. Cabe demostrar por la mecánica clásica que la órbita resultante será una circunferencia o una elipse por la acción de tales fuerzas. Esta forma es exactamente análoga a la de los planetas en torno al sol, ya que en ambos casos la fuerza varía en relación inversa al cuadrado de la distancia entre las partículas.

Supongamos, por lo pronto, que la órbita del electrón en este modelo planetario del átomo, es una circunferencia, suponiendo que el núcleo esté fijo en el espacio. Es sencillo calcular el radio en función de la energía total *W* del electrón. La fuerza de atracción entre el núcleo y el electrón del átomo de hidrógeno es $q^2/4\pi\epsilon_o r^2$, en que la carga del electrón *q* está en coulomb, la separación *r* entre las dos partículas está en metros, la fuerza en newton, y ϵ_o es la permitividad del vacío*. Según la segunda ley de Newton, debe ser igual al producto de la masa del electrón *m* en kilogramos por la aceleración normal al núcleo v^2/r, donde *v* es la velocidad del electrón en su órbita anular en metros por segundo. Entonces:

$$\frac{q^2}{4\pi\epsilon_o r^2} = \frac{mv^2}{r} \tag{1-8}$$

* El valor numérico de ϵ_o aparece en el apéndice A.

Por otra parte, la energía potencial del electrón a la distancia r del núcleo será $-q^2/4\pi\epsilon_o r$, y la energía cinética es $\frac{1}{2}mv^2$. Entonces, de acuerdo con la ley de la conservación de la energía:

$$W = \tfrac{1}{2}mv^2 - \frac{q^2}{4\pi\epsilon_o r} \qquad (1\text{-}9)$$

en que la energía se expresa en joules. Combinando esta expresión con la (1-8), da lugar a:

$$W = -\frac{q^2}{8\pi\epsilon_o r} \qquad (1\text{-}10)$$

que nos da la relación que nos interesaba entre el radio y la energía del electrón. Esta ecuación indica que la energía total del electrón es siempre negativa. El signo negativo es debido a que la energía potencial se ha escogido cero cuando r es infinito. Esta expresión demuestra también que la energía del electrón es más pequeña (más negativa) cuanto más se aproxima al núcleo.

La discusión anterior del átomo planetario se ha considerado únicamente desde el punto de vista de la mecánica clásica. En cambio, una carga acelerada debe radiar energía, de acuerdo con las leyes clásicas del electromagnetismo. Si una carga está oscilando a la frecuencia f, su energía radiada también será de esta frecuencia. De ahí que clásicamente pueda decirse que la frecuencia de emisión de la radiación es igual a la frecuencia con la que el electrón gira en torno a su órbita circular.

Hay un detalle en esta ilustración que puede no concordar con lo observado experimentalmente. Si un electrón está radiando energía, su energía total debe disminuir en la parte de la energía emitida. Con ello resulta que el radio r de la órbita debe decrecer, de acuerdo con la Ec. (1-10). En consecuencia, cuando un átomo radia energía, el electrón deberá moverse en órbitas cada vez menores, cayendo fatalmente al núcleo. Como la frecuencia de oscilación depende del tamaño de la órbita circular, la energía debería ir cambiando de frecuencia gradualmente. Tal conclusión, sin embargo, es incompatible con las frecuencias completamente definidas de las líneas del espectro.

El átomo de Bohr. La dificultad mencionada más arriba fue resuelta por Bohr en 1913, cuando postuló las tres siguientes leyes fundamentales:

1. No son posibles todas las energías dadas por la mecánica clásica, sino que el átomo sólo puede poseer ciertas energías discretas. Dentro de los estados correspondientes a estas energías discretas, el electrón *no* emite radiación y se dice que se halla en estado *estacionario*, o sea no radiante.

2. En la transición de un estado estacionario correspondiente a una energía definida W_2 a otro estado con una energía asociada W_1, se emitirá radiación. La frecuencia de esta energía radiante viene dada por:

$$f = \frac{W_2 - W_1}{h} \qquad (1\text{-}11)$$

en que h es la constante de Planck en joule-segundo, W se expresa en joule, y f en ciclos por segundo o sea hertz.

3. Un estado estacionario queda determinado por la condición de que el momento angular del electrón en este estado está cuantificado y debe ser un múltiplo entero de $h/2\pi$. Por lo tanto:

$$mvr = \frac{nh}{2\pi} \qquad (1\text{-}12)$$

en que n es un número entero.

Combinando las Ecs. (1-8) y (1-12), obtenemos el radio de los estadios estacionarios (Probl. 1-13); y de la Ec. (1-10) el nivel de energía en joule de cada estado resulta ser:

$$W_n = -\frac{mq^4}{8h^2\epsilon_o^2}\frac{1}{n^2} \qquad (1\text{-}13)$$

Entonces, empleando la Ec. (1-11), fueron halladas las frecuencias exactas del espectro del hidrógeno, lo que constituyó un notable éxito. El radio del estado más bajo se encuentra a 0,5 Å.

1-5. NIVELES DE ENERGIA ATOMICA

Para cada valor entero de n, el valor que se obtiene de la Ec. (1-13) se representa por una línea horizontal. Estas líneas difieren verticalmente de acuerdo con el valor numérico calculado por la citada Ec. (1-13). Una representación de este tipo se denomina *diagrama de niveles de energía* y en la Fig. 1-2 se indica el del hidrógeno. El número de la izquierda de cada línea indica la energía de este nivel en electrón-volt. El número indicado inmedia-

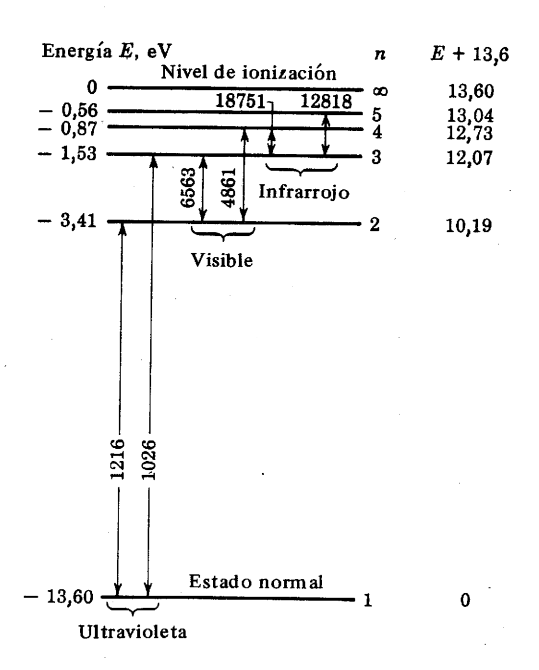


Fig. 1-2. Los cinco niveles menores de energía y el nivel de ionización del hidrógeno. Las líneas del espectro están expresadas en unidades angstrom.

tamente a la derecha de cada línea, da el valor n. Teóricamente, existe un número infinito de niveles para cada átomo, pero sólo los cinco primeros y el nivel para $n = \infty$ quedan indicados en la Fig. 1-2. El eje horizontal no tiene aquí significado, pero extendiendo el diagrama de niveles de energía a los sólidos, el eje X se emplea para representar la separación de los átomos del cristal (Fig. 1-3) o la distancia dentro del sólido. En tales casos, los niveles de energía no son constantes, sino más bien funciones de x.

Se suele expresar la energía de los estados estacionarios en electrón-volt E en lugar de hacerlo en joule J. También es más común especificar la radiación emitida por sus longitudes de onda λ en angstroms, mejor que por su frecuencia en Hz. En tales unidades, la Ec. (1-11) puede escribirse de la siguiente forma:

$$\lambda = \frac{12.400}{E_2 - E_1} \tag{1-14}$$

Como en esta expresión sólo entran diferencias de energía, cabe elegir cualquier valor como estado cero. Conviene elegir, y ésta es la costumbre, el menor estado de energía como nivel cero. Así queda indicado en la escala normalizada de la extrema derecha de la Fig. 1-2. El menor estado de energía se denomina el *normal*, o nivel de *tierra*, y todos los demás estados estacionarios del átomo son llamados niveles *excitados*, *radiantes*, *críticos*, o de *resonancia*.

A medida que el electrón tenga más energía, se moverá en un estado estacionario cada vez más lejos del núcleo. Cuando esta energía es lo suficientemente grande, se traslada completamente fuera del campo de influencia del ión y está "separado" de él. La energía requerida para que tal proceso ocurra, se denomina *potencial de ionización* y se representa por el estado más elevado del diagrama de niveles de energía: 13,60 eV para el hidrógeno.

Colisión de los electrones con los átomos. La anterior discusión demostró que puede suministrarse energía a un átomo para que se excite o ionice. Uno de los sistemas más importantes para suministrar esta energía es el de los impactos de electrones. Supongamos que se acelera un electrón por el potencial aplicado a un tubo de descarga. La energía adquirida del campo puede transferirse entonces al átomo cuando le alcanza el impacto del electrón. Si el bombardeo de electrones puede dar más energía que la requerida para pasar el átomo desde su estado normal a un determinado nivel de resonancia, la energía sobrante quedará en posesión del electrón incidente y en forma de energía cinética después de la colisión.

Si un electrón activo posee un valor de energía por lo menos igual al potencial de ionización del gas, puede suministrar esta energía a un electrón del átomo y separarlo completamente de su ligazón. De esta colisión ionizante resultan tres partículas: dos electrones y un ión positivo.

Naturaleza del fotón de luz. Supongamos que un átomo ha variado desde un estado de tierra a un nivel excitado, por un electrón bombardeante. La vida media del estado excitado tiene un orden de magnitud de 10^{-7} a 10^{-10} seg y el electrón excitado vuelve a su estado previo después de este tiempo. En su transición, el átomo pierde una cantidad de energía igual a la diferencia entre los dos estados que ha ocupado sucesivamente, y esta energía aparece en forma de radiación. De acuerdo con los postulados de Bohr, esta energía es emitida en forma de un fotón de luz, y la frecuencia de esta radiación vendrá dada por la Ec. (1-11) o su longitud de onda por la Ec. (1-14). El término *fotón* denota

una cantidad de energía igual al producto de la constante h por la frecuencia. Esta naturaleza cuantificada de la onda electromagnética fue introducida por Planck en 1901, para verificar teóricamente la fórmula de la radiación del cuerpo negro obtenida experimentalmente.

El concepto de fotón de radiación puede, en principio, dificultar la comprensión. Antiguamente, se creía que los átomos eran sistemas que emitían radiación *continuamente* en todas direcciones, pero de acuerdo con la teoría anterior esto no es verdad, pues la emisión de luz de un átomo es un proceso discontinuo. Es decir, el átomo sólo radia cuando hace una transición de un nivel de energía a otro estado de energía menor. En esta transición emite una cantidad definida de energía de una frecuencia particular, denominado un fotón hf de luz. Asimismo, cuando se observa una descarga luminosa, esta naturaleza discontinua de la radiación no puede ser captada debido al elevado número de átomos que radian energía y, en consecuencia, debido al inmenso número de fotones emitidos por unidad de tiempo.

Líneas espectrales. Las flechas de la Fig. 1-2 representan seis transiciones posibles entre dos estados estacionarios. Las cifras corresponden a la longitud de onda de la radiación emitida. Por ejemplo, la línea del ultravioleta 1 216 Å se radia cuando los átomos de hidrógeno caen desde el primer estado de excitación, $n = 2$ al normal, $n = 1$.

Existe otro método importante, denominado *fotoexcitación*, por el cual un átomo puede elevarse a un estado excitado, y esto es lo que acontece a un gas. Un átomo puede absorber un fotón de frecuencia f y moverse desde un nivel de energía W_1 al nivel de energía superior W_2, en que $W_2 = W_1 + hf$. Este hecho extremadamente importante de la excitación por la captura de un electrón indica que *el fotón no será absorbido a menos que su energía corresponda exactamente a la diferencia de energía entre dos niveles estacionarios del átomo que lo recoge.* Por ejemplo, si un átomo normal de hidrógeno ha sido llevado a su primer estado de excitación mediante una radiación, su longitud de onda debe ser de 1.216 Å (la cual está en la región ultravioleta del espectro).

Cuando un átomo absorbe un fotón, el átomo excitado puede volver a su estado normal, de golpe o por sucesivas etapas. Si el átomo cae a uno o más estados de excitación antes de alcanzar finalmente el estado normal, emitirá varios fotones. Esto corresponderá a diferentes energías entre los niveles sucesivos de excitación a los cuales cae el átomo. ¡Ninguno de los fotones emitidos tendrá la frecuencia de la radiación absorbida! Esta *fluorescencia* no puede explicarse por la teoría clásica, pero se entiende por completo aceptando los postulados de Bohr.

Fotoionización. Si la frecuencia del fotón actuante es suficientemente elevada, puede dar bastante energía de ionización al átomo. El fotón se desvanece y en su lugar aparecen un electrón y un ión positivo. Al contrario del caso de la fotoexcitación, el fotón no necesita poseer exactamente la energía de ionización del átomo. En realidad, sólo precisa poseer *por lo menos* tal energía. Si poseyera algo más que la energía de ionización, este exceso aparecería en forma de energía cinética del electrón emitido y del ion positivo. No obstante, se observa experimentalmente que la máxima probabilidad de que ocurra la fotoionización tiene lugar cuando la energía del fotón es igual al potencial de ionización, y esta probabilidad disminuye rápidamente para mayores energías del fotón.

Mecánica ondulatoria. Puesto que un fotón es absorbido por un sólo átomo, el fotón actúa como si estuviera concentrado en un volumen de espacio muy pequeño, en contra-

dicción con el concepto de onda asociada con una radiación. De Broglie postuló en 1924 que el carácter dual de onda y partícula no está limitado a la radiación, sino que también ocurre en partículas como los electrones, átomos, o masas macroscópicas; aseguró que una partícula de momento $p = mv$ tiene una longitud de onda asociada λ que viene dada por:

$$\lambda = \frac{h}{p} \cdot \tag{1-15}$$

Cabe emplear las propiedades ondulatorias de un electrón en movimiento para establecer el postulado de Bohr, diciendo que un estado estacionario queda determinado por la condición de que el momento angular sea un múltiplo entero de $h/2\pi$. De forma parecida, se puede suponer razonablemente que una órbita de radio r corresponderá a un estado estacionario si contiene un modelo de onda normalizado. En otras palabras, una órbita estable es aquella cuya circunferencia es exactamente igual a la longitud de onda λ, o $n\lambda$, siendo n un entero no nulo. O sea:

$$2\pi r = n\lambda = \frac{nh}{mv} \cdot \tag{1-16}$$

Se observa de forma clara que la Ec. (1-16) es idéntica a las condiciones de Bohr [Ec. (1-12)].

Schrödinger llevó más lejos la teoría de la naturaleza ondulatoria de la materia y desarrolló una ecuación de la onda para describir el electrón bajo un potencial de campo $U(x, y, z)$. La solución de esta ecuación diferencial se denomina la función de onda, y determina la densidad de probabilidad de que en cada punto del espacio se encuentre el electrón con un total de energía W. Si la energía potencial $U = -q^2/4\pi\epsilon_o r$, para el electrón del átomo de hidrógeno, se sustituye en la ecuación de Schrödinger, encontramos que la solución física sólo será posible si W está dada precisamente por los niveles de energía de la Ec. (1-13), los cuales se obtienen de la simple imagen del átomo de Bohr.

1-6. ESTRUCTURA ELECTRONICA DE LOS ELEMENTOS

La solución de la ecuación de Schrödinger para el hidrógeno o para cualquier átomo multielectrón requiere tres números cuánticos. Se designan por n, l y m_l, y se restringen a los siguientes valores enteros:

$$n = 1, 2, 3, \ldots$$
$$l = 0, 1, 2, \ldots, (n-1)$$
$$m_l = 0, \pm 1, \pm 2, \ldots, \pm l$$

Para poder definir totalmente una función de onda, es necesario introducir un cuarto número cuántico. Este cuarto número cuántico m_s *spin* sólo puede tener dos valores: + ½ ó – ½ (correspondientes a la misma energía).

El principio de exclusión. La tabla periódica de los elementos químicos (dada en la Tabla 1-1) puede explicarse mediante una ley enunciada por Pauli en 1925, según la cual *en un sistema electrónico dos electrones no pueden tener los cuatro números cuánticos*

TABLA 1-1 Tabla periódica de los elementos *

Período	Grupo IA	Grupo IIA	Grupo IIIB	Grupo IVB	Grupo VB	Grupo VIB	Grupo VIIB	Grupo VIII			Grupo IB	Grupo IIB	Grupo IIIA	Grupo IVA	Grupo VA	Grupo VIA	Grupo VIIA	Gases inertes
1	H 1 1.01																	He 2 4.00
2	Li 3 6.94	Be 4 9.01											B 5 10.81	C 6 12.01	N 7 14.01	O 8 16.00	F 9 19.00	Ne 10 20.18
3	Na 11 22.99	Mg 12 24.31											Al 13 26.98	Si 14 28.09	P 15 30.97	S 16 32.06	Cl 17 35.45	Ar 18 39.95
4	K 19 39.10	Ca 20 40.08	Sc 21 44.96	Ti 22 47.90	V 23 50.94	Cr 24 52.00	Mn 25 54.94	Fe 26 55.85	Co 27 58.93	Ni 28 58.71	Cu 29 63.54	Zn 30 65.37	Ga 31 69.72	Ge 32 72.59	As 33 74.92	Se 34 78.96	Br 35 79.91	Kr 36 83.80
5	Rb 37 85.47	Sr 38 87.62	Y 39 88.90	Zr 40 91.22	Nb 41 92.91	Mo 42 95.94	Tc 43 (99)	Ru 44 101.07	Rh 45 102.90	Pd 46 106.4	Ag 47 107.87	Cd 48 112.40	In 49 114.82	Sn 50 118.69	Sb 51 121.75	Te 52 127.60	I 53 126.90	Xe 54 131.30
6	Cs 55 132.90	Ba 56 137.34	La 57 138.91	Hf 72 178.49	Ta 73 180.95	W 74 183.85	Re 75 186.2	Os 76 190.2	Ir 77 192.2	Pt 78 195.09	Au 79 196.97	Hg 80 200.59	Tl 81 204.37	Pb 82 207.19	Bi 83 208.98	Po 84 (210)	At 85 (210)	Rn 86 (222)
7	Fr 87 (223)	Ra 88 (226)	Ac 89 (227)	Th 90 232.04	Pa 91 (231)	U 92 238.04	Np 93 (237)	Pu 94 (242)	Am 95 (243)	Cm 96 (247)	Bk 97 (247)	Cf 98 (251)	Es 99 (254)	Fm 100 (253)	Nd 101 (256)	No 102 (254)	Lw 103 (257)	

Tierras raras

Ce 58 140.12	Pr 59 140.91	Nd 60 144.24	Pm 61 (147)	Sm 62 150.35	Eu 63 151.96	Gd 64 157.25	Tb 65 158.92	Dy 66 162.50	Ho 67 164.93	Er 68 167.26	Tm 69 168.93	Yb 70 173.04	Lu 71 174.97

* El número a la derecha del símbolo de cada elemento da su número atómico. El número debajo del símbolo da el peso atómico.

iguales, n, l, m_l, y m_s. Esta declaración de que dos electrones no pueden ocupar el mismo estado cuántico, se conoce como *el principio de exclusión de Pauli.*

Capa electrónica. Se dice que todos los electrones de un átomo que tienen el mismo valor de n están en la misma *capa electrónica.* Estas capas se identifican por las letras K, L, M, N. . . . , correspondientes a los números $n = 1, 2, 3, 4, \ldots$, respectivamente. Una capa se divide en *subcapas* correspondientes a los diferentes valores de l y se identifican como s, p, d, f, . . . , correspondientes a $l = 0, 1, 2, 3, \ldots$, respectivamente. Teniendo en cuenta el principio de exclusión, la distribución en el átomo de los electrones en capas y en subcapas queda indicada en la Tabla 1-2. En la realidad se precisan siete capas para incluir todos los elementos químicos, pero en la tabla sólo hemos considerado cuatro.

Existen dos estados para $n = 1$ correspondientes a $l = 0$, $m_l = 0$, y $m_s = \pm \frac{1}{2}$. Se denominan los estados 1 s. Habrá dos estados correspondientes a $n = 2$, $l = 0$, $m_l = 0$ y $m_s = \pm \frac{1}{2}$, los cuales constituyen la subcapa 2 s. Hay que agregar seis niveles de energía correspondientes a $n = 2$, $l = 1$, $m_l = -1$, 0, ó $+1$, y $m_s = \pm \frac{1}{2}$, que se designan por subcapa 2 p. Así, tal como se indica en la Tabla 1-2, el número total de electrones en la capa L será de $2 + 6 = 8$. De forma similar se puede verificar que la subcapa d contiene un número máximo de 10 electrones, una subcapa f, un máximo de 14 electrones, etc.

El número atómico Z da el número de electrones que giran en torno al núcleo. Emplearemos exponentes para designar el número de electrones de una subcapa particular. Así, el sodio Na, para el cual $Z = 11$, tiene una estructura atómica indicada por $1s^2 2s^2 2p^6 3s^1$. Observemos que el Na tiene un solo electrón en la última subcapa, y por lo tanto se dice que es monovalente. Todos los metales alcalinos poseen la misma propiedad (Li, Na, K, Rb y Cs), lo que concuerda con el hecho de que los elementos del mismo grupo de la tabla periódica (Tabla 1-1) tengan propiedades químicas similares.

Los electrones de las capas interiores están fuertemente unidos al átomo, y no pueden moverse fácilmente. Es decir, los electrones más cercanos al núcleo están más fuertemente ligados a él y, por lo tanto, tienen la energía más pequeña. Por otra parte, los átomos que tienen electrones en capas completas forman configuraciones muy estables. Por ejemplo, los gases inertes He, Ne, A, Kr, y Xe, tienen completas sus últimas capas, o por lo menos sus últimas subcapas.

Tabla 1-2 Capas y subcapas electrónicas

Capa	K	L		M			N			
n.	1	2		3			4			
l.	0	0	1	0	1	2	0	1	2	3
Subcapa . .	s	s	p	s	p	d	s	p	d	f
m_l.	0	0	$0, \pm 1$	0	$0, \pm 1$	$0, \pm 1, \pm 2$	0	$0, \pm 1$	$0, \pm 1, \pm 2$	$0, \ldots, \pm 3$
Número de electrones	2	2	6	2	6	10	2	6	10	14
	2	8		18			32			

TABLA 1-3 Configuración electrónica del Grupo IV A

Elemento	Número atómico	Configuración
C	6	$1s^2 2s^2 2p^2$
Si	14	$1s^2 2s^2 2p^6 3s^2 3p^2$
Ge	32	$1s^2 2s^2 2p^6 3s^2 3p^6 3d^{10} 4s^2 4p^2$
Sn	50	$1s^2 2s^2 2p^6 3s^2 3p^6 3d^{10} 4s^2 4p^6 4d^{10} 5s^2 5p^2$

El carbono, el silicio, el germanio y el estaño tienen las configuraciones electrónicas indicadas en la Tabla 1-3. Obsérvese que cada uno de estos elementos tiene completas las subcapas, excepto la más exterior p, que sólo contiene dos de los seis electrones posibles. A pesar de esta similitud, el carbono en forma cristalina (diamante) es un aislante, el silicio y el germanio son semiconductores y el estaño es un metal. Esta anormalidad aparente se explicará en la siguiente sección.

1-7. TEORIA DE LAS BANDAS DE ENERGIA DE LOS CRISTALES

Los rayos X y otros estudios han revelado que la mayor parte de los metales y de los semiconductores tienen estructura cristalina. Un cristal consiste en un espacio ordenado de átomos o de moléculas (estrictamente hablando, iones) en forma de bloque repetido regularmente en tres dimensiones y correspondiente a una unidad de estructura fundamental. Los niveles de energía electrónica definidos en el átomo libre único (por ejemplo, en el gas, donde los átomos están lo suficientemente lejos como para poder despreciar las influencias de uno con respecto a otro) no se pueden aplicar de la misma manera a los átomos de cristal. Esto es debido a que el potencial característico de la estructura cristalina es ahora una función periódica en el espacio cuyo valor en un punto es el resultado de la contribución de varios átomos. Cuando los átomos forman un cristal, se observa que los niveles de energía de los electrones más interiores no se ven afectados apreciablemente por la presencia de los átomos vecinos. En cambio, los niveles de electrones más exteriores cambian extraordinariamente, ya que estos electrones están solicitados por más de un átomo del cristal. Los nuevos niveles de energía de los electrones exteriores pueden determinarse mediante la mecánica cuántica y se observa que el acoplamiento entre las capas más exteriores de electrones de los átomos da como resultado una *banda* de estados de energía muy próximos entre sí, en lugar de los niveles de energía muy separados del átomo aislado (Fig. 1-3). Vamos a seguir con una exposición cualitativa de la estructura de las bandas de energía.

Consideremos un cristal constituido por N átomos de uno de los elementos de la Tabla 1-3. Imaginemos que es posible variar la distancia entre átomos sin alterar el tipo fundamental de estructura cristalina básica. Si los átomos están tan alejados que la interacción entre ellos es despreciable, los niveles de energía coincidirán con los del átomo aislado. Las dos subcapas más alejadas de cada elemento de la tabla 1-3 contienen dos electrones s y dos electrones p. Por lo tanto, si ignoramos los niveles más cercanos, entonces, tal como indica la parte derecha de la Fig. 1-3a, hay $2N$ electrones que llenan completamente los $2N$ niveles s posibles, todos con la misma energía. Como las subcapas atómicas p tienen seis estados posibles, nuestro cristal imaginario de átomos muy espaciados tiene $2N$

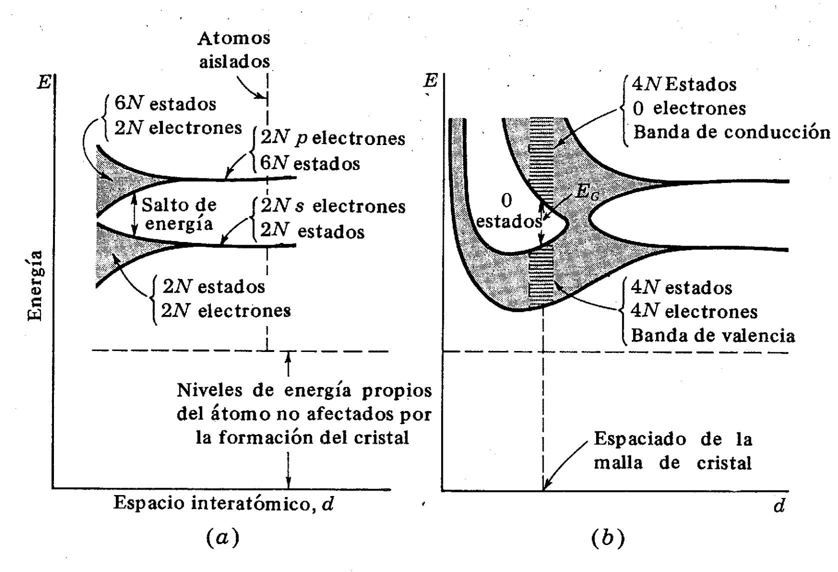


Fig. 1-3. Como se distribuyen los niveles de energía de los átomos aislados en bandas de energía, cuando estos átomos están próximos a otros para constituir un cristal.

electrones, que llenan solamente una tercera parte de los 6N posibles estados p, todos al mismo nivel.

Si ahora disminuimos el espaciado interatómico de nuestro cristal imaginario (moviéndonos de derecha a izquierda en la Fig. 1-3a), cada átomo ejercerá una fuerza eléctrica hacia sus vecinos. Debido al acoplamiento entre átomos, funciones de onda se superpondrán y el cristal se transformará en un *sistema* electrónico, el cual deberá obedecer al principio de exclusión de Pauli. En consecuencia, los 2N estados s degenerados se disiparán en forma de energía. La separación entre niveles es pequeña, pero como N es muy grande ($\sim 10^{23}$ cm^{-3}), la separación total entre la energía máxima y mínima puede ser de varios electrón-volt si la distancia interatómica decrece suficientemente. Este número elevado de discretos niveles de energía estrechamente espaciados, se denomina *banda de energía* y se indica esquemáticamente por la región sombreada inferior de la Fig. 1-3a. Los 2N estados de esta banda están completamente llenos con 2N electrones. De forma parecida, la región sombreada superior de la Fig. 1-3a es una banda de 6N estados que solamente tiene 2N de los niveles ocupados por electrones.

Obsérvese que hay una ausencia de energía (una banda prohibida) entre las dos bandas discutidas anteriormente y que este vacío disminuye a medida que el espaciado atómico decrece. Para distancias suficientemente pequeñas (no indicadas en la Fig. 1-3a, sino en la Fig. 1-3b) estas bandas se superponen. En estas circunstancias los 6N estados superiores se mezclan con los 2N estados inferiores, dando un total de 8 niveles, la mitad de los cuales están ocupados por $2N + 2N = 4N$ electrones localizables. En este espacio, cada átomo posee 4 electrones en la banda, y no se puede decir que tales electrones pertenezcan a las subcapas p o s del átomo aislado, sino que en realidad pertenecen a todo el cristal íntegramente. En este sentido, los elementos de la Tabla 1-3 son tetravalentes, ya que contribuyen con cuatro electrones cada uno al cristal. La banda que ocupan estos electrones se denomina *banda de valencia*.

Si el espacio entre átomos está por debajo de la distancia en la que las bandas se superponen, la interacción entre los átomos es muy elevada. La estructura de la banda de energía dependerá entonces de la orientación relativa de los átomos en el espacio (la estructura cristalina), y, desde luego, del número atómico que determina la constitución eléctrica de cada átomo. Las soluciones de la ecuación de Schrödinger son complicadas y se han obtenido solamente para relativamente pocos cristales. Estas soluciones permiten esperar que el diagrama de las bandas de energía se parezca al de la Fig. 1-3b. En el espacio de la trama del cristal encontramos (línea vertical a trazos) la banda de valencia *llena* con 4N electrones separados, por medio de una banda prohibida (estados no permitidos de energía) de extensión E_G, de una banda *vacía* constituida por 4N estados adicionales. Esta banda superior vacante se denomina *banda de conducción*, por razones que veremos en la próxima sección.

1-8. AISLANTES, SEMICONDUCTORES Y METALES

A un mal conductor de la electricidad se le denomina *aislante*; un conductor excelente es un metal, y las sustancias cuya conductividad está entre estos dos extremos son denominadas *semiconductoras*. Cualquier material puede clasificarse en una de estas tres clases, dependiendo sobre todo de la estructura de su banda de energía.

Aislante. La estructura en bandas de energía de la Fig. 1-3b se indica en la Fig. 1-4a para un espaciado normal de la malla. Para el diamante (carbono) la región que no contiene estados cuánticos está elevada en varios electrón-volt ($E_G \approx 6$ eV). Esta gran banda prohibida separa la región de valencia llena de la banda de conducción vacía. La energía que se le podría suministrar a un electrón desde un campo exterior es demasiado pequeña para llevar la partícula desde la banda llena a la vacía. Como el electrón no puede adquirir la suficiente energía, la conducción es imposible; por lo tanto, el diamante es un aislante.

Semiconductor. Una sustancia cuya anchura de banda prohibida sea relativamente pequeña ($\sim$ 1 ev), se denomina *semiconductora*. El grafito, otra estructura cristalina del

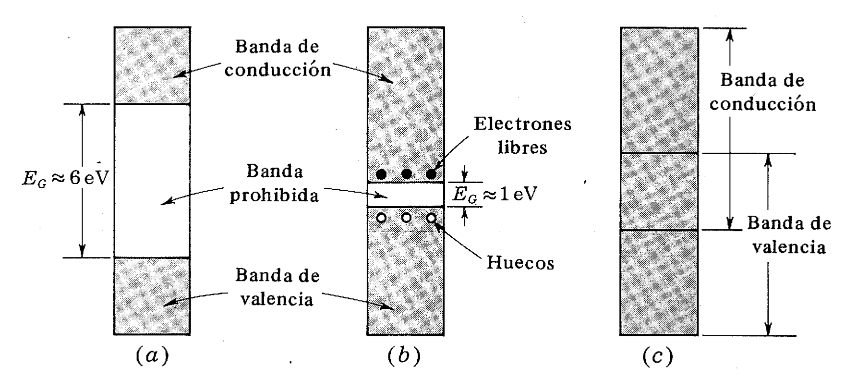


Fig. 1-4. Estructura de bandas de energía de (*a*) un aislante, (*b*) un semiconductor, (*c*) un metal.

carbono que tiene una simetría diferente de la del diamante, tiene un valor pequeño de E_G y es un semiconductor. Los semiconductores prácticos más importantes son el silicio y el germanio, que tienen unos valores de E_G de 1,21 y 0,785 respectivamente, a 0°K. Esta magnitud de energía no puede ser adquirida normalmente desde un campo aplicado exteriormente; por tanto, la banda de valencia permanece llena y la de conducción vacía, y de ahí que estos materiales sean aislantes a bajas temperaturas. No obstante, la conductividad aumenta con la temperatura, como se explicará a continuación. A estas sustancias se las conoce con el nombre de *semiconductores intrínsecos (puros).*

A medida que la temperatura aumenta, algunos de estos electrones de valencia adquieren una energía *térmica* mayor que E_G, y por tanto se mueven en la banda de conducción. A partir de este momento, son electrones libres en el sentido de que pueden moverse bajo la influencia de cualquier campo exterior aplicado. Estos electrones, libres, o de conducción, quedan esquematizados en la Fig. 1-4b por puntos negros. El aislante se ha convertido en un ligero conductor, y constituye el *semiconductor.* La ausencia de un electrón en la banda de valencia se representa por un pequeño círculo en la Fig. 1-4b y se denomina un *hueco.* La frase de "huecos en un semiconductor" siempre se refiere a niveles de energía vacíos en una banda de valencia diferente.

La importancia de los huecos estriba en que pueden servir como portadores de electricidad, comparables en efectividad con los electrones libres. En la Sec. 2-2 se explicará el mecanismo por el cual un hueco contribuye a la conductividad. También demostraremos en el capítulo 2 que, si se introducen ciertas impurezas en el cristal, resulta un estado de energía en la banda de energía prohibida. Veremos también que estos niveles de impurezas también contribuyen a la conducción. A un material semiconductor en el que predomine este mecanismo de conducción, se le denomina *semiconductor extrínseco (impurificado).*

Como la energía de la banda prohibida de un cristal es función del espacio interatómico (Fig. 1-3), no es sorprendente que E_G dependa de la temperatura. Se ha comprobado experimentalmente que E_G decrece con la temperatura, y en la Sec. 2-5 se determina esta dependencia.

Metal. Un sólido que contenga una estructura de banda parcialmente llena se denomina *metal.* Con la influencia de un campo eléctrico los electrones pueden adquirir una energía adicional y cambiar a etapas más elevadas. Ya que estos electrones móviles constituyen una corriente, estos materiales son conductores y la región parcialmente llena es la banda de conducción. En la Fig. 1-4c, hay un ejemplo de una estructura de bandas de un metal que indica superpuestas las bandas de valencia y banda de conducción.

REFERENCIAS

1. Adler, R. B., A. C. Smith, y R. L. Longini: "Introduction to Semiconductor Physics", vol. 1, pág. 78, Semiconductor Electronics Education Committee, John Wiley & Sons, Inc., Nueva York, 1964.

2. Shockley, W.: "Electrons and Holes in Semiconductors", D. Van Nostrand Company, Inc., Princeton, N. J., 1963.

TEMAS DE REPASO

1-1 Definir *energía potencial* en forma literaria y por medio de una ecuación.
1-2 Definir un *electrón-volt.*
1-3 Escribir los tres postulados de Bohr para el átomo.
1-4 Definir *un fotón.*
1-5 Definir (*a*) *fotoexcitación*; (*b*) *fotoionización.*
1-6 Enunciar el *Principio de exclusión de Pauli.*
1-7 Determinar la configuración electrónica de un átomo de un número atómico especificado Z. Por ejemplo, $Z = 32$ para el germanio.
1-8 Explicar por qué los niveles de energía de un átomo se transforman en bandas de energía en un sólido.
1-9 ¿Cuál es la diferencia entre la estructura de bandas de un aislante y la de un semiconductor?
1-10 ¿Cuál es la diferencia entre la estructura de bandas de un semiconductor y de un metal?
1-11 Explicar por qué un semiconductor actúa como un aislante a 0°K y por qué su conductividad aumenta con la temperatura.
1-12 ¿Cuál es la distinción entre un semiconductor intrínseco y un semiconductor extrínseco?
1-13 Definir un hueco en un semiconductor.

2

El fenómeno del transporte en los semiconductores

La corriente en un metal es debida al movimiento de cargas negativas (*electrones*), mientras que la corriente en un semiconductor resulta del movimiento de los electrones y de las cargas positivas (*huecos*). Un semiconductor puede ser "dopado" con átomos impurificadores de manera que la corriente se deba predominantemente a los electrones o bien a los huecos. Vamos a investigar el traslado de las cargas en un cristal bajo la influencia de un campo eléctrico (corriente de *desplazamiento*), y también como resultado de un gradiente de concentración no uniforme (*corriente de difusión*).

2-1. MOVILIDAD Y CONDUCTIBILIDAD

En el capítulo precedente, hemos representado las bandas de energía de los metales, semiconductores y aislantes. En un metal, los electrones de conducción o de valencia de un átomo se hallan tan asociados con un ion como con cualquier otro, o sea que la ligazón con cualquier átomo individual es prácticamente nula. En términos de nuestra explicación anterior, esto significa que la banda ocupada por los electrones de valencia no se puede llenar completamente y que no hay niveles prohibidos a energías superiores. Según sea el metal, por lo menos uno, y a veces dos o tres electrones por átomo, están libres y se mueven por el interior del metal bajo la acción de los campos eléctricos aplicados.

La figura 2-1 es un esquema en dos dimensiones de la carga distribuida en el interior de un metal. Las regiones sombreadas representan la carga positiva neta de los núcleos junto con los electrones internos estrechamente ligados al núcleo. Los puntos negros representan los electrones de conducción o de valencia del átomo. Son aquellos electrones a los que no cabe considerar como pertenecientes a un átomo determinado, es decir, los que han perdido completamente su individualidad y pueden circular libremente de átomo en átomo dentro del metal. De esta manera, un metal puede ser considerado como una región que contiene una red periódica tridimensional de iones pesados fuertemente enlazados, rodeados por una nube de electrones que pueden moverse entre ellos libremente. Esta imagen se conoce con el nombre de *gas-electrónico* de un metal.

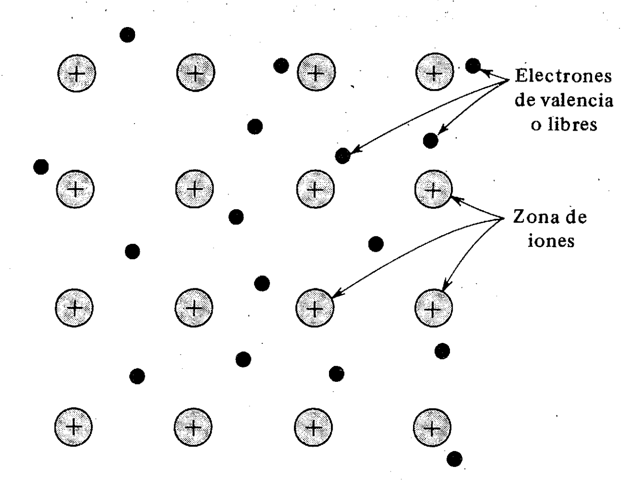


Fig. 2-1. Colocación esquemática de los átomos en un plano del metal (átomos monovalentes). Los puntos negros representan el gas electrónico, y cada átomo ha contribuido con un electrón a este gas.

De acuerdo con la teoría del gas electrónico de un metal, los electrones están continuamente en movimiento; la dirección de su trayectoria cambia en cada colisión con los iones pesados (casi estacionarios). La distancia media entre colisiones se denomina *recorrido libre medio*. Como el movimiento es al azar, es posible que muchos electrones pasen por unidad de área en una determinada dirección y a la vez en dirección opuesta. Por lo tanto, la corriente media es cero.

Veamos ahora cómo cambia la situación si se aplica al metal un campo eléctrico constante $\mathcal{E}$ (volt por metro). Como resultado de las fuerzas electrostáticas, los electrones se aceleran y la velocidad crecería indefinidamente si no fuera por la colisión con los iones. En cada colisión inelástica con un ion, el electrón pierde energía y la condición de equilibrio se alcanza para un valor finito de la *velocidad de desplazamiento* v.[1] Esta velocidad de desplazamiento tiene sentido opuesto a la del campo eléctrico. Al cabo de un tiempo t de la colisión la velocidad es at, donde $a = q\mathcal{E}/m$ es la aceleración; de ahí que la velocidad media v sea proporcional a $\mathcal{E}$, o sea:

$$v = \mu\mathcal{E} \tag{2-1}$$

en que μ (metros cuadrados por volt-segundo) se denomina movilidad de los electrones.

De acuerdo con la teoría anterior, el estado de equilibrio de la velocidad de desplazamiento se sobrepone al del movimiento térmico al azar de los electrones. El flujo dirigido de electrones constituye una corriente. Vamos a calcular ahora la magnitud de esta corriente.

Densidad de corriente. Si, en una longitud L de conductor, hay N electrones (Fig. 2-2), y si un electrón tarda un tiempo T en atravesar la distancia L metros de conductor, el número total de electrones que pasan a través de cualquier sección del conductor por unidad de tiempo, será N/T. Por lo tanto, la carga total por segundo que pasa por

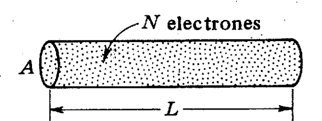


Fig. 2-2. Corresponde al cálculo de la densidad corriente.

cualquier área y que, por definición, constituye la corriente en amperios, será:

$$I = \frac{Nq}{T} = \frac{Nqv}{L}, \tag{2-2}$$

ya que L/T es la velocidad media o de *desplazamiento* v m/s de los electrones. Por definición, la densidad de corriente, indicada por el símbolo J, es la corriente media por unidad de área del conductor, es decir, suponiendo una distribución uniforme de la corriente:

$$J \equiv \frac{I}{A}, \tag{2-3}$$

donde J se expresa en ampere por metro cuadrado, y A es el área de la sección transversal (en metros) del conductor. De todo ello se deduce, en virtud de la Ec. (2-2):

$$J = \frac{Nqv}{LA}. \tag{2-4}$$

En la Fig. 2-2 es evidente que LA es simplemente el volumen que contiene N electrones, y N/LA la concentración n de electrones (en electrones por metro cúbico). Por lo tanto:

$$n = \frac{N}{LA}, \tag{2-5}$$

y la Ec. (2-4) se reduce a:

$$J = nqv = \rho v, \tag{2-6}$$

donde $\rho \equiv nq$ es la densidad de carga en coulomb por metro cúbico, y v está en metros por segundo.

Esta deducción es independiente de la forma del medio de conducción; en consecuencia, la Fig. 2-2 no representa necesariamente un hilo conductor y puede representar igualmente tanto la porción de la descarga gaseosa de un tubo como un elemento de volumen de un semiconductor. Por otra parte, ni ρ ni v deben ser necesariamente constantes, sino que pueden variar de un punto a otro en el espacio o con el tiempo.

Conductividad. De las ecuaciones (2-6) y (2-1)

$$J = nqv = nq\mu\mathcal{E} = \sigma\mathcal{E}, \tag{2-7}$$

donde

$$\sigma = nq\mu, \tag{2-8}$$

es la *conductividad* del metal en (ohm-metro)$^{-1}$. A la Ec. (2-7) se la conoce con el nombre de ley de Ohm, e indica que la conducción de corriente es proporcional a la diferencia de potencial aplicada. Como hemos mencionado en otra parte, la energía que adquieren los electrones del campo eléctrico aplicado se cede como resultado de las colisiones, a los iones de la red. Por lo tanto, se disipa energía en el interior del metal debida a los electrones, siendo la densidad térmica de potencia (efecto Joule) $J\mathcal{E} = \sigma\mathcal{E}^2$ (watt por metro cúbico).

2-2. LOS HUECOS Y LOS ELECTRONES EN UN SEMICONDUCTOR INTRINSECO

De la Ec. (2-8) vemos que la conductividad es proporcional a la concentración de electrones libres n. Para un buen conductor, n es muy elevado ($\sim 10^{23}$ electrones/m^3); para un aislante, n es muy pequeño ($\sim 10^7$); y para un semiconductor, n está situado entre estos dos valores. Los electrones de valencia de un semiconductor no están libres en el mismo sentido en que lo están para los conductores, sino que están ligados por los enlaces entre iones adyacentes, como se explica seguidamente.

El enlace covalente. El germanio y el silicio constituyen los dos semiconductores más importantes empleados en los dispositivos electrónicos. La estructura cristalina de estos materiales está formada por una repetición regular tridimensional de una célula unitaria que tiene el aspecto de un tetraedro con un átomo en cada vértice. Estas estructuras se representan simbólicamente en dos dimensiones, según se indica en la Fig. 2-3. El germanio tiene un total de 32 electrones en su estructura atómica, y forma capas como las indicadas en la Tabla 1-3. Como se ha explicado en la Sec. 1-7, cada átomo de un cristal de germanio tiene cuatro electrones de valencia, y por tanto es tetravalente. El núcleo iónico inerte del átomo de germanio tiene una carga positiva de + 4 medida en unidades de carga electrónica. La fuerza de enlace entre átomos vecinos es el resultado del hecho de que cada electrón de valencia de un átomo de germanio es compartido por uno de sus cuatro vecinos más próximos. Este *par de electrones*, o *enlace covalente*, se representa en

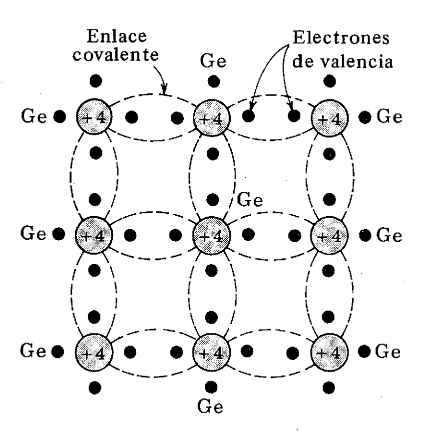


Fig. 2-3. Estructura cristalina del germanio, representada simbólicamente en dos dimensiones.

la Fig. 2-3 mediante dos líneas de trazos que unen cada átomo con sus vecinos. La circunstancia de que los electrones de valencia sirvan de unión entre un átomo y el próximo determina que los electrones de valencia estén ligados a los núcleos. Por lo tanto, a pesar de la disponibilidad de cuatro electrones de valencia el cristal tiene baja conductividad.

El hueco. A temperaturas bajas (digamos 0° K) la estructura ideal de la Fig. 2-3 es bastante aceptable, y el cristal se constituye en aislante, puesto que no hay disponible ningún portador libre de electricidad. En cambio, a la temperatura ambiente, algunos de los enlaces covalentes se romperán debido al suministro de energía térmica al cristal, y en consecuencia resulta posible la conducción. Esta situación queda reflejada en la Fig. 2-4. En este caso, un electrón que en un período de tiempo anterior había formado parte de un enlace covalente, es representado fuera de su enlace, y por tanto libre para circular al azar formando parte del cristal. La energía E_G que se precisa para romper el enlace covalente es, aproximadamente, de 0,72 eV para el germanio, y de 1,1 eV para el silicio a la temperatura del ambiente. La ausencia del electrón en el enlace covalente se representa por el pequeño círculo de la Fig. 2-4; el enlace covalente incompleto se denomina *hueco*. La importancia del hueco es primordial, ya que puede servir como portador de electricidad comparable en su efectividad con el electrón libre.

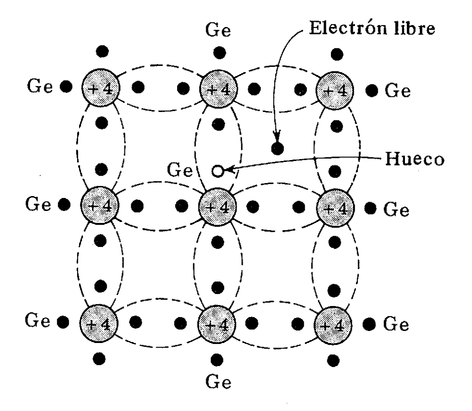


Fig. 2-4. Cristal de germanio con un enlace covalente roto.

El mecanismo por el cual los huecos contribuyen a la conductividad puede explicarse de la siguiente manera: Cuando un enlace queda incompleto aparece un hueco, y le resulta relativamente fácil al electrón de valencia del átomo vecino dejar su enlace covalente y llenar este hueco. Un electrón que deja su enlace para llenar un hueco deja a su vez otro hueco en su posición inicial. Por tanto, el hueco se mueve efectivamente en dirección contraria al electrón. Este hueco en esta nueva posición puede ser llenado por un electrón de otro enlace covalente, y por lo tanto el hueco se moverá un lugar en sentido opuesto al movimiento del electrón. He aquí un nuevo mecanismo de conducción de la electricidad que no implica electrones *libres*. En la Fig. 2-5 se indica esquemáticamente este fenómeno; un círculo con un punto representa un enlace completo, y un círculo vacío representa un hueco. La figura 2-5a muestra una línea de 10 iones, con un enlace roto, o hueco, en el

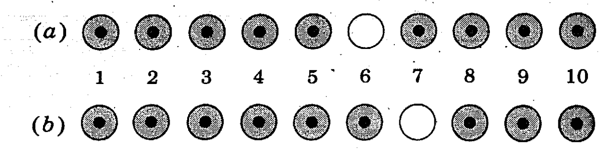


Fig. 2-5. Mecanismo por el que un hueco contribuye a la conductividad.

ion 6. Imaginemos ahora que el electrón del ion 7 se mueve hacia el hueco del ion 6, de tal forma que el resultado sea la Fig. 2-5b. Si comparamos esta figura con la 2-5a, se observa cómo el hueco de (*a*) se ha movido en (*b*) hacia la derecha (del ion 6 al ion 7). Esta observación determina que el movimiento del hueco en una dirección significa el traslado de una carga negativa a igual distancia pero en dirección opuesta. A medida que fluye la corriente eléctrica, los huecos se comportan como cargas positivas de igual valor que la carga del electrón. Podemos considerar que los electrones son entidades físicas cuyo movimiento constituye un flujo de corriente. El argumento de que los huecos equivalen a cargas portadoras positivas *libres*, puede justificarse por la mecánica cuántica[1] y la verificación experimental de este concepto se dará en la Sec. 2-6.

En un semiconductor puro (*intrínseco*), el número de huecos es igual al número de electrones libres. La agitación térmica continuamente produce nuevos pares de electrón-hueco, mientras que otros pares desaparecen como resultado de la recombinación. La concentración de huecos p debe ser igual a la concentración de electrones n, de manera que:

$$n = p = n_i \qquad (2\text{-}9)$$

donde n_i se denomina *concentración intrínseca*

Masa efectiva[2]. Vamos a hacer una breve digresión sobre el concepto de la masa efectiva del electrón y del hueco. Se observa que, cuando se emplea la mecánica cuántica para especificar el movimiento dentro de un cristal, de los electrones o de los huecos libres o de conducción, a los que se les aplica un campo exterior, cabe considerarlos como imaginarias *partículas clásicas*, con masas efectivas positivas m_p y m_n respectivamente. Esta aproximación es válida siempre que los campos exteriores aplicados sean mucho más débiles que los campos *periódicos* producidos por la estructura de la red cristalina. En un cristal perfecto, estas partículas imaginarias responden solamente a los campos exteriores.

Un análisis de mecánica ondulatoria[1] demostraría que un electrón de enlace o valencia *no puede* tener el mismo tratamiento que una partícula clásica. Esta dificultad queda soslayada ignorando los electrones de enlace y considerando tan sólo el movimiento de los huecos. En resumen, la hipótesis de la masa efectiva cambia la fisonomía cuántica del problema y nos permite emplear las leyes de Newton para determinar el efecto de las fuerzas exteriores en los electrones (libres) y en los huecos dentro del cristal.

2-3. IMPUREZAS DONADORAS Y ACEPTADORAS

Si a un semiconductor intrínseco, como el silicio o el germanio, se le añade un pequeño porcentaje de átomos trivalentes o pentavalentes, se transforma en un semiconductor dopado, impuro o extrínseco.

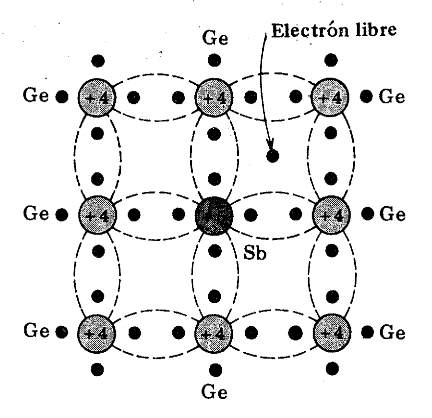


Fig. 2-6. Red de cristal de germanio, con un átomo desplazado por un átomo impurificador pentavalente.

Donadores. Si la impureza tiene cinco electrones de valencia, se obtiene la estructura cristalina de la Fig. 2-6. Los átomos de la impureza desplazarán algunos átomos de germanio del cristal. Cuatro de los cinco electrones de valencia ocuparán enlaces covalentes, y el quinto quedará inicialmente sin enlace y constituirá un portador de corriente. La energía necesaria para desligar este quinto electrón del átomo, es del orden de sólo 0,01 eV para el Ge o 0,05 para el Si. Las impurezas pentavalentes que se emplean son antimonio, fósforo y arsénico; éstas producen un exceso de electrones portadores (negativos), y se les denomina *donadoras* o del tipo n.

Cuando se agrega un donador a un semiconductor, aparecen niveles de energía permitidos a muy poca distancia de la banda de conducción, tal como indica la Fig. 2-7. Estos nuevos niveles permitidos son fundamentalmente discretos debido a que los átomos de impureza añadidos están muy alejados en la estructura del cristal, y por lo tanto su interacción es pequeña. En el caso del germanio, la distancia del nuevo nivel permitido es de sólo 0,01 eV (0,05 eV en el Si) por debajo de la banda de conducción, y por lo tanto a la temperatura ambiente casi todos los "quintos" electrones del material donador pasaron a la banda de conducción.

Si un material semiconductor intrínseco se "droga" con impurezas del tipo n, no sólo aumenta el número de electrones, sino que también el número de huecos disminuye por debajo del que tenía el semiconductor intrínseco. La razón de este decrecimiento de

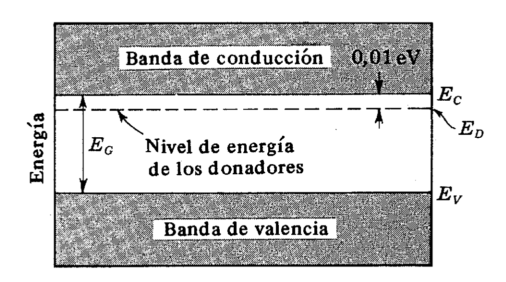


Fig. 2-7. Diagrama de bandas de energía de un semiconductor de tipo *n*.

huecos se debe al gran número de electrones presentes que aumentan la velocidad de recombinación de los huecos con los electrones.

Aceptadores. Si se añade una impureza trivalente (boro, galio o indio) a un semiconductor intrínseco, sólo se pueden completar tres de los enlaces covalentes, y la ausencia correspondiente al cuarto enlace constituye un hueco. Esta situación queda reflejada en la Fig. 2-8. Tales impurezas posibilitan portadores positivos, ya que crean huecos que pueden aceptar electrones, y por lo tanto son conocidas con el nombre de *aceptadores*, o impurezas de tipo p. La cantidad que de ellas se debe agregar para tener un efecto apreciable en la conductividad, es verdaderamente pequeña. Por ejemplo, si se agregan impurezas del tipo donador en una proporción del 1 por 10^8, la conductividad del germanio a 30° C viene multiplicada por 12.

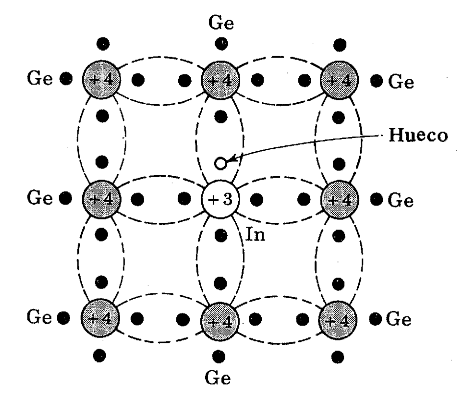


Fig. 2-8. Red de cristal de germanio con un átomo desplazado por un átomo impurificador trivalente.

Cuando se agregan impurezas aceptadoras, o sea de tipo p, al semiconductor intrínseco, se engendra un nivel discreto de energía permitida que está justamente por encima de la banda de valencia, tal como muestra la Fig. 2-9. Puesto que se precisa una cantidad muy pequeña de energía para que un electrón deje la banda de valencia y ocupe el nivel de energía introducido por los aceptadores, se generarán huecos en la banda de valencia debido a los electrones que la abandonan y ello dará lugar a un elevado número de portadores en el material semiconductor.

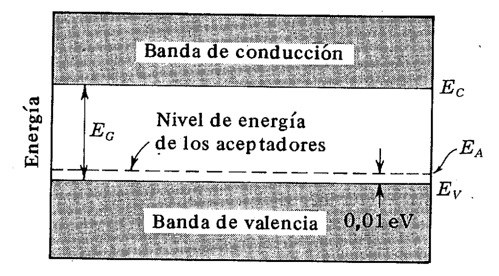


Fig. 2-9. Diagrama de bandas de energía de un semiconductor tipo p.

Ley de acción de masas. Hemos observado más arriba que, al añadir impurezas de tipo n, disminuye el número de huecos. En forma parecida, al drogar con impurezas de tipo p disminuye la concentración de electrones libres a un valor inferior a la del semiconductor intrínseco. Un análisis teórico (Sec. 2-12) nos demostrará que, en condiciones de equilibrio térmico, el producto de la concentración de las cargas positivas y negativas libres es una constante independiente de la cantidad de donador o aceptador. Esta ecuación se denomina ley de *acción de masas* y viene dada por:

$$np = n_i^2 \tag{2-10}$$

La concentración intrínseca n_i es función de la temperatura (Sec. 2-5).

Sacamos con todo ello la importante consecuencia de que las impurezas en un semiconductor intrínseco no sólo aumenta la conductividad, sino que también sirve para producir un conductor en el que los portadores de electricidad son predominantemente huecos o electrones. En un semiconductor de tipo n, los electrones se denominan *portadores mayoritarios*, y los huecos *portadores minoritarios.* En un material del tipo p, los huecos son portadores mayoritarios, y los electrones portadores minoritarios.

2-4. DENSIDADES DE CARGA EN UN SEMICONDUCTOR

La ecuación (2-10) que es $np = n_i^2$, indica una relación existente entre la concentración de electrones n y la de huecos p. Estas densidades, por otra parte, están relacionadas por la ley de la neutralidad eléctrica a la que daremos a continuación forma algebraica. Sea N_D la concentración de átomos donadores. Debido a que, como hemos mencionado anteriormente, en la práctica están todas totalmente ionizadas, aparecerán N_D cargas positivas por metro cúbico como contribución de iones fijos donadores; de ahí que la densidad de carga positiva total sea $N_D + p$. Similarmente, si N_A es la concentración de iones aceptadores, éstos contribuyen al suministro de N_A cargas negativas por metro cúbico. La densidad de carga total negativa será $N_A + n$. Como el semiconductor es eléctricamente neutro, el valor de la densidad de carga positiva deberá ser igual a la concentración de la negativa, o sea:

$$N_D + p = N_A + n \tag{2-11}$$

Consideremos un material del tipo n que tenga $N_A = 0$. Como el número de electrones es mucho mayor que el de huecos ($n \gg p$), entonces la Ec. (2-11) se reduce a:

$$n \approx N_D \tag{2-12}$$

En un material de tipo n la concentración de electrones libres es aproximadamente igual a la densidad de átomos donadores.

En aplicaciones posteriores estudiaremos las características de materiales del tipo n y p conectados entre sí. Como puede llevar a una confusión el tipo del que estamos hablando en cada momento, añadiremos un subíndice n o p para las sustancias del tipo n o p, respectivamente. De esta manera, la ecuación (2-12) se puede expresar con mayor claridad:

$$n_n \approx N_D \tag{2-13}$$

La concentración p_n de huecos en el semiconductor de tipo n se obtiene a partir de la Ec. (2-10), la cual escribiremos ahora $n_n p_n = n_i^2$. O sea:

$$p_n = \frac{n_i^2}{N_D} \qquad (2\text{-}14)$$

De igual manera, en un semiconductor del tipo p:

$$n_p p_p = n_i^2 \qquad p_p \approx N_A \qquad n_p = \frac{n_i^2}{N_A} \qquad (2\text{-}15)$$

Cabe añadir donadores a un cristal del tipo p o, inversamente, agregar aceptadores a un material del tipo n. Si se igualan las concentraciones de aceptadores y donadores en el semiconductor, éste permanece intrínseco. Los huecos de los aceptadores se combinan con los electrones de conducción del donador para no dar ningún portador libre adicional. Es decir, en la Ec. (2-11) con $N_D = N_A$, observamos que $p = n$; y en la Ec. (2-10), $n^2 = n_i^2$, o sea $n = n_i$ = concentración intrínseca.

Ampliando los argumentos anteriores, podemos indicar que si la concentración de átomos donadores añadidos a un semiconductor del tipo p excede a la concentración de aceptadores ($N_D > N_A$), cambia del tipo p al tipo n. [En las ecuaciones (2-13) y (2-14), N_D deberá reemplazarse *por* $N_D - N_A$.]

2-5. PROPIEDADES ELECTRICAS DEL Ge Y DEL Si

La diferencia fundamental entre un metal y un semiconductor consiste en que el primero es *unipolar* [conduce corriente mediante cargas de un solo signo (electrones)], mientras que el semiconductor es *bipolar* (contiene dos "partículas" portadoras de carga de signo opuesto).

Conductividad. Uno de los portadores mencionados es negativo (electrones libres), de movilidad μ_n, y el otro es positivo (el hueco) de movilidad μ_p. Estas partículas se mueven en sentidos opuestos en un campo eléctrico $\mathcal{E}$, debido a que tienen signo opuesto, pero por esto mismo la corriente de ambos tiene la misma dirección. De ahí que la densidad de corriente J venga dada por (Sec. 2-1):

$$J = (n\mu_n + p\mu_p)\, q\mathcal{E} = \sigma\mathcal{E} \qquad (2\text{-}16)$$

en que n = valor de la concentración de electrones libres (negativa)
p = valor de la concentración de huecos (positiva)
σ = conductividad.

Por lo tanto $\quad \sigma = (n\mu_n + p\mu_p)\, q \qquad$ (2-17)

Para un semiconductor puro, $n = p = n_i$, donde n_i es la concentración intrínseca.

Concentración intrínseca. Con el incremento de la temperatura, la densidad de pares electrón-hueco aumenta y, consecuentemente, la conductividad se eleva. En la Sec. 19-5 encontramos que la concentración intrínseca n_i varía con T de la siguiente forma:

$$n_i^2 = A_o T^3 \epsilon^{-E_{GO}/kT} \qquad (2\text{-}18)$$

donde E_{GO} es el salto de energía de la banda vacía, a 0° K en electrón-volt, k es la constante de Boltzman en V/°K (Apéndice A), y A_o es una constante independiente de la temperatura. Las constantes E_{GO}, μ_n, μ_p y otros muchos valores físicos importantes para el germanio y el silicio aparecen en la Tabla 2-1. Obsérvese que el germanio tiene del orden de 10^{22} átomos/cm³ mientras que, a la temperatura ambiente (300° K), $n_i = 10^{13}$ /cm³. Por lo tanto, sólo 1 átomo de aproximadamente 10^9 aporta un electrón libre al cristal (y sólo un hueco) debido a la rotura de un enlace covalente.

TABLA 2-1 Propiedades del germanio y del silicio*

Propiedades	Ge	Si
Número atómico	32	14
Peso atómico	72,6	28,1
Densidad en g/cm³	5,32	2,33
Constante dieléctrica (relativa)	16	12
Atomos/cm³	$4{,}4 \times 10^{22}$	$5{,}0 \times 10^{22}$
E_{GO}, eV, a 0° K	0,785	1,21
E_G, eV, a 300° K	0,72	1,1
n_i a 300° K, cm⁻³	$2{,}5 \times 10^{13}$	$1{,}5 \times 10^{10}$
Resistividad intrínseca a 300° K, Ω-cm	45	230 000
μ_n, cm²/V-seg. a 300° K	3 800	1 300
μ_p, cm²/V-seg. a 300° K	1 800	500
D_n, cm²/seg. = $\mu_n V_T$	99	34
D_p, cm²/seg. = $\mu_p V_T$	47	13

* G. L. Pearson y W. H. Brattain, "History of Semiconductor Research", *Proc. IRE,* vol. 43, pp. 1794-1806, diciembre de 1965. E. M. Conwell, "Properties of Silicon and Germanium", 2.ª Parte, *Proc. IRE,* vol. 46, n.º 6, pp. 1281-1299, junio de 1958.

Para el silicio, esta relación es algo menor, aproximadamente de 1 átomo por cada 10^{12}.

La banda vacía. La región prohibida E_G en un semiconductor depende de la temperatura, como hemos apuntado en la Secc. 1-17. Experimentalmente, encontramos que para el silicio,[3]

$$E_G(T) = 1{,}21 - 3{,}60 \times 10^{-4}\, T \qquad (2\text{-}19)$$

y a la temperatura ambiente (300° K), E_G = 1,1 eV. Similarmente, para el germanio[4]:

$$E_G(T) = 0{,}785 - 2{,}23 \times 10^{-4}\, T \qquad (2\text{-}20)$$

y a la temperatura ambiente, E_G = 0,72 eV.

La movilidad. Este parámetro μ varía de forma T^{-m} en un margen de temperaturas comprendido entre 100 y 400° K. Para el silicio, m = 2,5 (2,7) para los electrones (huecos), y para el germanio m = 1,66 (2,33) para los electrones (huecos). La movilidad viene también dada en función del campo eléctrico y sólo permanece constante si $\mathcal{E} < 10^3$ V/cm en un silicio de tipo n. Para $10^3 < \mathcal{E} < 10^4$ V/cm, μ_n varía aproximadamente como $\mathcal{E}^{-1/2}$. Para campos mayores, μ_n es inversamente proporcional a $\mathcal{E}$ y la velocidad del portador se aproxima al valor constante de 10^7 cm/s.

Ejemplo (*a*) Empleando el número de Avogadro, verificar el valor numérico dado en la tabla 2-1 para la concentración de átomos de germanio. (*b*) Encontrar la resistividad del germanio intrínseco a 300° K. (*c*) Si se añade una impureza del tipo donador en proporción de 1 parte en 10^8 átomos de germanio, hallar la resistividad. (*d*) Si el germanio fuera un metal monovalente, encontrar la relación de su conductividad con respecto al semiconductor del tipo *n* del apartado *c*.

SOLUCION. *a.* Una cantidad de sustancia igual a su peso molecular expresado en gramos, se llama *mol* de esta sustancia. Por otra parte, un mol contiene siempre el mismo número de moléculas cualquiera que sea el material. Este número se denomina *número de Avogadro* y representa $6{,}02 \times 10^{23}$ moléculas por mol (Apéndice A). Así, para el germanio monoatómico (empleando la tabla 2-1):

$$\text{Concentración} = 6{,}02 \times 10^{23} \frac{\text{átomos}}{\text{mol}} \times \frac{1 \text{ mol}}{72{,}6 \text{ g}} \times \frac{5{,}32 \text{ g}}{\text{cm}^3} = 4{,}41 \times 10^{22} \frac{\text{átomos}}{\text{cm}^3}$$

b. De la Ec. (2-17), con $n = p = n_i$,

$$\sigma = n_i q(\mu_n + \mu_p) = (2{,}5 \times 10^{13} \text{ cm}^{-3})(1{,}60 \times 10^{-19} \text{ C})(3\,800 + 1.800)\frac{\text{cm}^2}{\text{V-s}}$$
$$= 0{,}0224 \ (\Omega\text{-cm})^{-1}$$

$$\text{Resistividad} = \frac{1}{\sigma} = \frac{1}{0{,}0224} = 44{,}6 \ \Omega\text{-cm}$$

de acuerdo con el valor de la tabla 2-1.

c. Si hay 1 donador por cada 10^8 átomos de germanio, entonces $N_D = 4{,}41 \times 10^{14}$ átomos/cm^3. De la Ec. (2-12) $n \approx N_D$ y de la Ec. (2-14)

$$p = \frac{n_i^2}{N_D} = \frac{(2{,}5 \times 10^{13})^2}{4{,}41 \times 10^{14}} = 1{,}42 \times 10^{12} \text{ huecos/cm}^3$$

Como $n \gg p$, podemos despreciar p para calcular la conductividad. De la Ec. (2-17):

$$\sigma = nq\mu_n = 4{,}41 \times 10^{14} \times 1{,}60 \times 10^{-19} \times 3\,800 = 0{,}268 \ (\Omega\text{-cm})^{-1}$$

La resistividad $= 1/\sigma = 1/0{,}268 = 3{,}72 \ \Omega$-cm.

NOTA: La adición de un átomo donador en 10^8 átomos de germanio ha multiplicado la conductividad por $44{,}6/3{,}72 = 11{,}7$.

d. Si cada átomo contribuye con un electrón libre en el "metal", entonces:

$$n = 4{,}41 \times 10^{22} \text{ electrones/cm}^3$$

y

$$\sigma = nq\mu_n = 4{,}41 \times 10^{22} \times 1{,}60 \times 10^{-19} \times 3\,800$$
$$= 2{,}58 \times 10^7 \ (\Omega\text{-cm})^{-1}$$

Por tanto, la conductividad del metal es mayor que la del semiconductor del tipo *n* con una relación de:

$$\frac{2{,}58 \times 10^7}{0{,}268} \approx 10^8$$

2-6. EL EFECTO HALL

Si una muestra (metal o semiconductor) por la que circula una corriente I es colocado en un campo magnético transversal B, se engendra un campo eléctrico $\mathcal{E}$ en dirección perpendicular a I y a B. Este fenómeno, conocido con el nombre de *efecto Hall*, se emplea para determinar cuándo un semiconductor es del tipo *n* o *p* y encontrar la concentración de portadores. También, a la vez que medimos la conductividad σ, puede calcularse la movilidad μ.

El orden físico del efecto Hall no es difícil de encontrar. Si en la Fig. 2-10 I está en la dirección de X positiva y B en la dirección Z positiva, se ejercerá una fuerza en la dirección de Y negativa sobre los portadores de corriente. La corriente I puede ser debida al movimiento de los huecos de izquierda a derecha o al de electrones libres que atraviesan de derecha a izquierda el semiconductor. Así, pues, independientemente del tipo de portadores, huecos o electrones, habrá una fuerza de arriba abajo hasta la cara 1 en la Fig. 2-10. Si el semiconductor es un material del tipo *n*, de tal manera que la corriente sea llevada por electrones, estos electrones se acumularán en el lado 1 y esta superficie quedará cargada negativamente con respecto al lado 2. De esta manera aparece un potencial, denominado *tensión de Hall*, entre las superficies 1 y 2.

Si la polaridad de V_H es positiva en el terminal 2, entonces, como se ha explicado anteriormente, los portadores deberán ser electrones. Si, por el contrario, el terminal 1 queda cargado positivamente con respecto al terminal 2, el semiconductor será del tipo *p*. Este resultado ha sido verificado experimentalmente, lo que justifica la naturaleza bipolar (dos portadores) de la corriente en un semiconductor.

Si I es la corriente en un semiconductor del tipo *p*, los portadores deberán considerarse *enlaces* de electrones que se van rompiendo de derecha a izquierda. Entonces el lado 1 debe quedar cargado negativamente. No obstante, experimentalmente, el lado 1 es realmente positivo con respecto al lado 2 para un semiconductor del tipo *p*. Este experimento confirma el hecho de la mecánica cuántica observado en la Sec. 2-2, en que el hueco actúa como un clásico portador de cargas *libre* positivo.

Determinación experimental de la movilidad. En el estado de equilibrio, el campo eléctrico de intensidad $\mathcal{E}$ debida al efecto Hall debe ejercer sobre los portadores una fuerza que equilibre las fuerzas magnéticas, o sea:

$$q\mathcal{E} = Bqv \qquad (2\text{-}21)$$

donde q es el valor de la carga del portador, y v es la velocidad de desviación. De la Ec. (1-3), $\mathcal{E} = V_H/d$, en que d es la distancia entre las superficies 1 y 2.

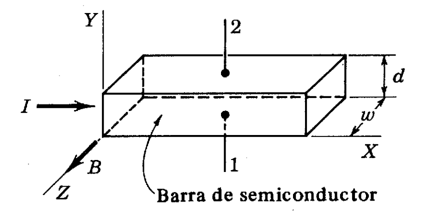


Fig. 2-10. Efecto Hall. Los portadores (ya sean electrones o huecos) están sujetos a fuerzas magnéticas en la dirección de Y negativa.

De la Ec. (2-6), $J = \rho v = I/wd$, en que J es la densidad de corriente, ρ es la densidad de carga, y w es la anchura del semiconductor en la dirección del campo magnético. Combinando estas relaciones, encontramos:

$$V_H = \mathcal{E}d = Bvd = \frac{BJd}{\rho} = \frac{BI}{\rho w} \tag{2-22}$$

Si se miden V_H, B, I y w, la densidad de carga ρ puede determinarse de la Ec. (2-22).

Es usual introducir el coeficiente de Hall R_H definido por:

$$R_H \equiv \frac{1}{\rho} \tag{2-23}$$

Y por lo tanto $$R_H = \frac{V_H w}{BI} \tag{2-24}$$

Si la conducción es debida fundamentalmente a las cargas de un signo, la conductividad σ se relaciona con la movilidad μ por la Ec. (2-8) o sea:

$$\sigma = \rho\mu \tag{2-25}$$

Si la conductividad se mide teniendo en cuenta el coeficiente de Hall, la movilidad se puede determinar por:

$$\mu = \sigma R_H \tag{2-26}$$

En la explicación anterior hemos supuesto que todas las partículas tienen una velocidad de desplazamiento v. En realidad, los portadores de corriente tienen una velocidad de origen térmico distribuida al azar. Si se tiene en cuenta esta distribución, encontramos que la Ec. (2-24) permanece válida teniendo en cuenta que R_H está definida por $3\pi/8\rho$. También puede ser modificada la Ec. (2-26) haciendo $\mu = (8\sigma/3\pi)R_H$.

Aplicaciones. Como V_H es proporcional a B (para una corriente I dada), entonces el efecto Hall puede introducirse en un medidor de campo magnético. Otro instrumento, denominado *multiplicador de efecto Hall*, da una salida proporcional al producto de dos señales. Si I se hace proporcional a una de las entradas y si B se relaciona linealmente con la segunda señal, entonces, por la Ec. (2-22), V_H es proporcional al producto de las dos entradas.

2-7. MODULACION DE LA CONDUCTIVIDAD

Como la conductividad σ de un semiconductor es proporcional a la concentración de los portadores libres [Ec. (2-17)], σ puede aumentar por el incremento de n o de p. Los dos métodos más importantes para variar n y p son los cambios de temperatura o de iluminación del semiconductor y con ellos se generan nuevos pares de electrón-huecos.

Termistores. Por la Ec. (2-18) sabemos que la conductividad del germanio (silicio) aumenta aproximadamente 6 (8) por ciento por grado de aumento de la temperatura.

Este cambio tan extraordinario de la conductividad con la temperatura da lugar a una limitación en el uso de un semiconductor en algunos circuitos. En cambio, para otras aplicaciones es exactamente esta propiedad de los semiconductores la que se emplea con ventaja. A un semiconductor empleado de tal forma se le denomina *termistancia*. Tales sistemas encuentran extensas aplicaciones en termometría, en la medida de potencia de microondas, como relés térmicos, y en dispositivos de control que actúan por cambios de temperatura. El silicio y el germanio no son utilizados como termistores, ya que sus propiedades son demasiado sensibles a las impurezas. Los termistores comerciales están constituidos por mezclas sinterizadas de óxidos como NiO, Mn_2O_3, y Co_2O_3.

El decrecimiento exponencial en resistividad (recíproco a la conductividad) de un semiconductor contrasta con el incremento pequeño y casi lineal de la resistividad de un metal. Un incremento en la temperatura de un metal da como resultado una mayor agitación térmica de los iones, y por lo tanto decrece ligeramente la banda media de los electrones libres. El resultado es un decrecimiento en la movilidad y, por consiguiente, de la conductividad. Para la mayor parte de los metales, la resistencia aumenta aproximadamente 0,4 %/° C de incremento de temperatura. Debe tenerse en cuenta que el termistor tiene un coeficiente negativo de resistencia, mientras que el de un metal es positivo y mucho más pequeño en magnitud. Incluyendo un termistor en un circuito, se pueden compensar los cambios debidos a la temperatura en un margen tan amplio como 100° C de variación.

Un semiconductor fuertemente drogado puede tener un coeficiente de temperatura positivo; en estas circunstancias, el material adquiere propiedades metálicas y la resistencia aumenta debido al decrecimiento de la movilidad de los portadores con la temperatura. Tal dispositivo, denominado *posistancia* o sensistor (construido por Texas Instruments), tiene un coeficiente de temperatura de + 0,7 %/° C (en el margen de – 60 a + 150° C).

Fotoconductores. Si una radiación actúa sobre un semiconductor, su conductividad aumenta, y este efecto fotoconductivo se explica de la siguiente manera. La energía radiante aplicada al semiconductor ioniza los enlaces covalentes; es decir, estos enlaces se rompen, y aparecen pares de electrón-huecos que se añaden a los generados térmicamente. Este incremento de corriente de portadores reduce la resistencia del material, y por esto el

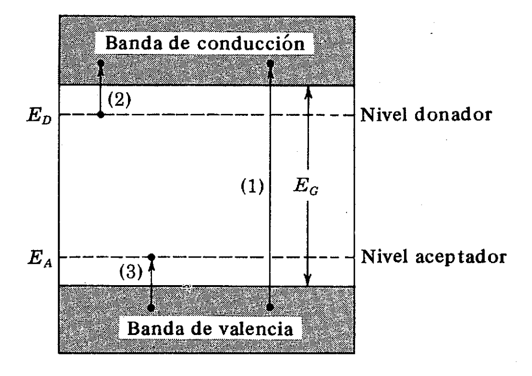


Fig. 2-11. Fotoexcitación en los semiconductores. (1) es intrínseca, mientras que (2) y (3) son excitaciones extrínsecas.

dispositivo se denomina *fotorresistencia* o *fotoconductor*. Para un cambio de 1 000 lux en el nivel de la iluminación, la resistencia de un fotoconductor comercial puede cambiar en varios kilohms.

En la Fig. 2-11 indicamos el diagrama de energía de un semiconductor que tenga impurezas de los dos tipos, donadoras y aceptadoras. Si iluminan este semiconductor fotones con suficiente energía, tiene lugar la *fotogeneración* y son posibles las siguientes transiciones: un par de electrón-hueco puede crearse con un fotón de energía elevada, y se denominará *excitación intrínseca*; un fotón puede excitar un electrón donador hacia la banda de conducción; o bien un electrón de valencia puede ir hacia el estado aceptador. Las dos últimas transiciones son conocidas como *excitaciones de impurezas*. Como la densidad de estados en las bandas de conducción y de valencia excede grandemente la densidad de estados de impurezas, la fotoconductividad se debe principalmente a la excitación intrínseca.

Respuesta espectral. La energía mínima para que un fotón dé lugar a la excitación intrínseca, es la energía de la banda prohibida E_G (electrón-volt) del material semiconductor. La longitud de onda de un fotón cuya energía corresponda a E_G viene dada en la Ec. (1-14), con $E_1 - E_2 = E_G$. Si λ_c se expresa en micras* y E_G en electrón-volt:

$$\lambda_c = \frac{1{,}24}{E_G} \tag{2-27}$$

Si la longitud de onda λ de la radiación excede a λ_c, entonces la energía del fotón es menor que E_G y no puede ser causa de que un electrón de valencia entre en la banda de conducción. Por esta razón a λ_c se le denomina *longitud de onda crítica, o de corte, o longitud de onda umbral*, del material. Para el Si, $E_G = 1{,}1$ eV y $\lambda_c = 1{,}73$ μm a la temperatura ambiente (Tabla 2-1).

En la Fig. 2-12 se indican las curvas de sensibilidad espectral y queda patente que un fotoconductor es un dispositivo selector de frecuencia. Esto significa que, con una determinada intensidad de luz, una longitud de onda no generará el mismo número de portadores libres que otra. En otras palabras, *la respuesta espectral*, depende de la frecuencia de la radiación incidente. Obsérvese que la longitud de onda límite es ligeramente mayor que los valores de λ_c calculados anteriormente, debido a la excitación por impurezas. Cuando

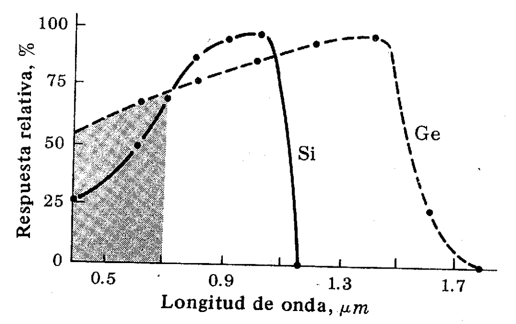


Fig. 2-12. Relativo a la respuesta espectral del Si y del Ge (Cortesía de Texas Instruments, Inc.).

* 1 micra = 1 micrómetro = 1 μm = 10^{-6} m.

la longitud de onda disminuye ($\lambda < \lambda_c$ o $f > f_c$), la respuesta aumenta hasta alcanzar un máximo. El margen de longitud de onda de la luz visible (0,38 a 0,76 μm) está indicada por una región sombreada en la Fig. 2-12.

Células fotoconductoras comerciales. Existen tres tipos de aplicaciones importantes para tales dispositivos: (1) como medida de iluminación (o sea un medidor de luz), (2) para grabar una intensidad de luz modulada (como en una pista de sonido), y (3) como conmutador (conectado-desconectado) sensible a la luz (en sistemas digitales o circuitos de control).

El elemento fotoconductor con mayor número de aplicaciones es la célula de sulfuro de cadmio. La superficie sensitiva de este dispositivo consiste en una capa de deposición química de SCd, que puede contener pequeñas cantidades de plata, antimonio o indio como impurezas. En la oscuridad absoluta, la resistencia puede elevarse a valores de 2 MΩ y cuando se le estimula con una luz potente, la resistencia puede ser inferior a 10 ohm.

Las ventajas primordiales de los fotoconductores de SCd son su elevada capacidad de disipación, su excelente sensibilidad al espectro visible, y su baja resistencia cuando se le estimula con luz. A estos fotoconductores se les diseña para poder disipar unos 300 mW y pueden construirse para manipular niveles de varios wat sin peligro. Los fotoconductores de SCd pueden funcionar directamente sobre relés, sin necesidad de circuitos amplificadores intermediarios.

Cabe encontrar otros tipos de elementos fotoconductores para aplicaciones específicas. Una célula de SPb tiene un pico en la curva de sensibilidad, en la frecuencia de 2,9 μm y se emplea para detectar o medir absorción de radiaciones infrarrojas. Las células de selenio son bastante sensibles al final del espectro visible, y particularmente hacia el final del azul.

2-8. GENERACION Y RECOMBINACION DE CARGAS

En la Sec. 2-2 hemos visto que en un semiconductor puro el número de huecos es igual al número de electrones libres. La agitación térmica genera continuamente nuevos pares de electrón-huecos, g por unidad de volumen y por segundo, mientras que otros desaparecen como resultado de la recombinación; dicho de otra manera, los electrones libres caen en enlaces covalentes vacíos, con el resultado de la pérdida de un par de portadores móviles. Por término medio, un hueco (o un electrón) existe durante $\tau_p(\tau_n)$ seg antes de la recombinación. Este tiempo se denomina *vida media* de un hueco o de un electrón respectivamente. Estos parámetros son muy importantes en los sistemas semiconductores porque indican el tiempo requerido para que las concentraciones de huecos o electrones que hayan cambiado, vuelvan a sus concentraciones de equilibrio.

Consideremos una barra de silicio de tipo n que tenga la concentración de equilibrio térmico p_o y n_o. Supongamos que, en el instante $t = t'$, el semiconductor se ilumina (Fig. 2-13) y que entonces se generan pares adicionales de electrón-huecos uniformemente a lo largo del cristal. Se alcanza una situación de equilibrio, y las nuevas concentraciones son $\bar{p}$ y $\bar{n}$ bajo la influencia de la radiación. La concentración de *fotoinyectados* o *excedentes* es $\bar{p} - p_o$ para los huecos, y $\bar{n} - n_o$ para los electrones. Como las radiaciones causan los pares de electrón-huecos, entonces queda claro que:

$$\bar{p} - p_o = \bar{n} - n_o \tag{2-28}$$

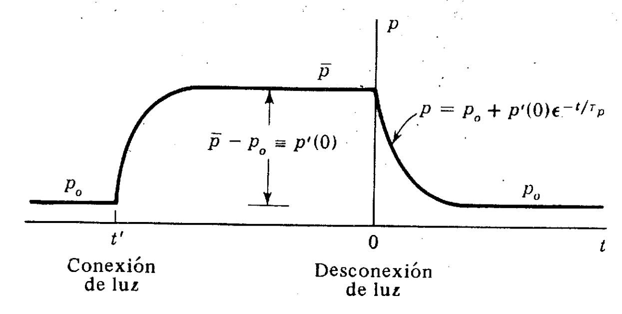


Fig. 2-13. Concentración de huecos (minoritarios) en una barra de semiconductor de tipo n, como función del tiempo, debida a la generación y a la recombinación.

Como el incremento de concentración de huecos p iguala al de la densidad de electrones n, el *porcentaje* de incremento de electrones en un semiconductor del tipo n (ya que los electrones son más abundantes) es muy pequeña. En otras palabras, el porcentaje de incremento de huecos puede ser enorme, ya que los huecos están en minoría en un cristal del tipo n. En resumen, la radiación apenas afecta a los portadores mayoritarios, y por lo tanto deberemos limitar la discusión al comportamiento de los portadores minoritarios.

Después de alcanzado el estado de equilibrio en el tiempo $t = 0$, de la Fig. 2-13, la radiación se elimina. Debemos ahora demostrar que la densidad excesiva de portadores vuelve a cero exponencialmente con el tiempo. Para lograrlo, obtendremos la ecuación diferencial que determina la concentración de huecos en función del tiempo para $t > 0$ (*cuando no haya radiación exterior*).

A partir de la definición de tiempo de vida media τ_p y *suponiendo que* τ_p *es independiente del valor de la concentración de huecos:*

$$\frac{p}{\tau_p} = \textit{decrecimiento}\text{ de la concentración de huecos por segundo debida a la recombinación} \qquad (2\text{-}29)$$

De la definición de velocidad de generación:

$$g = \textit{incremento}\text{ de la concentración de huecos por segundo debido a la generación térmica} \qquad (2\text{-}30)$$

Como ninguna carga puede ser creada o destruida, deberá haber un incremento por segundo dp/dt de la concentración. Esta variación deberá ser igual, en un instante de tiempo, a la suma algebraica de las variaciones dadas en la Ec. (2-29) y (2-30), o sea:

$$\frac{dp}{dt} = g - \frac{p}{\tau_p} \qquad (2\text{-}31)$$

En condiciones de equilibrio, $dp/dt = 0$, y con la ausencia de radiación en cuestión, la concentración de huecos p alcanzará su equilibrio térmico para un valor p_o. De ahí que $g = p_o/\tau_p$, y la ecuación anterior se transforma en:

$$\frac{dp}{dt} = \frac{p_o - p}{\tau_p} \qquad (2\text{-}32)$$

La densidad de portadores *inyectados o excedentes* p', se define como el incremento de la concentración de minoritarios sobre el valor de equilibrio. Como p' es una función del tiempo, entonces:

$$p' \equiv p - p_o = p'(t)\,. \qquad (2\text{-}33)$$

De la Ec. (2-32) se sigue que la ecuación diferencial que controla p' es:

$$\frac{dp'}{dt} = -\frac{p'}{\tau_p} \qquad (2\text{-}34)$$

La velocidad de cambio del exceso de concentración es proporcional a su concentración —resultado intuitivamente correcto. El signo menos indica que el cambio es una disminución en el caso de recombinación, y es un aumento cuando la concentración se resarce de una disminución temporal.

Debido a la radiación en un instante inicial (a $t \leqslant 0$), hay un exceso de concentración $p'(0) = \bar{p} - p_o$, y cuando la radiación se elimine, la solución de la Ec. (2-34) para $t \geqslant 0$ será:

$$p'(t) = p'(0)\epsilon^{-t/\tau_p} = (\bar{p} - p_o)\epsilon^{-t/\tau_p} = p - p_o \qquad (2\text{-}35)$$

El exceso de concentración decrece exponencialmente a cero ($p' = 0$ ó $p = p_o$) con una constante de tiempo igual a la vida media τ_p, como indica la Fig. 2-13. El método del pulso de luz indicado en esta figura, se emplea para medir τ_p.

Centros de recombinación. La recombinación es el proceso mediante el cual un electrón pasa de la banda de conducción a la banda de valencia, de manera que un par móvil de electrón-hueco desaparece. La mecánica clásica indica que en el encuentro entre dos partículas el momento se conserva. Como el momento después de la recombinación es cero, la ley de conservación requiere que el electrón y el hueco que chocan tengan momentos de igual magnitud pero que se muevan en sentido contrario. Esta condición es muy restrictiva, y por lo tanto la probabilidad de recombinación en un encuentro directo es muy pequeña.

El mecanismo más importante por el que el silicio o el germanio logran la recombinación de los electrones y los huecos es la existencia de *trampas o centros de recombinación*[5], que contribuyen a los estados de equilibrio en la banda de energía prohibida del semiconductor. Tales lugares actúan efectivamente como un tercer cuerpo que satisface el requerimiento de la conservación del momento. Estos nuevos estados quedan asociados con imperfecciones del cristal. En particular, las impurezas metálicas del semiconductor son capaces de introducir estados de energía en la banda prohibida. La recombinación está afectada no sólo por el volumen de impurezas, sino también por las imperfecciones superficiales del cristal.

El oro se emplea profusamente como agente recombinador en la fabricación de elementos semiconductores. De esta manera, el diseñador de elementos puede obtener portadores de una vida determinada introduciendo oro en el silicio en condiciones controladas.[6] El margen de vida de los portadores va desde nanosegundos (1 ns = 10^{-9} s) a cientos de microsegundos (μs).

2-9. DIFUSION

Junto con la corriente de conducción, el transporte de cargas en un semiconductor, puede realizarse por un mecanismo denominado *difusión*, lo que ordinariamente no sucede en los metales. Vamos a ver, a continuación, los rasgos principales de la difusión.

Es factible tener en un semiconductor una concentración de partículas no uniforme. Como indica la Fig. 2-14, la concentración p de huecos varía con la distancia x en el semiconductor, y existe un gradiente de concentración, dp/dx, en la densidad de portadores. La existencia de este gradiente implica que, si se traza una línea imaginaria (indicada con trazos en la figura) que represente una superficie en el semiconductor, la densidad de huecos en las inmediaciones de un lado de la superficie es mayor que la densidad en el otro lado. Los huecos tienen un movimiento al azar como resultado de la agitación térmica. De acuerdo con esto, los huecos se moverán continuamente de un lado a otro a través de esta superficie. Este transporte de huecos a través de la superficie constituye una corriente en la dirección de X positiva. Debe tenerse en cuenta que este transporte medio de cargas no es el resultado de una repulsión mutua por cargas de igual signo, sino que es, simplemente, el resultado de un fenómeno estadístico. Esta difusión es exactamente análoga a la que existe en un gas neutro si hay un gradiente de concentración en el continente del gas. La densidad de corriente de difusión de huecos J_p (ampere por metro cuadrado) es proporcional al gradiente de concentración, y viene dado por

$$J_p = -qD_p \frac{dp}{dx} , \tag{2-36}$$

en que D_p (metros cuadrados por segundo) se denomina *constante de difusión* de los huecos. Ya que p disminuye con el aumento de x, dp/dx es negativa y se precisa el signo menos de la Ec. (2-36), de manera que J_p será positiva en la dirección positiva de las x. Existe una ecuación similar para la densidad de corriente de difusión de electrones (n reemplaza a p, y el signo menos es sustituido por el signo más en la Ec. (2-36).

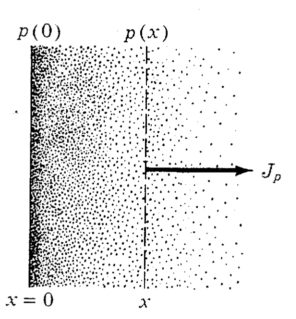


Fig. 2-14. Una concentración no uniforme $p(x)$ origina una corriente de difusión J_p.

Relación de Einstein. Ya que tanto la difusión como la movilidad son fenómenos estadísticos termodinámicos, D y μ no son independientes. La relación entre ellos viene

dada por la ecuación de Einstein (Ec. 19-59):

$$\frac{D_p}{\mu_p} = \frac{D_n}{\mu_n} = V_T , \tag{2-37}$$

en que V_T es el "potencial equivalente de temperatura", definido por:

$$V_T \equiv \frac{\bar{k}T}{q} = \frac{T}{11.600} \tag{2-38}$$

donde $\bar{k}$ es la constante de Boltzmann en joule por grado Kelvin. Obsérvese la diferencia entre $\bar{k}$ y k; la última es la constante de Boltzmann en electrón-volt por grado Kelvin (los valores numéricos de $\bar{k}$ y k se darán en el apéndice A. De la Sec. 1-3 se obtiene que $\bar{k} = 1{,}60 \times 10^{-19}\, k$). A la temperatura ambiente (300° K), $V_T = 0{,}026$ V, y $\mu = 39D$. En la Tabla 2-1 se dan los valores encontrados de μ y los calculados de D para el silicio y el germanio.

Corriente total. Es posible que existan simultáneamente un gradiente de potencial y un gradiente de concentración dentro del semiconductor. En tal situación, la corriente de huecos total es la suma de la corriente de desplazamiento [Ec. (2-7), con n reemplazada por p] y la corriente de difusión [Ec. (2-36)] o sea:

$$J_p = q\mu_p p\mathcal{E} - qD_p \frac{dp}{dx} . \tag{2-39}$$

De forma similar, la corriente neta de electrones será:

$$J_n = q\mu_n n\mathcal{E} + qD_n \frac{dn}{dx} . \tag{2-40}$$

2-10. LA ECUACION DE CONTINUIDAD

En la Sec. 2-8 hemos visto que si alteramos el equilibrio de concentraciones de los portadores en un material semiconductor, la concentración de huecos o de electrones (que es constante en todo el cristal) variará con el tiempo. En el caso general, no obstante, la concentración en el cuerpo del semiconductor es una función del tiempo y del espacio. Vamos a obtener ahora la ecuación diferencial que determina esta relación funcional. Esta ecuación está basada en el hecho de que ninguna carga puede ser creada o destruida, y por lo tanto es una extensión de la Ec. (2-31).

Consideremos un elemento infinitesimal de volumen de área A y de longitud dx (Fig. 2-15) en el que la concentración media de huecos es p. Supongamos que el problema es unidimensional y que la corriente de huecos I_p es función de x. Si, como se indica en la Fig. 2-15, la corriente que entra en el volumen por x es I_p en un tiempo t y la que lo abandona por $x + dx$ es $I_p + dI_p$ en el mismo tiempo t, habrá dI_p más coulomb por segundo que abandonarán el volumen que los que entran en él (para un valor positivo de dI_p). Por lo tanto la *disminución* del número de coulomb por segundo en el volumen es dI_p. Como el valor de los portadores de carga es q, entonces dI_p/q es igual al decrecimien-

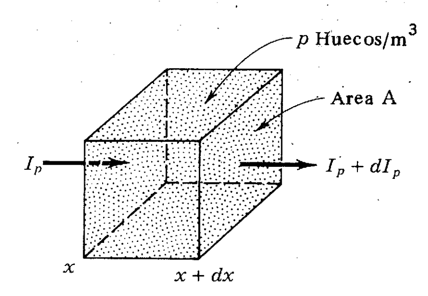


Fig. 2-15. Relativo a la conservación de la carga.

to del número de huecos por segundo en el volumen elemental Adx. Recordando que la densidad de corriente vale $J_p = I_p/A$, tenemos:

$$\frac{1}{qA}\frac{dI_p}{dx} = \frac{1}{q}\frac{dJ_p}{dx} = \textit{Disminución} \text{ de la concentración de huecos (huecos por unidad de volumen) por segundo debido a la corriente } I_p \quad (2\text{-}41)$$

Por la Ec. (2-30) sabemos que hay un *incremento* por segundo de $g = p_o/\tau_p$ huecos por unidad de volumen, debido a la generación térmica, y por la Ec. (2-29) un *decrecimiento* por segundo de p/τ_p huecos por unidad de volumen a causa de la recombinación. Como las cargas no se crean ni se destruyen, el *incremento* de huecos por unidad de volumen y segundo dp/dt, deberá ser igual a la suma algebraica de todos los incrementos enunciados anteriormente, o sea:

$$\frac{\partial p}{\partial t} = \frac{p_o - p}{\tau_p} - \frac{1}{q}\frac{\partial J_p}{\partial x} \tag{2-42}$$

(En esta ecuación empleamos derivadas parciales debido a que p y J_p son ambas funciones de t y de x.)

En un problema específico de la sección siguiente se aplicará la ecuación de la continuidad que será explicada en la Sec. 19-9. La ecuación (2-42) se denomina *ley de la conservación de la carga*, o *ecuación de continuidad* para la carga. Esta ecuación se aplica exactamente igual para los electrones, y la ecuación correspondiente se obtendrá reemplazando p por n en la Ec. (2-42).

2-11. INYECCION DE CARGA DE PORTADORES MINORITARIOS

Consideremos la situación física indicada [7] en la Fig. 2-16*a* Una barra larga de semiconductor se droga uniformemente con átomos donadores, de tal manera que la concentración $n = N_D$ es independiente de la posición. La radiación actúa sobre un extremo de la barra a $x = 0$. Algunos de los fotones son capturados por los electrones de los enlaces covalentes que se rompen, y por ende se generan *pares* de electrón-huecos. Vamos ahora a determinar cómo varía la concentración de portadores minoritarios en equilibrio p, en función de la distancia x en el semiconductor.

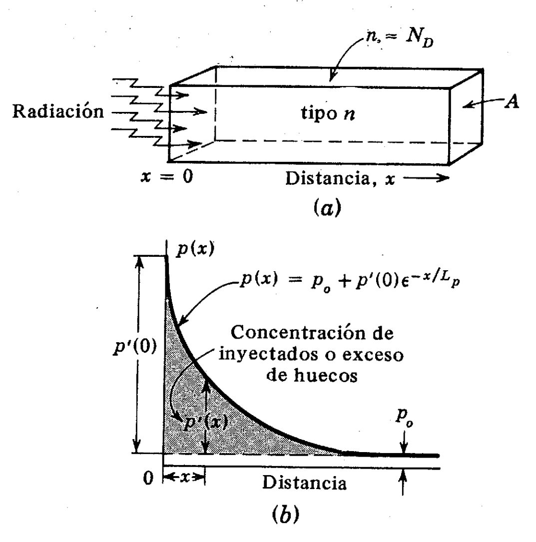


Fig. 2-16. (*a*) La luz incide sobre el extremo de una barra larga de semiconductor. Esta excitación origina pares de electrón-huecos que se inyectan en $x = 0$. (*b*) La concentración de huecos (minoritarios) $p(x)$ en la barra en función de la distancia x contada a partir del extremo de la barra. La concentración inyectada es $p'(x) = p(x) - p_o$. La radiación inyecta $p'(0)$ portadores/m³ en la barra a $x = 0$. (No se dibuja a escala, puesto que $p'(0) \gg p_o$.)

Debemos ahora hacer la suposición razonable de que la concentración de minoritarios inyectados es muy pequeña comparada con la del nivel de impureza; es decir, $p' < n$. Esta premisa de que la concentración de minoritarios es mucho menor que la concentración de mayoritarios, se denomina condición de *inyección a bajo nivel*. Como la corriente de desplazamiento es proporcional a la concentración (Ec. 2-16) y como $p = p' + p_o \ll n$, deberemos despreciar la corriente de desplazamiento de los *huecos* (pero no la corriente de desplazamiento de los electrones) y supondremos que I_p se debe enteramente a la difusión. Esta suposición se justifica al final de esta sección. La ecuación diferencial de control de la ecuación para p será:

$$\frac{d^2p}{dx^2} = \frac{p - p_o}{D_p\tau_p} \tag{2-43}$$

Esta ecuación se obtiene por sustitución de la Ec. (2-36), para la corriente de difusión, en la ecuación de la continuidad [Ec. (2-42)] y haciendo $dp/dt = 0$ para el funcionamiento en equilibrio. Definiendo la *longitud de la difusión* para los huecos L_p como:

$$L_p \equiv (D_p\tau_p)^{1/2} \tag{2-44}$$

la ecuación diferencial para la concentración de huecos inyectados $p' = p - p_o$ pasa a ser:

$$\frac{d^2p'}{dx^2} = \frac{p'}{L_p^2} \tag{2-45}$$

La solución de esta ecuación es:

$$p'(x) = K_1 \epsilon^{-x/L_p} + K_2 \epsilon^{+x/L_p}, \tag{2-46}$$

en la que K_1 y K_2 son constantes de integración. Consideremos una pieza de semiconductor muy larga que se extiende desde $x = 0$ en dirección de la X positiva. Como la concentración no puede ser infinita para $x \to \infty$, K_2 deberá ser cero. Supondremos que, para $x = 0$, la concentración de los inyectados es $p'(0)$, y para satisfacer esta condición de contorno, $K_1 = p'(0)$, con lo que:

$$p'(x) = p'(0)\epsilon^{-x/L_p} = p(x) - p_o\,. \tag{2-47}$$

La concentración de huecos disminuye exponencialmente con la distancia, tal como se indica en la Fig. 2-16*b*. Vemos que la longitud de difusión L_p representa la distancia dentro del semiconductor a la que la concentración inyectada disminuye a $1/\mathcal{E}$ de su valor para $x = 0$. En la Sec. 19-9 se demostrará que L_p representa también la distancia media que los huecos inyectados recorren antes de que se recombinen con los electrones.

Corrientes de difusión. La corriente de difusión de los minoritarios (huecos) es $I_p = AJ_p$, donde A es la sección transversal de la barra. De las Ecs. (2-36) y (2-47):

$$I_p(x) = \frac{AqD_p p'(0)}{L_p}\,\epsilon^{-x/L_p} = \frac{AqD_p}{L_p}\,[p(0) - p_o]\epsilon^{-x/L_p}\,. \tag{2-48}$$

Esta corriente disminuye exponencialmente con la distancia, de la misma forma que disminuye la concentración de portadores minoritarios. Este resultado se emplea para hallar la corriente en un diodo semiconductor (Sec. 3-3).

La corriente de difusión mayoritaria (electrones) es $AqD_n\, dn/dx$. Suponiendo que la neutralidad eléctrica está preservada por la inyección a bajo nivel, entonces $n' = p'$, o sea:

$$n - n_o = p - p_o\,. \tag{2-49}$$

Como las concentraciones del equilibrio térmico n_o y p_o son independientes de la posición x, entonces:

$$\frac{dn}{dx} = \frac{dp}{dx}\,, \tag{2-50}$$

en que la corriente de la difusión de los electrones será:

$$AqD_n \frac{dn}{dx} = AqD_n \frac{dp}{dx} = -\frac{D_n}{D_p} I_p\,, \tag{2-51}$$

donde $I_p = -AqD_p\, dp/dx$ = la corriente de difusión de los huecos. La dependencia de la corriente de difusión con respecto a x viene dada por la Ec. (2-48). El valor de la relación de la corriente de difusión de mayoritarios a minoritarios es $D_n/D_p \sim 2$ para el germanio y ~ 3 para el silicio (Tabla 2-1).

Corrientes de desplazamiento. Debido a que la Fig. 2-16 representa una barra en circuito abierto, la corriente resultante (suma de las corrientes de huecos y de electrones) siempre debe ser cero. De ahí que deba existir una corriente de desplazamiento de los mayoritarios (electrones) I_{nd}, de tal manera que:

$$I_p + \left(I_{nd} - \frac{D_n I_p}{D_p}\right) = 0\,, \tag{2-52}$$

o sea:

$$I_{nd} = \left(\frac{D_n}{D_p} - 1\right) I_p\,. \tag{2-53}$$

De la Ec. (2-48) vemos que la corriente de desplazamiento de los electrones también decrece exponencialmente con la distancia.

Es importante puntualizar que en *la barra existirá un campo eléctrico* $\mathcal{E}$ para que exista una corriente de desplazamiento. Este campo se crea internamente gracias a los portadores inyectados. De las Ecs. (2-7) y (2-53):

$$\mathcal{E} = \frac{1}{Aqn\mu_n}\left(\frac{D_n}{D_p} - 1\right) I_p\,. \tag{2-54}$$

Los resultados obtenidos en esta sección están basados en el supuesto de que la corriente de desplazamiento de los huecos I_{pd} es cero. Empleando la Ec. (2-7), *con n* reemplazado por p, la aproximación para esta corriente será:

$$I_{pd} = Aqp\mu_p \mathcal{E} = \frac{p}{n}\frac{\mu_p}{\mu_n}\left(\frac{D_n}{D_p} - 1\right) I_p\,. \tag{2-55}$$

Como $p \ll n$, entonces $I_{pd} \ll I_p$. La corriente de desplazamiento de los huecos es despreciable comparada con la corriente de difusión de los mismos, lo que justifica la suposición de que la corriente inyectada de los portadores minoritarios, en condiciones de inyección a bajo nivel, es esencialmente una corriente de difusión.

2-12. LA VARIACION DE POTENCIAL EN UN SEMICONDUCTOR

Consideremos un semiconductor (Fig. 2-17*a*) en el que la concentración de huecos p es una función de x; es decir, un semiconductor no uniformemente drogado. Supongamos una situación de equilibrio y excitación cero, o sea sin inyectar portadores al semiconductor desde ninguna fuente *exterior*. En ausencia de excitación no puede haber movimiento de cargas *estable* en la barra, aunque los portadores tengan movimiento aleatorio debido a la agitación térmica. Por lo tanto, la corriente total de huecos debe ser cero. (Asimismo, el total de corriente de electrones debe ser cero). Como p no es constante, cabe esperar una corriente de difusión de huecos no nula. Para que la corriente total de huecos desaparezca, deberá existir una corriente de desplazamiento de huecos que será igual y opuesta a la corriente de difusión. Puesto que una conducción de corriente requiere un campo eléctrico, de ello se sigue que un drogado no uniforme trae como consecuencia un campo eléctrico generado en el interior del semiconductor. Vamos a hallar este campo y la variación de potencial correspondiente a lo largo de la barra.

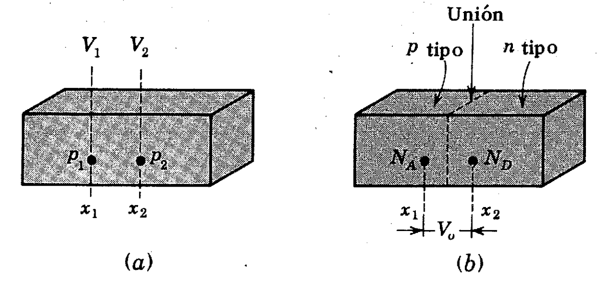


Fig. 2-17. (*a*) Semiconductor no uniformemente drogado: $p(x)$ no es constante. (*b*) Una porción está drogada uniformemente con iones aceptadores y otra sección está drogada uniformemente con iones donadores, de tal forma que constituye una unión metalúrgica. Aparece un potencial de contacto V_o en esta unión *p-n* en escalón.

Haciendo $J_p = 0$ en la Ec. (2-39) y empleando la relación de Einstein $D_p = \mu_p V_T$ [Ec. (2-37)], obtenemos:

$$\mathcal{E} = \frac{V_T}{p} \frac{dp}{dx} . \qquad (2\text{-}56)$$

Si se conoce la concentración de drogado $p(x)$, puede encontrarse el campo $\mathcal{E}(x)$. De la $\mathcal{E} = - dV/dx$ podemos calcular la variación de potencial. Por lo tanto:

$$dV = - V_T \frac{dp}{p} . \qquad (2\text{-}57)$$

Si esta ecuación se integra entre x_1, donde la concentración es p_1 y el potencial es V_1 (Fig. 2-17*a*), y x_2, donde $p = p_2$ y $V = V_2$, el resultado será:

$$V_{21} \equiv V_2 - V_1 = V_T \ln \frac{p_1}{p_2} . \qquad (2\text{-}58)$$

Obsérvese que la diferencia de potencial entre los dos puntos sólo depende de las concentraciones en estos dos puntos y es independiente de su separación $x_2 - x_1$. La ecuación (2-58) puede plantearse en la forma:

$$p_1 = p_2 \epsilon^{V_{21}/V_T} . \qquad (2\text{-}59)$$

Esto corresponde a la relación de Boltzmann de la teoría cinética de los gases.

Ley de acción de masas. Empezando con $J_n = 0$ y procediendo como anteriormente, se obtiene la ecuación de Boltzmann para los electrones:

$$n_1 = n_2 \epsilon^{-V_{21}/V_T} . \qquad (2\text{-}60)$$

Multiplicando las ecuaciones (2-59) y (2-60), tenemos:

$$n_1 p_1 = n_2 p_2 \qquad (2\text{-}61)$$

Esta ecuación indica que el producto np es una constante independiente de x, y por tanto del drogado, en el equilibrio térmico. Para un semiconductor intrínseco, $n = p = n_i$, y por lo tanto:

$$np = n_i^2 \qquad (2\text{-}10)$$

que es la ley de acción de masas introducida en la Sec. 2-3. En la Sec. 19-5 se puede ver una comprobación de lo indicado.

Unión abrupta en circuito abierto. Consideremos el caso especial de la Fig. 2-17*b*. La mitad izquierda de la barra es del tipo p con una concentración constante N_A, mientras que la mitad derecha es del tipo n con una densidad uniforme N_D. El plano dibujado a trazos es una unión metalúrgica (*p-n*) que separa dos secciones con diferente concentración. A este tipo de drogado, en el que la densidad cambia bruscamente del tipo *p*- al tipo *n*-, se le denomina *drogado en escalón*. La unión del drogado en escalón queda localizada en el plano en que la concentración es cero. La teoría indicada anteriormente determina que existe un potencial entre las dos secciones (denominado *diferencial de potencial* de contacto V_o). La ecuación (2-58) nos permite calcular V_o, con lo que:

$$V_o = V_{21} = V_T \ln \frac{p_{po}}{p_{no}} \qquad (2\text{-}62)$$

ya que $p_1 = p_{po}$ = concentración de huecos en el equilibrio térmico en el lado p y $p_2 = p_{no}$ = concentración de electrones en el lado n. De la Ec. (2-15) $p_{po} = N_A$, y de la Ec. (2-14) $p_{no} = n_i^2/N_D$, de forma que

$$V_o = V_T \ln \frac{N_A N_D}{n_i^2} . \qquad (2\text{-}63)$$

La misma ecuación para V_o se obtiene del análisis correspondiente dado anteriormente y basado en que la ecuación de la corriente total de electrones I_n sea cero (Probl. 2-20). La unión *p-n* con circuito abierto y con tensión aplicada, será objeto de estudio en los capítulos del 3 al 19.

2-13. RECAPITULACION

Los principios fundamentales que determinan el comportamiento de los semiconductores y que han sido tratados en este capítulo pueden resumirse de la siguiente forma:

1. Existen dos tipos de cargas móviles (huecos positivos y electrones negativos). Esta naturaleza bipolar de los semiconductores contrasta con la propiedad unipolar de los metales, los cuales poseen solamente electrones libres.
2. Un semiconductor puede fabricarse con impurezas donadoras (aceptadoras); éstas contienen cargas móviles que son fundamentalmente electrones (huecos).
3. La concentración de portadores intrínsecos es función de la temperatura. A la temperatura ambiente, todos los aceptadores o donadores están fundamentalmente ionizados.

4. La corriente se debe a dos fenómenos distinos:

a. Desplazamiento de los portadores en un campo eléctrico (esta conducción se puede obtener de forma única en los metales).

b. Difusión de portadores en el caso de que exista gradiente de concentración (fenómeno que no tiene lugar en el metal).

5. Se generan continuamente portadores (debido a la creación térmica de pares de electrón-huecos) y a la vez desaparecen otros (debido a la recombinación).

6. La ley fundamental que determina la fluencia de una carga se denomina *ecuación de continuidad*. Se formula considerando que las cargas ni se crean ni se destruyen, si se tienen en cuenta la generación, recombinación, desplazamiento, y difusión de las mismas.

7. Si los portadores minoritarios (digamos los huecos) se inyectan en una región que contiene portadores mayoritarios (digamos en una barra de tipo n), la concentración de minoritarios inyectados suele ser muy pequeña comparada con la densidad de portadores mayoritarios. Para esta condición de inyección a bajo nivel, la corriente de minoritarios se debe predominantemente a la difusión; en otras palabras, la corriente de desplazamiento de minoritarios puede despreciarse.

8. La fluencia total de portadores mayoritarios es la suma de la corriente de desplazamiento y de la corriente de difusión. La corriente de conducción mayoritaria resulta de un campo eléctrico débil interno, creado en el semiconductor debido a los portadores inyectados.

9. La concentración de portadores minoritarios inyectada en un extremo de un semiconductor decrece exponencialmente con la distancia (como resultado de la difusión y la recombinación).

10. A través de la unión p-n en circuito abierto existe una diferencia de potencial de contacto.

Estos conceptos básicos se aplicarán en el próximo capítulo para estudiar los diodos de unión p-n.

REFERENCIAS

1. Shockley, W.: "Electrons and Holes in Semiconductors," D. Van Nostrand Company, Inc., Princeton, N. J., reeditado en febrero de 1963.

2. Adler, R. B., A. C. Smith y R. L. Longini: "Introduction to Semiconductor Physics," vol. 1, Semiconductor Electronics Education Committee, John Wiley & Sons, Inc., Nueva York, 1964.

3. Morin, F. J., y J. P. Maita: "Conductivity and Hall Effect in the Intrinsec Range of Germanium", *Phys. Rev.*, vol. 94, pp. 1525-1529, junio de 1954. Morin, F. J. y J. P. Maita: "Electrical Properties of Silicon Containing Arsenie and Boron", *Phys. Rev.*, vol. 96, pp. 28-35, octubre de 1954.

4. Sze, S. M.: "Physics of Semiconductor Devices", Fig. 29, p. 59, John Wiley & Sons, Inc., Nueva York, 1969.

5. Shockley, W., y W. T. Read, Jr.: "Statistics of the Recombination of Holes and Electrons", *Phys. Rev.*, vol. 87, pp. 835-842, setiembre de 1952.
Hall, R. N.: "Electron-Hole Recombination in Germanium", *Phys. Rev.*, vol. 87, p. 387, julio de 1952.

6. Collins, C. B., R. O. Carlson, y C. J. Callagher: "Properties of Gold-doped Silicon", *Phys. Rev.*, vol. 105, pp. 1168-1173, febrero de 1957.
Bemski, G.: "Recombination Properties of Gold in Silicon", *Phys. Rev.*, vol. 111, pp. 1515-1518, setiembre de 1958.

7. Gray, P. E. y C. L. Searle: "Electronic Principles: Physics, Models, and Circuits", John Wiley & Sons, Inc., Nueva York, 1969.

TEMAS DE REPASO

2-1 Dar la descripción del gas electrónico de un metal.

2-2 (*a*) Definir la *movilidad*. (*b*) Determinar sus dimensiones.

2-3 (*a*) Definir la *conductividad*. (*b*) Obtener sus dimensiones.

2-4 Definir un hueco (en un semiconductor).

2-5 Indicar en forma gráfica cómo un hueco contribuye a la conducción.

2-6 (*a*) Definir la *concentración intrínseca* de huecos. (*b*) ¿Qué relación existe entre la densidad y la concentración intrínseca de los electrones? (*c*) ¿Qué ocurre a 0° K?

2-7 Indicar (en dos dimensiones) la estructura cristalina del silicio conteniendo una impureza de un átomo donador.

2-8 Repetir la cuestión 2-7 para una impureza de un átomo aceptador.

2-9 Definir impurezas (*a*) *donadoras*, (*b*) *aceptadoras*.

2-10 Un semiconductor se droga con donadores y aceptadores de concentraciones respectivas N_D y N_A, respectivamente. Escribir la ecuación, o ecuaciones, que determinan las concentraciones de huecos y electrones (p y n).

2-11 Definir un *voltio equivalente de temperatura.*

2-12 Describir el *efecto Hall.*

2-13 ¿Cuáles son las propiedades de un semiconductor que determina el efecto Hall?

2-14 Dado un semiconductor intrínseco, determinar dos procedimientos físicos para aumentar su conductividad. Explicarlos brevemente.

2-15 El coeficiente de resistencia con la temperatura en un semiconductor, ¿es positivo o negativo? Explicarlo brevemente.

2-16 Contestar la pregunta 2-15 para un metal.

2-17 (*a*) Determinar la curva de respuesta espectral para el silicio. (*b*) Explicar su forma cualitativamente.

2-18 (*a*) Definir longitud de onda de corte, umbral, o longitud de onda crítica para un semiconductor. (*b*) Explicar por qué existe.

2-19 Definir el *tiempo de vida medio* de un portador.

2-20 Explicar físicamente el significado de la siguiente frase: Un electrón y un hueco se recombinan y desaparecen.

2-21 Una radiación actúa sobre un semiconductor que queda uniformemente iluminado, y su estado de equilibrio se enriquece. A $t = 0$ la luz desaparece. (*a*) Indicar la concentración de portadores minoritarios en función del tiempo para $t \geqslant 0$. (*b*) Definir todos los símbolos de la ecuación.

2-22 (*a*) Definir la *constante de difusión* de los huecos. (*b*) Determinar sus dimensiones.

2-23 Repetir la cuestión 2-22 para los electrones.

2-24 (*a*) Escribir la ecuación para la corriente total de un semiconductor. ¿Cuál es el significado físico de cada término? (*b*) ¿Cómo queda modificada esta ecuación para un metal?

2-25 (*a*) ¿De qué ley física la *ecuación de continuidad* es su ecuación matemática? (*b*) El término izquierdo de esta ecuación para los huecos es dp/dt. La parte derecha contiene varios términos. Explicar, verbalmente (no matemáticamente), lo que significa físicamente cada uno de estos términos.

2-26 Una luz actúa en un extremo de una barra de semiconductor con el circuito abierto. (*a*) Indicar la concentración de portadores minoritarios en estado de equilibrio, en función de la distancia. (*b*) Definir todos los símbolos empleados en la ecuación del anterior apartado.

2-27 Sobre un extremo de una barra de semiconductor actúa una luz. (*a*) Para un nivel bajo de inyección, la corriente de minoritarios ¿es debida predominantemente al desplazamiento, a la difusión o bien a ambos? (*b*) ¿La corriente de mayoritarios es debida predominantemente a la difusión, al desplazamiento, o bien a ambas?

2-28 (*a*) Definir un semiconductor no uniformemente drogado. (*b*) Explicar por qué en un semiconductor de este tipo debe existir un campo eléctrico.

2-29 Considerar una unión abrupta en escalón en condiciones de circuito abierto. ¿Cuáles son los cuatro parámetros de los que depende la diferencia de potencial de contacto?

2-30 Establecer la *ley de acción de masas* mediante una ecuación y explicarla con palabras.

2-31 Explicar por qué debe desarrollarse una diferencia de potencial en una unión *p-n* en circuito abierto.

3

Características de los diodos de unión

En este capítulo demostraremos que si se forma una unión entre dos semiconductores uno del tipo *n* y otro del tipo *p*, esta combinación posee las propiedades de un rectificador. Se estudiarán las características de tensión-corriente de un dispositivo de dos terminales (denominado diodo de unión) y también se calculará la capacidad de la unión.

Por otra parte, el transistor es un triodo (tres terminales) y puede considerarse como un diodo polarizado por la corriente de un segundo diodo. Una gran parte de la teoría desarrollada aquí se empleará en el capítulo 5 para el estudio del transistor.

3-1. UNION *p-n* EN CIRCUITO ABIERTO

Si en un lado de un cristal semiconductor se introducen donadores y en el otro lado aceptadores, quedará constituida una unión *p-n*, tal como indica la Fig. 2-17*b*. En la Fig. 3-1*a* queda ilustrado un sistema esquemático más detallado. El ion donador se representa por un signo más, ya que, después de que este átomo de impureza haya "dado" un electrón, se transforma en un ion positivo. El ion aceptador está indicado con un signo menos debido a que, después de aceptar este átomo un electrón, se transforma en un ion negativo. Inicialmente, sólo hay portadores del tipo *p* a la izquierda de la unión, y portadores del tipo *n* a la derecha.

Región de la carga espacial. Debido a la existencia de un gradiente de concentración a través de la unión, los huecos se difunden hacia la derecha atravesando la unión, y los electrones hacia la izquierda. Vemos, pues, que los huecos que neutralizaban los iones aceptadores en las proximidades de la unión en el silicio del tipo *p*, han desaparecido como resultado de la combinación con los electrones que se han difundido a través de la unión. De forma parecida, los electrones neutralizantes del silicio tipo *n* se combinan con los huecos que atraviesan la unión desde el material tipo *p*. Los iones no neutralizados en las cercanías de la unión se conocen con el nombre de *cargas descubiertas*. La forma

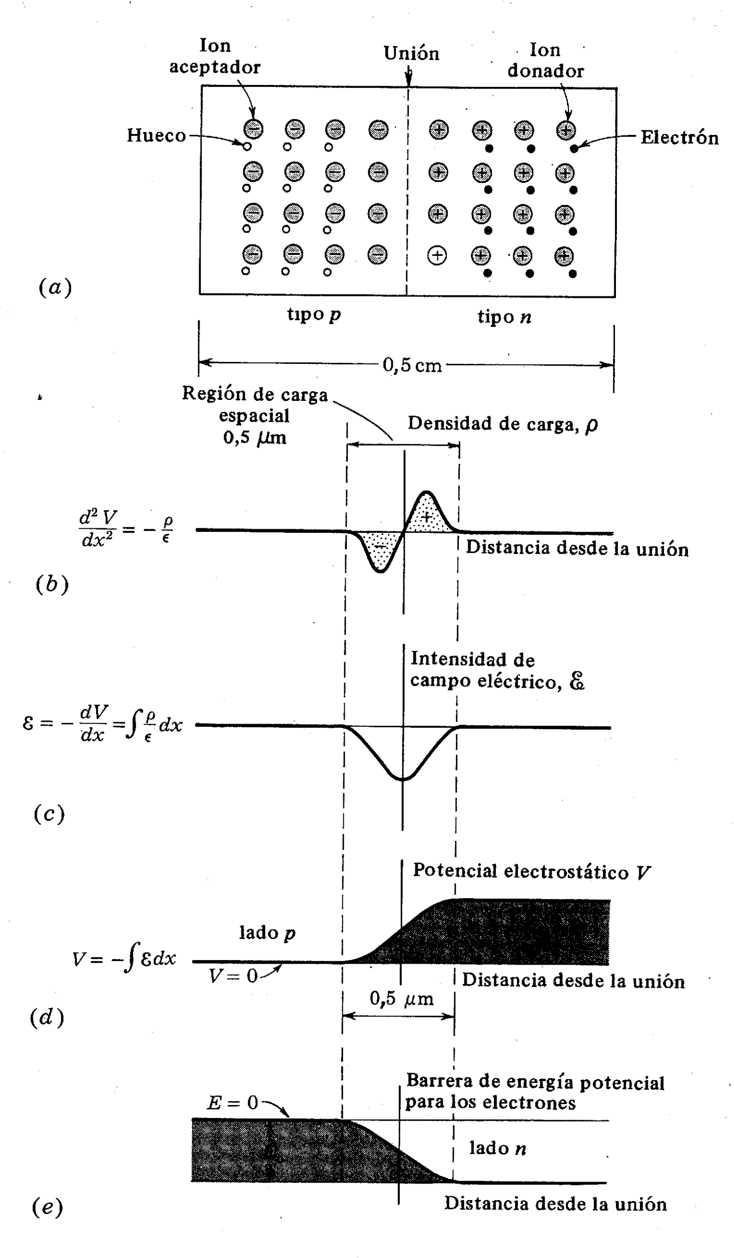


Fig. 3-1. Diagrama esquemático de una unión *p-n*, incluyendo la densidad de carga, la intensidad de campo eléctrico y la barrera de energía potencial en la unión. Como la energía potencial es igual al potencial por la carga, la curva (*d*) es proporcional a la energía potencial de un hueco (carga positiva) y la curva de (*e*) es proporcional a la negativa de la de (*d*) (un electrón es una carga negativa). (No está dibujado a escala.)

general de la densidad de carga ρ (Fig. 3-1*b*) depende de la forma en que el diodo esté drogado (la unión abrupta o en escalón se considerará con más detalle en la Sec. 3-7). Como la región de la unión no contiene cargas móviles, se la denomina *región de desviación de carga espacial* o *de transición*. La anchura de esta región es del orden de la longitud de onda de la luz visible (0,5 micras = 0,5 μ m). En el interior de esta sumamente estrecha franja de carga espacial no existen portadores móviles. A la izquierda de esta región, la concentración de portadores es de $p \approx N_A$, y a la derecha es de $n \approx N_D$.

Intensidad de campo eléctrico. La densidad de carga espacial es cero en la unión, a la derecha es positiva y a la izquierda negativa. Esta distribución constituye una capa eléctrica dipolar, que tiene líneas de flujo de derecha a izquierda, y que corresponde a una intensidad de campo negativa $\mathcal{E}$ como se ha señalado en la Fig. 3-1*c*. El equilibrio se establece cuando el campo es lo suficientemente fuerte como para contrarrestar el proceso de difusión. Planteado alternativamente, en las condiciones de equilibrio la corriente de desplazamiento de huecos (electrones) deberá ser igual y opuesta a la corriente de difusión de los huecos (electrones), de tal manera que el total de la corriente de huecos (electrones) se reduce a cero –debido a ser un sistema en circuito abierto. En otras palabras, no hay un estado de movimiento estacionario de cargas en la unión.

La curva de intensidad de campo es proporcional a la integral de la curva de la densidad de carga. Esta condición se deduce de la ecuación de Poisson:

$$\frac{d^2 V}{dx^2} = -\frac{\rho}{\epsilon} \tag{3-1}$$

en la que ϵ es la permitividad. Si ϵ_r es la constante dieléctrica (relativa) y ϵ_o es la permitividad en el vacío (Apéndice A), entonces $\epsilon = \epsilon_r \epsilon_o$. Integrando la Ec. (3-1) y recordando que $\mathcal{E} = -dV/dx$ tendremos:

$$\mathcal{E} = \int_{x_o}^{x} \frac{\rho}{\epsilon}\, dx\,, \tag{3-2}$$

en la que $\mathcal{E} = 0$ a $x = x_o$. Por lo tanto la curva dibujada en la Fig. 3-1*c* es la integral de la función dibujada en la Fig. 3-1*b* (dividida por ϵ).

Potencial. En la figura 3-1*d* se observa la variación del potencial electrostático en la región de transición, y es la integral negativa de la función $\mathcal{E}$ de la Fig. 3-1*c*. Esta variación constituye una barrera de energía potencial (Sec. 1-2) opuesta a la prosecución de la difusión de huecos a través de la barrera. En la Fig. 3-1*e* se muestra la forma de la barrera de la energía potencial contra la fluencia de electrones del lado *n* a través de la unión. Es similar a la que aparece en la Fig. 3-1*d*, pero invertida, ya que la carga de los electrones es negativa. Obsérvese la existencia en la zona de transición, del *potencial de contacto* V_o tratado en la Sec. 2-12.

Resumen. En condiciones de circuito abierto, la corriente total de huecos debe ser cero. Si esta condición no fuese cierta, la densidad de huecos en un extremo del semiconductor debería seguir creciendo indefinidamente con el tiempo, lo cual, obviamente, es físicamente imposible. Como la concentración de huecos en el lado *p* es mucho mayor que en el lado *n*, una gran corriente de difusión de huecos tiende a atravesar la unión desde el material tipo *p* al *n*. Como aparece un campo eléctrico en la unión, hay una

corriente de desplazamiento de huecos del lado n al lado p para equilibrar la corriente de difusión. Esta condición de equilibrio, corriente neta de huecos de valor cero, nos permite calcular la altura de la barrera de potencial V_o [Ec. (2-36)] en función de las concentraciones de donadores y de aceptadores. El valor numérico de V_o es de un orden de magnitud de unas pocas décimas de volt.

3-2. LA UNION p-n COMO RECTIFICADOR[1]

La característica esencial de una unión p-n es la de que constituye un rectificador que permite un flujo fácil de cargas en una dirección pero se opone a la circulación en dirección opuesta. Vamos ahora a considerar, cualitativamente, la acción como rectificador.

Polarización inversa. En la Fig. 3-2 aparece un acumulador conectado en los terminales extremos de la unión p-n. El terminal negativo de la batería se conecta al lado p- de la unión, y el positivo al lado n. La polaridad de la unión es tal que tiende a llevar los huecos del tipo p y los electrones del tipo n a alejarse de la unión. En consecuencia, la región de densidad de cargas negativas se extiende hacia la izquierda de la unión (Fig. 3-1b), y la región de la densidad de las cargas positivas se desplaza hacia la derecha. No obstante, este proceso no puede continuar indefinidamente, ya que para tener una fluencia de huecos hacia la izquierda, estos huecos deberían alimentarse de la región tipo n del silicio, y hay muy pocos huecos en el lado n. Por lo tanto, en principio resultará una corriente cero. No obstante, fluye una pequeña corriente debido a los pocos pares de electrón-huecos que se generan en el cristal como resultado de la energía térmica. Los huecos así formados en el silicio de tipo n atraviesan la unión. Algo similar les ocurre a los electrones generados térmicamente en el silicio del tipo p. Esta pequeña corriente es la *corriente inversa de saturación* del diodo y su valor se designa por I_o. Esta corriente inversa aumentará con el incremento de la temperatura [Ec. (3-11)] y, por lo tanto, la resistencia inversa de un diodo de cristal disminuye a medida que crece la temperatura. Partiendo del argumento indicado aquí, se ve que I_o es independiente de la tensión inversa aplicada.

El mecanismo de la conducción en sentido inverso puede también describirse de la siguiente forma: Cuando no se aplica tensión a un diodo p-n, la barrera de potencial en la unión es la indicada en la Fig. 3-1d Cuando al diodo se le aplica la tensión V en la dirección señalada en la Fig. 3-2, la altura de la barrera de potencial aumenta hasta un valor de qV. Este incremento reduce el flujo de los portadores mayoritarios (es decir, huecos en la región p y electrones en la n). No obstante, como los portadores minoritarios

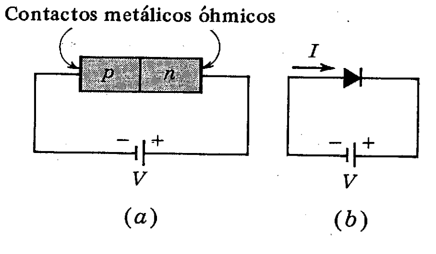


Fig. 3-2. (a) Unión p-n polarizada en sentido inverso. (b) Símbolo de rectificador empleado para un diodo p-n.

(electrones en p y huecos en n) están por debajo de la altura de la barrera de potencial, no son afectados en absoluto por este incremento de la barrera. A la tensión aplicada en el sentido indicado en la Fig. 3-2 se la denomina *polarización inversa o de bloqueo*.

Polarización directa. A la tensión aplicada con una polaridad como la indicada en la figura 3-3 (opuesta a la señalada en la Fig. 3-2), se la denomina *polarización directa*. En un diodo ideal p-n la caída óhmica de tensión en el cristal es nula. Al aplicar una tensión directa V al diodo, se reducirá la barrera de potencial en la unión, perturbándose el equilibrio inicialmente establecido entre las fuerzas que tiendan a producir la difusión de los portadores mayoritarios y la influencia opuesta de la barrera de energía potencial en la unión. Por lo tanto, con polarización directa, los huecos atravesarán la unión desde la región tipo p hasta la tipo n, lo que constituirá una inyección de portadores minoritarios. De forma similar, los electrones atravesarán la unión en sentido inverso y se transformarán en una corriente minoritaria inyectada hacia el lado p. Los huecos que circulan de izquierda a derecha constituyen una corriente en la *misma* dirección que los electrones que se mueven de derecha a izquierda. Por lo tanto, la corriente resultante que atraviesa la unión es la *suma* de la corriente de los huecos y de los electrones minoritarios. En la próxima sección, discutiremos detalladamente las varias componentes de corrientes dentro del diodo.

Contactos óhmicos. En la Fig. 3-2 (3-3) se indica la aplicación de una polarización inversa (directa) a un diodo p-n. Hemos supuesto que la tensión de polarización externa aparece directamente en la unión y tiene como efecto el aumento o la disminución del potencial electrostático en la unión. Para justificar esta suposición, debemos especificar cómo se realizan los contactos eléctricos al semiconductor desde el circuito exterior de polarización. En las Figs. 3-2 y 3-3 se han esquematizado los contactos metálicos con el material homogéneo tipo n y p. Como se observa, se han introducido dos uniones de metal-semiconductor, una por cada lado del diodo, y debemos naturalmente esperar que se produzca un potencial de contacto en estas uniones adicionales. A pesar de todo, supondremos que los contactos metal semiconductor se han fabricado de tal forma que no sean rectificadores. En otras palabras, el potencial de contacto de estas uniones es constante, independiente de la dirección y magnitud de la corriente. A un contacto de este tipo se le denomina *contacto óhmico*.

Ahora ya estamos en condiciones de justificar nuestra suposición de que la tensión total aplicada aparece como un *cambio* en la altura de la barrera de potencial. Considerando que la diferencia de potencial en los contactos óhmicos metal-semiconductor permanece constante y que la caída de tensión en el cuerpo del cristal es despreciable, aproxima-

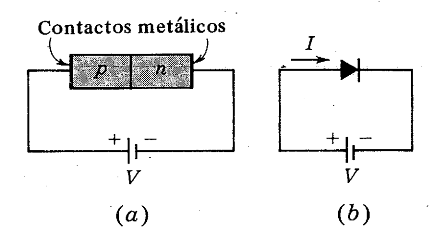


Fig. 3-3. (a) Unión p-n polarizada en sentido directo. (b) Símbolo de rectificador empleado para un diodo p-n.

damente toda la tensión aplicada aparecerá como un cambio de la altura de la barrera de potencial en la unión *p-n*.

La unión *p-n* en circuito abierto y en cortocircuito. Si la tensión V en las Figs. 3-2 ó 3-3 fuese igual a cero, la unión *p-n* estaría cortocircuitada. En estas condiciones, como demostraremos a continuación, no puede fluir corriente ($I = 0$) y el potencial electrostático V_o permanece sin cambios e igual al valor en condiciones de circuito abierto. Si hubiera corriente ($I \neq 0$) el metal se calentaría. Como no hay fuente de energía exterior, la energía necesaria para el calentamiento del conductor metálico debería proceder de la barra *p-n*. Por otra parte, la barra de semiconductor debería enfriarse. Naturalmente, en condiciones de equilibrio térmico el calentamiento del metal simultáneamente con el enfriamiento del semiconductor es imposible, y en consecuencia: $I = 0$. En condiciones de cortocircuito, la suma de las caídas de tensión en un circuito cerrado debe ser nula, con lo que el potencial de la unión V_o debe compensarse exactamente con los potenciales de contacto metal-semiconductor en los contactos óhmicos. Como la corriente es cero, el conductor puede cortarse sin que cambie la situación, y la tensión entre los extremos cortados será cero. Si se pretende medir V_o conectando un voltímetro en los extremos cortados, la lectura será cero. En otras palabras, no se puede medir directamente con un voltímetro la diferencia de potencial de contacto.

Grandes tensiones directas. Supongamos que la tensión directa V de la Fig. 3-3 aumenta hasta que se aproxima a V_o. Si V fuese igual a V_o, la barrera desaparecería y la corriente sería arbitrariamente grande, excediendo las posibilidades del diodo. De hecho no se puede anular la barrera de potencial a cero, incrementando la corriente sin límite, puesto que la resistencia del cuerpo del cristal, así como la resistencia de los contactos óhmicos, se encargarán de limitarla. Por tanto, no es posible suponer que toda la tensión V aparezca como cambio en la unión *p-n*. La conclusión es de que cuando la tensión V sea comparable con V_o, la corriente a través de un diodo real *p-n* estará limitada por las resistencias de contactos óhmicos y la resistencia del cuerpo del cristal. Las características de tensión-corriente será aproximadamente una línea recta.

3-3. COMPONENTES DE CORRIENTE EN UN DIODO *p-n*

En la sección precedente hemos indicado que, cuando se aplica a un diodo polarización en sentido directo, se inyectan huecos en el lado n y electrones en el lado p. En la Sec. 2-11 se ha destacado la inyección a bajo nivel de tal forma que la corriente de minoritarios sea debida casi enteramente a la difusión y las corrientes de desplazamiento de minoritarios pueden despreciarse. De la Ec. (2-48) vemos que la corriente de difusión de los huecos en un material del tipo n*, I_{pn}, decrece exponencialmente con la distancia x dentro de la propia región y disminuye a 1/& de su valor de pico a una distancia L_p. Esta corriente queda plasmada en la Fig. 3-4, que también corresponde a la corriente de difusión de electrones I_{np} en el lado p. El drogado de los dos lados de la unión no tiene que ser necesariamente idéntico, y en este caso se ha supuesto que la concentración de aceptadores es mucho mayor que la densidad de donadores, de tal forma que la corriente de huecos exceda grandemente a la corriente de electrones. También en la Fig. 3-4, la región de la carga espacial se ha supuesto lo suficientemente pequeña como para poder despreciarla, y de esta restricción trataremos más adelante.

* Como hemos considerado las dos corrientes de huecos y de electrones en ambos lados de la unión, añadiremos el segundo subíndice n a I_p para indicar que estamos considerando la corriente de huecos en la región del tipo n. En general, si aparecen las dos letras n y p en un símbolo, la primera letra se refiere al tipo del portador y la segunda al tipo de material.

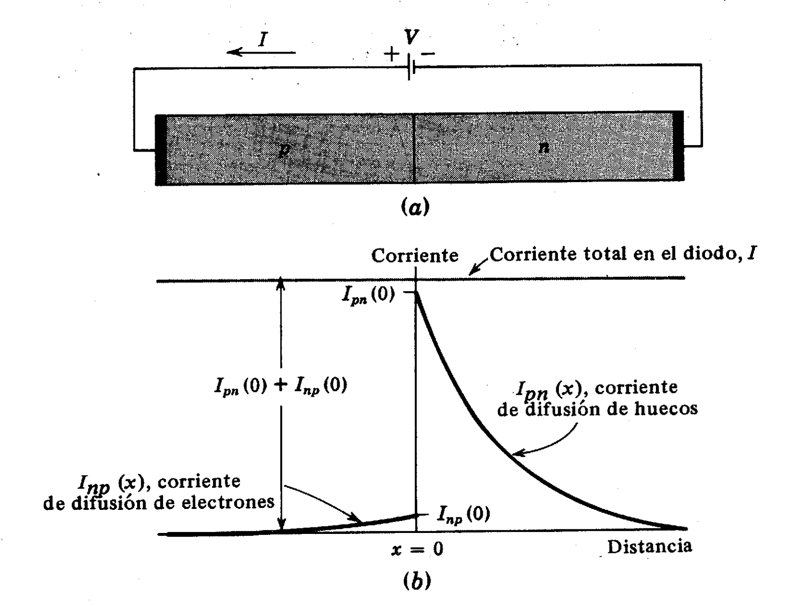


Fig. 3-4. Componentes de la corriente de difusión de huecos y de electrones en función de la distancia a la unión *p-n*. El lado p está drogado mucho más fuertemente que el lado n. La región de carga espacial en la unión se supone despreciable

De la Fig. (2-48) (con el subíndice n añadido a I_p y a p) la corriente de difusión minoritaria (huecos) en la unión ($x = 0$) vendrá dada por:

$$I_{pn}(0) = \frac{AqD_p}{L_p}\,[p_n(0) - p_{no}]\ . \tag{3-3}$$

Ley de la unión. En la sección precedente hemos puntualizado que la polarización en sentido directo disminuía la altura de la barrera de potencial y llevaba más portadores por la unión. Por lo tanto, $p_n(0)$ deberá ser función de V. Considerando la relación de Boltzmann, Ec. (2-59), parece razonable suponer que $p_n(0)$ dependa exponencialmente de V. Efectivamente, en la Sec. 19-10 vemos que:

$$p_n(0) = p_{no}\epsilon^{V/V_T}\,. \tag{3-4}$$

Esta relación se denomina *ley de la unión* y da la concentración de los huecos en el borde de la región n (en $x = 0$, justamente fuera de la región de transición) en función de la concentración de portadores minoritarios p_{no} en el equilibrio térmico (lejos de la unión), y de la tensión aplicada V. Una ecuación similar pero con p y n intercambiados nos dará la concentración de los electrones en el borde de la región p en función de V.

La corriente total del diodo. Sustituyendo la Ec. (3-4) en la Ec. (3-3) obtenemos:

$$I_{pn}(0) = \frac{AqD_p p_{no}}{L_p} (\epsilon^{V/V_T} - 1) \ . \tag{3-5}$$

De la Ec. (3-5) se obtiene la expresión de la corriente de electrones $I_{np}(0)$ que atraviesa la unión hacia el lado p, cambiando los subíndices p y n.

Los electrones que atraviesan la unión en $x = 0$ de derecha a izquierda, constituyen una corriente en la misma dirección que los huecos que la atraviesan de izquierda a derecha. Por lo tanto, la corriente total en el diodo I en $x = 0$, será:

$$I = I_{pn}(0) + I_{np}(0) \ . \tag{3-6}$$

Como la corriente es la misma a todo lo largo de un circuito en serie, I es independiente de x y se indica con una línea horizontal en la Fig. 3-4*b*. La expresión de la corriente del diodo será:

$$I = I_o(\epsilon^{V/V_T} - 1) \ , \tag{3-7}$$

en la que I_o viene dada en el Probl. 3-6 en función de los parámetros físicos del diodo.

Corriente de saturación inversa. En la anterior discusión hemos supuesto que un valor positivo de V indica una polarización directa. La obtención de la Ec. (3-7) es igualmente válida si V es negativa, lo que significa que la tensión aplicada es de polarización inversa. Para una polarización inversa cuyo valor sea grande comparado con V_T (26 mV a la temperatura ambiente), $I \rightarrow -I_o$. Por lo tanto, I_o se denomina *corriente inversa de saturación*. Como las concentraciones p_{no} y n_{po} dependen de la temperatura T, I_o será también función de T. Esta dependencia con respecto a la temperatura se obtiene en la Sec. 19-10.

Componentes de la corriente de los portadores mayoritarios. En la región del tipo n de la Fig. 3-4*b* la corriente total I es constante y la corriente de minoritarios (huecos) I_{pn} varía con x. Naturalmente, ha de existir una corriente de mayoritarios (electrones) I_{nn}, función de x, ya que la corriente del diodo I en cualquier punto es la suma de las corrientes de huecos y de electrones a esta distancia. Esta corriente mayoritaria:

$$I_{nn}(x) = I - I_{pn}(x) \ , \tag{3-8}$$

se representa con una curva de trazos en la región n de la Fig. 3-5, en la que se indica también la estrecha región límite. La corriente de huecos mayoritaria I_{pp} también se representa en la misma figura con trazos y en la región p. Como hemos visto en la Sec. 2-11, estas corrientes mayoritarias están constituidas por dos componentes de corriente: una es la corriente de desplazamiento y la segunda es la corriente de difusión. Recalquemos, considerando la Sec. 2-11, que la corriente de difusión de los electrones es $-(D_n/D_p)I_{pn}$ en el lado n.

Obsérvese que en el interior del lado p la corriente lo es de desplazamiento (conducción) I_{pp} de huecos, debido fundamentalmente al pequeño campo eléctrico del semiconductor (Probl. 3-4). Cuando los huecos se aproximan a la unión, algunos de ellos se

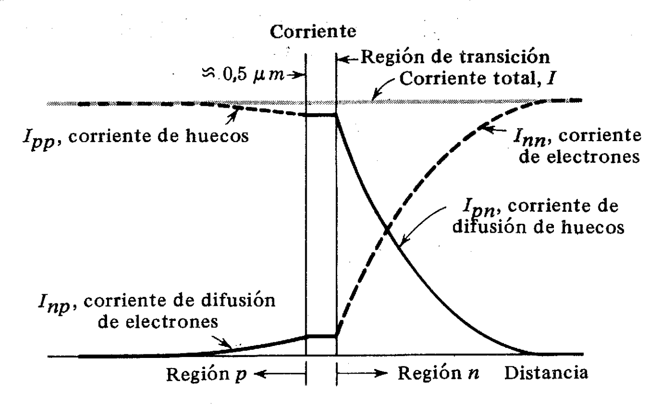


Fig. 3-5. Corriente de minoritarios (en trazo continuo) y de mayoritarios (a trazos) en función de la distancia a un diodo *p-n*. Se supone que no tiene lugar la recombinación en el pequeño espacio correspondiente a la región de transición

recombinan con los electrones, que se inyectan del lado n al lado p. La corriente I_{pp}, por lo tanto, decrecerá hacia la unión (justamente el valor apropiado para mantener la corriente total constante, independientemente de la distancia). Lo restante de I_{pp} al entrar desde la unión al lado n, se transforma en la corriente de difusión I_{pn}. Iguales conclusiones pueden obtenerse con respecto a la corriente I_{nn}.

Hemos de destacar que la corriente de un diodo *p-n* es de carácter bipolar, ya que está constituida por portadores de electricidad positivos y negativos. La corriente total es constante en todo el sistema, pero la proporción entre huecos y electrones varía con la distancia tal como indica la Fig. 3-5.

La región de transición. Como esta capa de transición contiene muy pocas cargas móviles, se ha supuesto (Fig. 3-5) que cabe despreciar la generación y recombinación de portadores en el cuerpo del cristal y en la superficie de esta región. Tal suposición es válida para un diodo de germanio, pero no para uno de silicio. Más adelante veremos que[2] la Ec. (3-5) debe modificarse multiplicando V_T por un factor η, siendo $\eta \approx 2$ para pequeñas corrientes y $\eta \approx 1$ para elevadas corrientes.

3-4. CARACTERISTICA TENSION-CORRIENTE

La explicación de la sección precedente nos indica que, para una unión *p-n*, la corriente I se relaciona con la tensión V por medio de la ecuación:

$$I = I_o(\epsilon^{V/\eta V_T} - 1) \tag{3-9}$$

Un valor positivo de I significa que la corriente circula del lado p al lado n. El diodo está polarizado en sentido directo si V es positivo, indicando que el lado p de la unión es positivo con respecto al n. El símbolo η vale la unidad para el germanio y aproximadamente 2 para el silicio con corrientes moderadas.

El símbolo V_T significa la tensión equivalente de la temperatura y viene dado por la Ec. (2-38), que repetiremos para mayor comodidad:

$$V_T \equiv \frac{T}{11.600} \tag{3-10}$$

A la temperatura ambiente ($T = 300°$ K), $V_T = 0{,}026$ V = 26 mV.

En la Fig. 3-6*a* aparece la forma de la característica de tensión-corriente indicada por la Ec. (3-9). Cuando la tensión es positiva y varias veces superior a V_T, puede despreciarse el 1 en el paréntesis de la Ec. (3-9).

Por tanto, excepto para un pequeño margen en la proximidad del origen, la corriente aumenta exponencialmente con la tensión. Cuando el diodo se polariza en sentido inverso y $|V|$ vale varias veces V_T, $I \approx -I_o$. En este caso la corriente inversa es constante e independiente de la tensión inversa aplicada. En consecuencia, a I_o se la conoce con el nombre de *corriente inversa de saturación.*

Para mayor claridad, en la Fig. 3-6 se ha exagerado el valor de la corriente I_o. Normalmente, la gama de corriente directa en la que funciona el diodo es varios órdenes de magnitud mayor que la corriente de saturación inversa. Para mostrar convenientemente las características directa e inversa, será necesario, tal como se ha hecho en la Fig. 3-6*b*, emplear dos escalas de corriente diferentes. En el caso de la figura indicada, la escala de corriente directa está expresada en miliampere y la de corriente inversa en microampere.

La porción de trazos en la curva de la Fig. 3-6*b* indica que, a la tensión de polarización inversa V_Z, la característica del diodo presenta un cambio brusco que se aparta extraordinariamente de la Ec. (3-9). A esta tensión crítica, circula una gran corriente inversa y se dice que el diodo está en la región de ruptura, comentada en la Sec. 3-11.

Tensión umbral $V\gamma$. Los diodos disponibles en el mercado son de germanio o de silicio. Para el diseño, es importante tener en cuenta un determinado número de diferencias

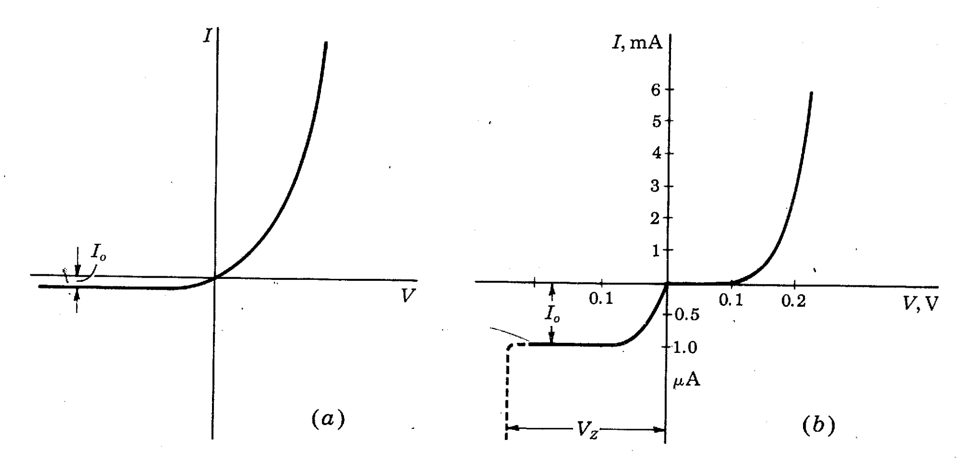


Fig. 3-6. (*a*) Característica tensión-corriente de un diodo *p-n* ideal. (*b*) Característica tensión-corriente de un diodo de germanio para mostrar el orden de magnitud de la corriente. Obsérvese que la escala está ampliada para las corrientes inversas. La porción de trazos indica la región de ruptura en V_Z

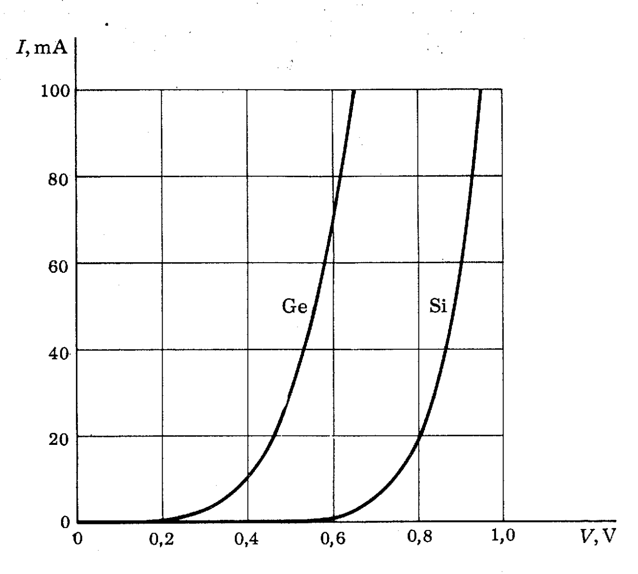


Fig. 3-7. Característica directa tensión-corriente de un diodo de germanio (1N270) y otro de silicio (1N3605) a 25° C

existentes entre ambos tipos. En la figura 3-7 aparece la diferencia entre las características tensión-corriente. En este caso, están dibujadas las características en sentido directo y a la temperatura ambiente de un diodo de conmutación para usos generales de germanio, y un diodo de empleo generalizado de silicio, que son respectivamente el 1N270 y el 1N3605. Ambos diodos son comparables en cuanto a sus corrientes. En la Fig. 3-7 aparece clara la existencia de una tensión de *codo*, de *partida*, o *umbral* $V\gamma$, por debajo de la cual la corriente es muy pequeña (por ejemplo, menos del 1 % del máximo valor nominal). Por encima de $V\gamma$, la corriente sube muy rápidamente. En la Fig. 3-7 podemos ver que $V\gamma$ es, aproximadamente, 0,2 V para el germanio y 0,6 V para el silicio.

Obsérvese que la tensión umbral en el diodo de silicio es aproximadamente 0,4 V superior a la del germanio. La razón estriba en parte, en que la corriente de saturación inversa en el germanio es normalmente superior, unas 1 000 veces mayor, que la del diodo de silicio de características comparables. I_o es del orden de microampere para el germanio y de nanoampere para el silicio a la temperatura ambiente.

Puesto que $\eta = 2$ para el silicio, con pequeñas corrientes, la intensidad aumenta de la forma $\varepsilon^{V/2V_T}$ para las primeras décimas de volt y sigue de la forma ε^{V/V_T} para mayores tensiones. Esta pequeña dependencia inicial de la corriente con respecto a la tensión explica más aún, el retardo en la elevación de la característica del silicio.

Características logarítmicas. Es interesante examinar la familia de curvas de los diodos de silicio, indicada en la Fig. 3-8. La familia del germanio, para corrientes comparables, es casi igual, con la excepción de que las correspondientes corrientes se obtienen a tensiones inferiores.

Suponiendo que en la Ec. (3-9), V es varias veces V_T, de tal forma que podemos despreciar la unidad, tenemos $\log I = \log I_o + 0{,}434V/\eta V_T$. Por otra parte, podríamos esperar de la Fig. 3-8, en la que $\log I$ está en función de V, que las curvas fuesen líneas rectas. Verdaderamente, es así para corrientes bajas y que corresponden a $\eta = 2$. Para

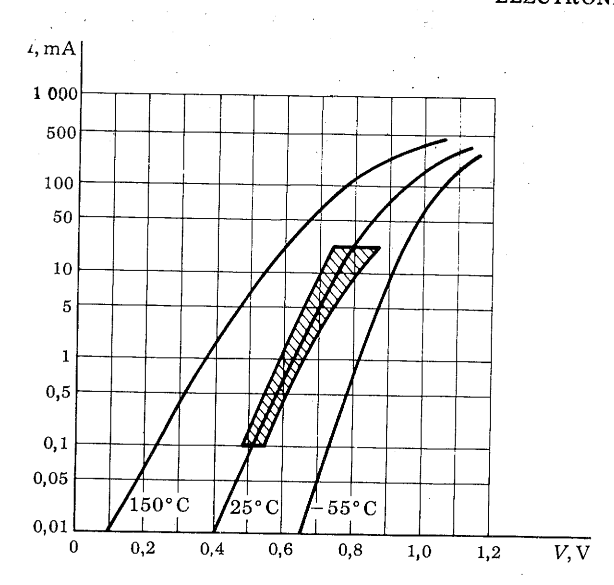


Fig. 3-8. Característica tensión-corriente a tres temperaturas diferentes para un diodo de silicio (planar epitaxial pasivado de los tipos 1N3605, 1N3606, 1N3608, y 1N3609). El área rayada indica los límites a 25° C de la conductancia controlada. Obsérvese que la escala vertical es logarítmica y comprende un margen de corriente de 50.000. (Cortesía de General Electric Company.)

corrientes elevadas, un incremento de tensión no implica un incremento tan grande de intensidad como con corrientes bajas. La razón de este comportamiento la encontramos en la resistencia óhmica del diodo. A intensidades bajas, la caída óhmica es despreciable y la acción de la tensión exterior simplemente actúa sobre la barrera de potencial de la unión *p-n*. Para corrientes elevadas, la tensión exterior se emplea principalmente en establecer un campo eléctrico para vencer la resistencia óhmica del material semiconductor. Además, para altas corrientes, el diodo se comporta más como una resistencia que como un diodo y la corriente aumenta linealmente, en lugar de exponencialmente, en función de la tensión aplicada.

Corriente de saturación inversa. Muchos diodos comerciales presentan un valor esencialmente constante de I_o para valores negativos de V, tal como se indica en la Fig. 3-6. Por otra parte, algunos diodos presentan una variación muy pronunciada de la corriente inversa con el incremento de la tensión inversa. Esta variación de I_o resulta de las fugas en la superficie del diodo, y también del hecho adicional de la creación de nuevos portadores por colisión en la región de transición de la unión.

3-5. DEPENDENCIA DE LA CARACTERISTICA V/I CON RESPECTO A LA TEMPERATURA

La función tensión-corriente (3-9) contiene implícita la temperatura en los símbolos V_T e I_o. En la Sec. 19-11 se muestra que, teóricamente, la variación de I_o con respecto a

T es de 8 %/° C para el silicio y de 11 %/° C para el germanio. En los diodos comerciales estos valores son sólo aproximados. La razón de esta discrepancia es la de que, en un diodo físico, existen componentes de la corriente inversa de saturación que son debidas a las fugas por la superficie y que no se tienen en cuenta en la Sec. 19-11. Como estas fugas son independientes de la temperatura, cabe esperar una influencia de ésta sobre I_o menor de la prevista. Se ha observado experimentalmente que la corriente inversa de saturación crece aproximadamente un 7 %/° C tanto en el silicio como en el germanio. Ya que $1{,}07^{10} \approx 2{,}0$, deducimos que *la corriente inversa de saturación se duplica aproximadamente por cada 10° C de aumento de temperatura.* Si $I_o = I_{o1}$ a $T = T_1$, cuando la temperatura es T, I_o viene dado por:

$$I_o(T) = I_{o1} \times 2^{(T - T_1)/10}. \tag{3-11}$$

Si la temperatura aumenta manteniendo la tensión, la corriente aumenta. Pero, si ahora se reduce V, I puede volver a su valor primitivo. En la Sec. 19-11 encontraremos que, tanto para el silicio como para el germanio (*a la temperatura ambiente*):

$$\frac{dV}{dT} \approx -2{,}5 \text{ mV/° C}, \tag{3-12}$$

para mantener un valor constante de I. Debemos observar que $|dV/dT|$ disminuye cuando aumenta la temperatura.

3-6. RESISTENCIA DEL DIODO

La resistencia estática R de un diodo se define como la relación entre la tensión y la corriente V/I. En un punto cualquiera de la característica tensión-corriente del diodo (Fig. 3-7), la resistencia R es igual a la inversa de la pendiente de la línea que une el punto de funcionamiento con el origen. La resistencia estática varía extraordinariamente con V e I y no es útil su empleo como parámetro. Las propiedades de rectificación de un diodo se indican en el catálogo o especificaciones técnicas del fabricante, dando la tensión directa máxima necesaria V_F para tener una corriente directa dada I_F, y también la corriente inversa máxima I_R a una tensión inversa dada V_R. Los valores típicos para un diodo planar epitaxial de silicio son $V_F = 0{,}8$ V a $I_F = 10$ mA (que corresponde a una $R_F = 80\ \Omega$) e $I_R = 0{,}1\ \mu A$ a $V_R = 50$ V (correspondiente a $R_R = 500$ M).

Para el funcionamiento con pequeñas señales, la *resistencia dinámica, o incremental* r, es un parámetro importante y se define como la inversa de la pendiente de la característica tensión-corriente, $r \equiv dV/dI$. La resistencia dinámica no es una constante, sino que depende de la tensión de trabajo. Por ejemplo, para un diodo semiconductor, resulta según la Ec. (3-9), que la conductancia dinámica $g \equiv 1/r$ es:

$$g \equiv \frac{dI}{dV} = \frac{I_o \epsilon^{V\eta/V_T}}{\eta V_T} = \frac{I + I_o}{\eta V_T}. \tag{3-13}$$

Para una polarización inversa superior a unas décimas de volt (para que $|V/\eta\, V_T| \gg 1$), g es extremadamente pequeño y r muy grande. Por otra parte, para una polarización

directa superior a unas décimas de volt $I \gg I_o$ y r viene dada aproximadamente por:

$$r \approx \frac{\eta V_T}{I} . \tag{3-14}$$

La resistencia dinámica varía inversamente con la corriente; a la temperatura ambiente y para $\eta = 1$, $r = 26/I$ donde I se expresa en miliampere y r en ohm. Para una corriente directa de 26 mA, la resistencia dinámica es de 1 ohm. La resistencia óhmica del cuerpo del semiconductor puede ser del mismo orden de magnitud o a veces mucho mayor. Aunque r varíe con la corriente, en un modelo para pequeña señal es razonable emplear el parámetro r como constante.

Característica lineal aproximada del diodo. La aproximación lineal para grandes señales proporciona a menudo soluciones suficientemente satisfactorias para la mayor parte de aplicaciones en ingeniería electrónica. Por ejemplo, una aproximación equivalente lineal para la característica de un diodo semiconductor sería la indicada en la Fig. 3-9. El *punto de rotura, umbral* o *partida* no es el origen, sino $V\gamma$. El diodo se comporta como un circuito abierto para $V < V\gamma$, y con una resistencia incremental constante $r = dV/dI$ si $V > V\gamma$. Obsérvese que la resistencia r (también designada por R_f y denominada resistencia directa) tiene un significado físico incluso para este modelo de gran señal, mientras que la resistencia estática $R_F = V/I$ no es constante y por tanto poco útil.

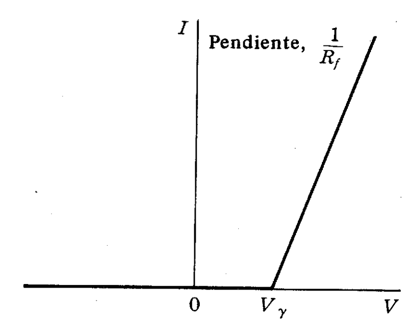


Fig. 3-9. Caracterización del equivalente lineal de un diodo semiconductor

Los valores numéricos $V\gamma$ y R_f dependen del tipo de diodo, y de los valores de la tensión y corriente. Por ejemplo, en la Fig. 3-7 encontramos que, para una excursión de corriente desde el corte hasta los 10 mA en un diodo de germanio, los valores adecuados son $V\gamma = 0{,}2$ V y $R_f = 20\ \Omega$, y para los diodos de silicio, $V\gamma = 0{,}6$ V y $R_f = 15\ \Omega$. Por otra parte para cambios de corriente hasta 50 mA, una mejor aproximación es: germanio $V\gamma = 0{,}3$ V, $R_f = 6\ \Omega$; silicio, $V\gamma = 0{,}65$ V, $R_f = 5{,}5\ \Omega$. Para un diodo de avalancha, tratado en la Sec. 3-11, $V\gamma = V_Z$ y R_f es la resistencia dinámica en la región de avalancha.

3-7. CAPACIDAD DE LA CARGA ESPACIAL O DE TRANSICION C_T

Como mencionamos en la Sec. 3-1, la polarización inversa provoca que los portadores mayoritarios se alejen de la unión, dejando descubiertas más cargas inmóviles. De ahí que el grueso de la capa de carga espacial aumente con la tensión inversa. Este aumento de carga con la tensión aplicada puede considerarse como un efecto de capacidad. Podemos definir como capacidad incremental C_T a:

$$C_T = \left| \frac{dQ}{dV} \right| \tag{3-15}$$

donde dQ es el incremento en la carga provocado por el cambio de tensión dV. Se desprende de ello que un cambio de la tensión dV en un tiempo dt da como resultado una corriente $i = dQ/dt$, que viene dada por:

$$i = C_T \frac{dV}{dt} . \tag{3-16}$$

Por tanto, es importante conocer C_T cuando se considera un diodo (o un transistor) como elemento de un circuito. El valor de C_T se conoce con el nombre de *capacidad de la región de transición, de la carga espacial o de la barrera*. A continuación determinaremos el valor de C_T. Esta capacidad no es constante, sino que depende de la tensión inversa, por cuya razón es preferible definir C_T por la Ec. (3-16) en lugar de Q/V.

Unión brusca o abrupta. Consideremos una unión en la que hay un cambio abrupto de iones aceptadores en uno de los lados de la unión, a iones donadores en el otro. Esta unión se forma experimentalmente, por ejemplo colocando indio, que es trivalente, sobre un germanio de tipo *n* y calentando el conjunto a temperatura elevada durante un breve tiempo. Parte del indio se disuelve en el germanio y lo cambia de tipo *n* a tipo *p*, obteniéndose una unión *p-n*. Esta unión se denomina abrupta, por *aleación o fusión*. Una unión abrupta también se forma entre emisor y base de un transistor integrado (Fig. 7-11). No es necesario que la concentración de iones aceptadores N_A sea igual a la concentración de impurezas donadoras N_D. En la práctica, se obtienen ventajas con una unión asimétrica. En la figura 3-10 se muestra la densidad de carga en función de la distancia en una unión abrupta en la que la densidad de impurezas aceptadoras se supone mucho mayor que la concentración de donadores puesto que la carga neta total debe ser cero, entonces:

$$N_A W_p = N_D W_n . \tag{3-17}$$

Si $N_A \gg N_D$, entonces $W_p \ll W_n \approx W$. La relación entre el potencial y la densidad de carga viene dada por la Ec. (3-1):

$$\frac{d^2 V}{dx^2} = \frac{-qN_D}{\epsilon} . \tag{3-18}$$

Las líneas de campo eléctrico parten de iones donadores positivos y terminan en los iones aceptadores negativos. Por lo tanto, no hay líneas de campo a la derecha del límite $x = W_n$ en la Fig. 3-10, y $\mathcal{E} = -dV/dx = 0$ en $x = W_n \approx W$. Integrando la Ec. (3-18) sujeta a estas condiciones límite, tenemos:

$$\frac{dV}{dx} = \frac{-qN_D}{\epsilon}(x - W) = -\mathcal{E} . \tag{3-19}$$

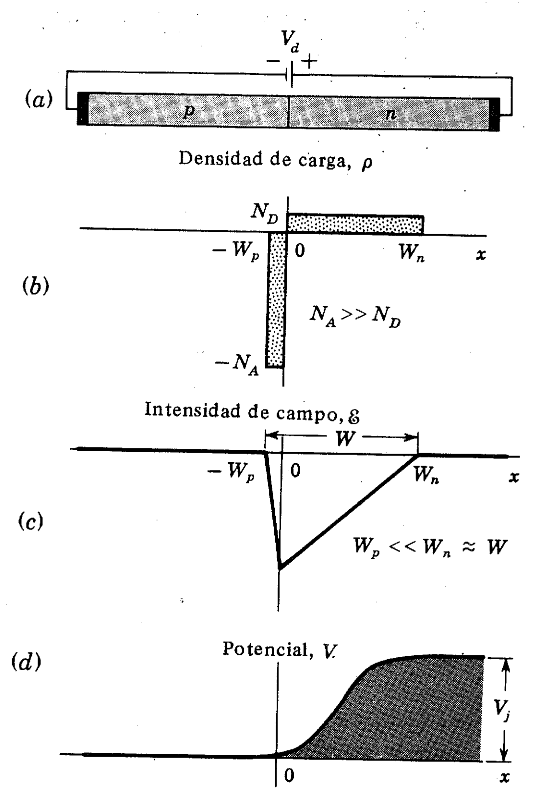


Fig. 3-10. (*a*) Unión abrupta *p-n* polarizada en sentido inverso. (*b*) Densidad de carga. (*c*) Intensidad de campo. (*d*) Variación del potencial con la distancia

Despreciando la pequeña diferencia de potencial en W_p, podemos escoger arbitrariamente $V = 0$ a $x = 0$. Integrando la Ec. (3-19), de acuerdo con estas condiciones, se obtiene:

$$V = \frac{-qN_D}{2\epsilon}(x^2 - 2Wx) \,. \tag{3-20}$$

En la Fig. 3-10*c* y *d* están expresadas la variación lineal de la intensidad de campo y la función cuadrática del potencial en función de la distancia. Estos gráficos deben compararse con las curvas correspondientes de la Fig. 3-1.

Para $x = W$, $V = V_j$ = potencial de unión o barrera, siendo

$$V_j = \frac{qN_D W^2}{2\epsilon} \,. \tag{3-21}$$

En esta sección hemos empleado el símbolo V para representar el potencial a cualquier distancia de la unión. Así, utilizaremos V_d para la tensión exterior aplicada al diodo.

Como la barrera de potencial representa una tensión inversa, queda disminuida por la tensión directa aplicada, y por lo tanto:

$$V_j = V_o - V_d \,,$$

en que V_d es un número negativo para una polarización *inversa* y V_o es el potencial de contacto (Fig. 3-1*d*). Esta ecuación confirma nuestra conclusión cualitativa de que el ancho de la zona de carga de espacio aumenta con la tensión inversa aplicada. Vemos que W varía con $V_j^{1/2} = (V_o - V_d)^{1/2}$.

Si A es el área de la unión, la carga en función de la distancia W será:

$$Q = qN_D WA$$

La capacidad de transición C_T viene dada por la Ec. (3-15) y es:

$$C_T = \left|\frac{dQ}{dV_d}\right| = qN_D A \left|\frac{dW}{dV_j}\right| \tag{3-22}$$

De la Ec. (3-21), $|dW|dV_j| = \mathcal{E}/qN_D W$ y por tanto:

$$C_T = \frac{\epsilon A}{W} \tag{3-23}$$

Es interesante observar que esta fórmula es exactamente la expresión de la capacidad de un condensador plano de placas paralelas de área A (metros cuadrados) y separación entre placas de W metros con un dieléctrico de permitividad &. Si no se desprecia la concentración N_A, los resultados anteriores sólo se modifican ligeramente. En la Ec. (3-21), W representa la anchura total de la zona de carga espacial, y $1/N_D$ queda reemplazada por $1/N_A + 1/N_D$. La ecuación (3-23) permanece válida (Probl. 3-18).

Unión gradual lineal. Se obtiene una segunda forma de unión, al crecer un cristal único a partir del germanio fundido, cuyo tipo se cambia durante el proceso de crecimiento, añadiendo primero impurezas del tipo *p* y a continuación del tipo *n*. Entre el colector y la base de un transistor integrado (Fig. 7-12) también se forma unión gradual. Para una unión de este tipo, la densidad de carga varía gradualmente (casi linealmente), tal como indica la figura 3-11. Si analizamos esta unión como lo hemos hecho anteriormente, se

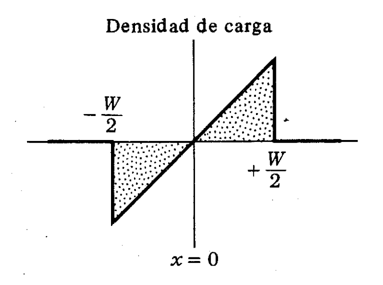


Fig. 3-11. Variación de la densidad de carga en función de la distancia en una unión *p-n* gradual

demuestra que la Ec. (3-23) sigue siendo válida, donde W es la anchura total de la zona de carga espacial. En cambio, W es ahora proporcional a $V_j^{1/3}$ en lugar de a $V_j^{1/2}$

Diodos de capacidad variable (varicaps). Hemos observado en las ecuaciones anteriores que la capacidad de transición no es constante, sino que depende de la tensión exterior aplicada. Cuanto mayor sea la tensión inversa, mayor será la anchura W de la zona de carga espacial, y por lo tanto menor su capacidad C_T. Esta variación la podemos ver representada para dos diodos típicos en la Fig. 3-12. Similarmente, si se aumenta de la tensión directa (V_d positiva), W decrece y C_T aumenta.

Esta propiedad de la unión *p-n* polarizada en sentido inverso, cuya capacidad es variable con la tensión, se emplea en numerosos circuitos. Una de estas aplicaciones es la sintonización por tensión de un circuito resonante LC. Otra aplicación que podríamos citar es en circuitos puente autoequilibrados y en tipos especiales de amplificadores, denominados *amplificadores paramétricos.*

Los diodos fabricados especialmente para las aplicaciones mencionadas, que se basan en el principio de la variación de la capacidad con la tensión se denominan *varactores* o *varicaps*. En la Fig. 3-13 se indica un circuito equivalente de un diodo varicap con polarización inversa. La resistencia R_s representa la resistencia serie del cuerpo (óhmica) del diodo. Los valores típicos de C_T y de R_s son 20 pF y 8,5 Ω, respectivamente, a la tensión de polarización inversa de 4 V. La resistencia inversa del diodo R_r en paralelo con C_T es elevada (~ 1 MΩ) y, por tanto, suele ser despreciada.

En circuitos construidos para ondas rápidas o de elevada frecuencia, es necesario que la capacidad de transición sea lo más pequeña posible, y ello por la siguiente razón: cuando se desea evitar el paso de señal, el diodo se ha de polarizar en sentido inverso. Sin embargo, si la capacidad C_T de la barrera es demasiado elevada, la corriente que debería restringirse por la baja conductancia del diodo en inversa circulará a través del condensador (Fig. 3-13*b*).

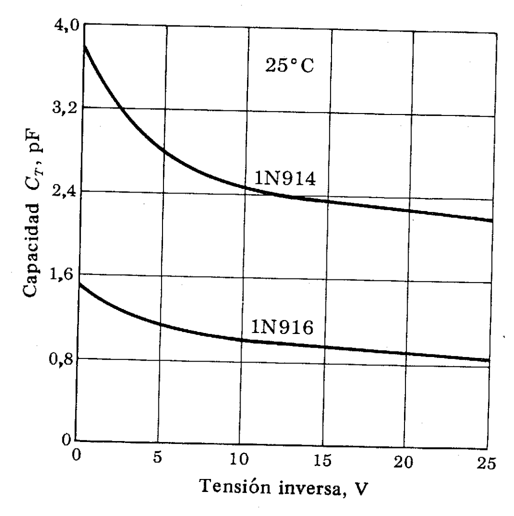


Fig. 3-12. Variación de la capacidad de la barrera, con la tensión inversa, de los diodos de silicio 1N914 y 1N916. (Cortesía de la Fairchild Semiconductor Corporation.)

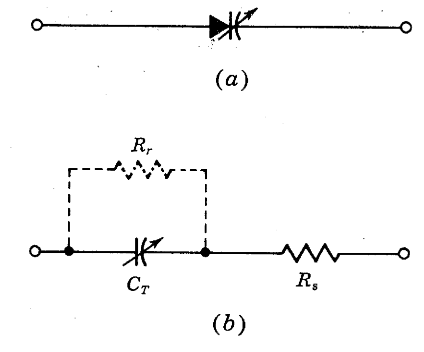


Fig. 3-13. Un diodo varicap polarizado en sentido inverso. (*a*) Símbolo; (*b*) modelo

3-8. MODELO DEL CONTROL DE LA CARGA DE UN DIODO

Si se polariza en el sentido directo, la barrera de potencial de la unión disminuirá y los huecos del lado p entrarán en el lado n. Igualmente, los electrones del lado n se moverán hacia el lado p. Este proceso de *inyección de portadores minoritarios* ya ha sido tratado en la Sec. 2-11. El exceso de huecos disminuye exponencialmente con la distancia, tal como indica la Fig. 3-14*a*. El área sombreada de esta curva es proporcional a la carga inyectada.

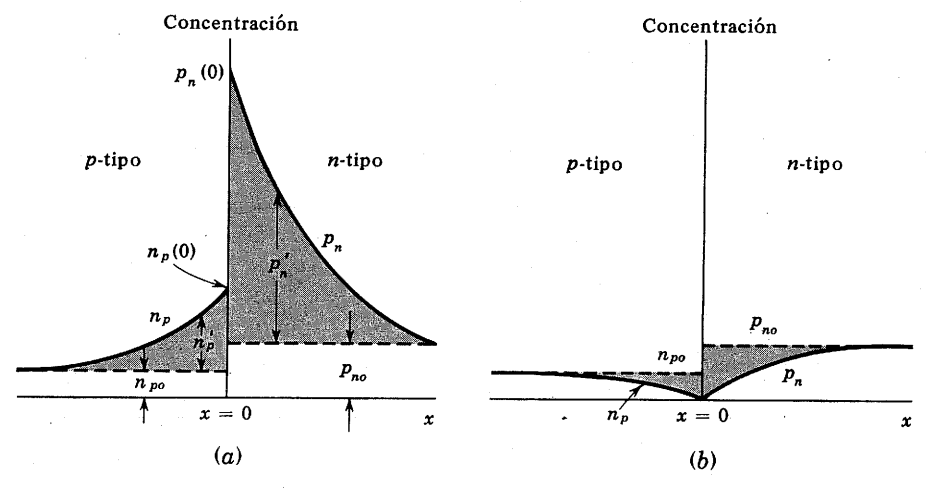


Fig. 3-14. Distribución de la densidad de portadores minoritarios en función de la distancia x a la unión. (*a*) Unión polarizada en sentido directo; (*b*) Unión polarizada en sentido inverso. La densidad en exceso de huecos (electrones) $p'_n = p_n - p_{no}$ ($n'_p = n_p - n_{po}$) es positiva en (*a*) y negativa en (*b*). (La región de transición es tan pequeña con relación a la anchura de difusión, que no se indica en la figura.)

Para simplificar la discusión, supondremos que uno de los lados del diodo, por ejemplo el p, está fuertemente drogado en comparación con el lado n, de tal forma que la corriente I que circula a través de la unión se debe enteramente a los huecos que pasan del lado p al lado n, o sea $I = I_{pn}(0)$. El exceso de carga Q debida a los minoritarios sólo existirá en la región n, y su valor vendrá dado por el área sombreada de la región n de la Fig. 3-14a multiplicada por el área de la sección transversal del diodo A y por la carga del electrón q. Por tanto, de la Ec. (2-47):

$$Q = \int_0^\infty Aqp'(0)\epsilon^{-x/L_p}dx = AqL_p p'(0)\,. \tag{3-24}$$

La corriente de los huecos I viene dada por $I_p(x)$ de la Ec. (2-48), $x = 0$, o sea:

$$I = \frac{AqD_p p'(0)}{L_p}\,. \tag{3-25}$$

Eliminando $p'(0)$ entre las ecuaciones (3-24) y (3-25), tenemos:

$$I = \frac{Q}{\tau}\,, \tag{3-26}$$

en que $\tau \equiv L_p{}^2/D_p \equiv \tau_p =$ la vida media de los huecos [Ec. (2-44)].

La Ec. (3-26) es una relación importante, conocida como *modelo del control de la carga de un diodo*, y establece que la corriente del diodo (que consiste en huecos que atraviesan la unión de la región p a la n) es proporcional a la carga Q almacenada, de exceso de portadores minoritarios. El factor de proporcionalidad es la inversa de la constante de tiempo de caída (tiempo de vida media τ) de los portadores minoritarios. Por lo tanto, en el estado de equilibrio *la corriente I suministra portadores minoritarios al ritmo en que desaparecen debido al proceso de recombinación.*

Carga almacenada en la polarización inversa. Cuando una tensión externa polariza la unión inversamente, la densidad de equilibrio de portadores minoritarios aparece indicada en la Fig. 3-14b. Lejos de la unión, los portadores minoritarios son iguales a los valores de su equilibrio térmico p_{no} y n_{po}, como también indica la Fig. 3-14a. A medida que los portadores minoritarios se aproximan a la unión son barridos rápidamente y su densidad disminuye a cero en la unión. Este resultado está de acuerdo con la ley de la unión, Ec. (3-4), en que la concentración $p_n(0)$ se reduce a cero para un potencial negativo de la unión V.

La carga inyectada en la polarización inversa viene dada por el área sombreada de la Fig. 3-14b. Esta carga será negativa cuando represente menos cargas de las posibles en condiciones de equilibrio térmico sin tensión aplicada. En la Ec. (3-26) con Q negativa, la corriente I del diodo es negativa y, por lo tanto, igual en valor a la corriente inversa de saturación I_o.

La característica del control de la carga de un diodo, lo define en función de la corriente I y de la carga almacenada Q, mientras que el circuito equivalente emplea la corriente I y la tensión de la unión V. Una ventaja evidente inmediata de la característica del control de carga es que la relación exponencial entre I y V queda sustituida por una dependencia lineal entre I y Q. La carga Q hace las veces de un simple parámetro, cuyo

signo determina cuándo el diodo está polarizado en directa o en inversa. El diodo está polarizado en directa si Q es positiva, y en inversa cuando Q es negativa.

3-9. CAPACIDAD DE DIFUSION

En caso de una polarización directa, aparece una capacidad mucho mayor que la capacidad de transición C_T considerada en la Sec. 3-8. El origen de esta gran capacidad tiene lugar en el almacenamiento de cargas inyectadas cerca de la unión, fuera de la región de transición (Fig. 3-14a). Es conveniente introducir una capacidad incremental, definida como la relación entre la variación de la carga inyectada y la tensión aplicada, denominada *capacidad de la difusión, o almacenamiento C_D*.

Obtención estática de C_D. Vamos a hacer un estudio cuantitativo de C_D. De las Ecs. (3-26) y (3-13):

$$C_D \equiv \frac{dQ}{dV} = \tau\,\frac{dI}{dV} = \tau\,g = \frac{\tau}{r}\,, \tag{3-27}$$

en que $g \equiv dI/dV$ es la conductancia incremental del diodo. Sustituyendo la expresión de la resistencia incremental del diodo $r = 1/g$ de la Ec. (3-14) en la Ec. (3-27), tenemos:

$$C_D = \frac{\tau I}{\eta V_T}\,. \tag{3-28}$$

Vemos que *la capacidad de la difusión es proporcional a la corriente I.* En la deducción anterior hemos supuesto que la corriente del diodo I sólo es debida a los huecos. Si no se cumple esta suposición, la Ec. (3-27) dará la capacidad de difusión C_{Dp} debida únicamente a los huecos, y se puede obtener una expresión similar para la capacidad de difusión C_{Dn} debida a los electrones. La capacidad de difusión total será la suma de C_{Dp} y C_{Dn} (Probl. 3-24).

Con polarización inversa, g es muy pequeña y C_D puede despreciarse comparada con C_T. Para una corriente directa, en cambio, C_D es normalmente mucho mayor que C_T. Por ejemplo, para el germanio ($\eta = 1$) con $I = 26$ mA, $g = 1\ S$ (Siemens), y $C_D = \tau$. Si, por ejemplo, $\tau = 20\ \mu$s, entonces $C_D = 20\ \mu$F, valor que es cerca de un millón de veces mayor que la capacidad de transición.

A pesar del elevado valor de C_D la constante de tiempo rC_D (que es la importante en los circuitos de aplicación) puede no ser excesiva, ya que la resistencia dinámica directa $r = 1/g$ es pequeña. De la Ec. (3-27):

$$rC_D = \tau\,. \tag{3-29}$$

Por lo tanto, la constante de tiempo del diodo es igual a la vida media de los portadores minoritarios, que suele variar desde los nanosegundos a cientos de microsegundos. La importancia de τ en los circuitos de aplicación la veremos en la sección siguiente.

Capacidad de difusión para una entrada arbitraria. Consideremos la formación de las cargas inyectadas en una unión en función del tiempo cuando se cambia el potencial. En

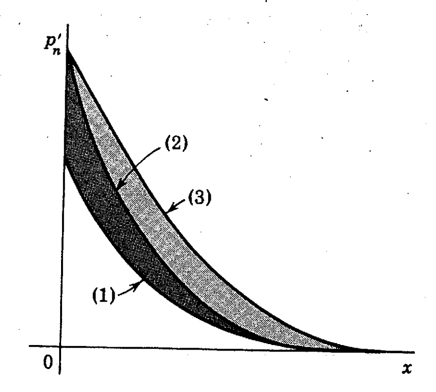


Fig. 3-15. Transistorio de la carga almacenada en exceso. La curva señalada (1) da el estado en régimen permanente de p'_n en el instante t, cuando la tensión es V. Si la tensión aumenta en dV y alcanza $V + dV$, entonces p'_n viene dado por (2) en el instante $t + dt$ y por (3) al cabo de $t = \infty$

la Fig. 3-15, la curva señalada con (1) es el valor en régimen permanente de p'_n para una tensión aplicada V. Si la tensión, al cabo de un tiempo t, se aumenta en dV en un intervalo dt, entonces p'_n cambiará a lo indicado por la curva (2) en el instante $t + dt$. El incremento de la carga dQ' en el tiempo dt es proporcional al área más sombreada en la Fig. 3-15. Obsérvese que la concentración cerca de la unión ha aumentado marcadamente, mientras que p_n, más alejada de la unión, ha cambiado muy poco, ya que la difusión de los huecos en la región n tarda un cierto tiempo. Si la tensión aplicada se mantiene constante a $V + dV$, la carga almacenada continuará creciendo. Finalmente, para $t = \infty$, p_n sigue la curva indicada (3) [que se obtiene en la Ec. (3-4), al reemplazar V por $V + dV$]. La inyección de cargas dQ en estado de equilibrio, debida al incremento de la tensión en dV, es proporcional al área sombreada total de la Fig. (3-15). Naturalmente, $dQ - dQ'$ está representada por el área levemente sombreada, y por lo tanto, $dQ > dQ'$.

Como dQ' es la carga inyectada por la unión en un tiempo dt, la corriente viene dada por:

$$i = \frac{dQ'}{dt} = C'_D \frac{dV}{dt}, \tag{3-30}$$

donde C'_D se define como *capacidad de difusión a pequeña señal, siendo* $C'_D \equiv dQ'/dV$. Obsérvese que la corriente del diodo *no* viene dada por la carga en equilibrio Q o la capacidad estática C_D.

$$i \neq \frac{dQ}{dt} \quad \text{ó} \quad i \neq C_D \frac{dV}{dt}. \tag{3-31}$$

Como $dQ' < dQ$, entonces $C'_D < C_D$.

Del argumento anterior, sacamos la conclusión de que la capacidad de difusión dinámica C'_D depende de la variación de la tensión de entrada con el tiempo. Para encontrar C'_D, la ecuación de continuidad debe resolverse para la forma de onda de la tensión dada.

Esta ecuación indica cómo varía p_n en función de x y de t, y, a partir de $p_n\ (x, t)$, podemos obtener la corriente. Si la entrada varía con el tiempo de forma arbitraria, no se puede definir la capacidad de difusión de una forma única.

Capacidad de difusión para una entrada senoidal. En el caso especial en que la excitación varíe senoidalmente con el tiempo, C'_D puede hallarse como solución de la ecuación de continuidad. Este análisis se desarrolla en la Sec. 19-12, y veremos que C'_D es función de la frecuencia. Para bajas frecuencias:

$$C'_D = \tfrac{1}{2}\tau g, \text{ si } \omega\tau \ll 1, \tag{3-32}$$

que es mitad del valor encontrado en la Ec. (3-27), basado en consideraciones estáticas. Para frecuencias elevadas, C'_D disminuye con el incremento de la frecuencia y viene dado por:

$$C'_D = \left(\frac{\tau}{2\omega}\right)^{1/2} g, \text{ si } \omega\tau \gg 1. \tag{3-33}$$

3-10. TIEMPO DE CONMUTACION DEL DIODO DE UNION

Cuando un diodo pasa de las condiciones inversas a las directas o viceversa, la respuesta del diodo va acompañada de un período de transición, y transcurre un intervalo de tiempo antes de que recupere el estado de equilibrio. El tiempo t_{fr} de recuperación en directa es la diferencia de tiempo entre el instante en que la tensión del diodo vale el 10 % y el instante en que esta tensión alcanza y permanece dentro del 10 % de su valor final Destaquemos que t_{fr} no suele constituir un serio problema en la práctica. Seguidamente consideraremos la situación más importante como es la recuperación en inversa.

Tiempo de recuperación en inversa del diodo. Cuando se aplica una polarización directa a una unión *p-n*, la densidad de equilibrio de los portadores minoritarios se indica en la Fig. 3-14*a*. El número de portadores minoritarios es muy elevado. Todos estos portadores minoritarios están inyectados, en cada caso, desde el otro lado de la unión, donde siendo portadores mayoritarios están en exceso y facilitan la inyección.

Si la tensión exterior pasa a tener sentido inverso, en un circuito de un diodo que esté aportando corriente en directa, la corriente no pasará inmediatamente al valor que corresponde a la tensión inversa. La corriente no puede bajar a su valor de equilibrio hasta que la distribución de portadores minoritarios, que en el momento de invertir la tensión era la indicada en la Fig. 3-14*a*, pasa a ser la distribución de la Fig. 3-14*b*. Hasta el instante, en que la *densidad de portadores mayoritarios o inyectada* $p_n - p_{no}$ (o $n_p - n_{po}$) haya caído a cero, el diodo seguirá conduciendo fácilmente, y la corriente quedará determinada por las resistencias exteriores del circuito del diodo.

Tiempos de transición y de almacenamiento. En la Fig. 3-16 se indica la secuencia que acompaña la inversión del sentido directo al inverso, en la polarización de un diodo. Consideremos que la tensión de la Fig. 3-16*b* se aplica al circuito resistencia diodo de la Fig. 3-16*a*. Durante largo tiempo y hasta t_1, se ha aplicado la tensión de polarización en sentido directo $v_i = V_F$. La resistencia R_L se supone lo suficientemente grande como para que la diferencia de potencial entre sus extremos sea elevada comparada con la del diodo.

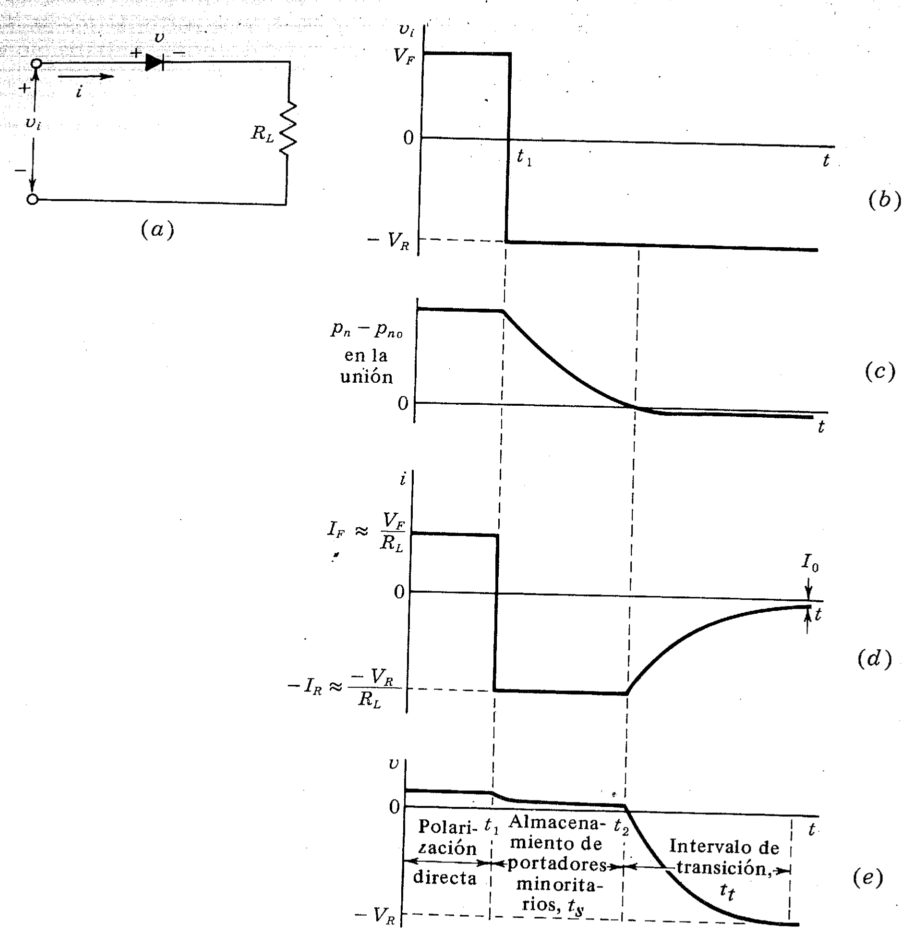


Fig. 3-16. La forma de onda de (*b*) se aplica al circuito del diodo (*a*); (*c*) densidad de exceso de portadores en la unión; (*d*) corriente del diodo; (*e*) tensión del diodo

En este caso la corriente será $i \approx V_F/R_L \equiv I_F$. En el instante $t = t_1$, la tensión de entrada se invierte bruscamente al valor $v = -V_R$. Por las razones descritas anteriormente, la corriente no baja a cero, sino que momentáneamente se invierte y permanece a un valor $i \approx -V_R/R_L = -I_R$ hasta que transcurre un tiempo $t = t_2$. En ese momento, tal como se observa en la Fig. 3-16*c*, la densidad de portadores minoritarios p_n a $x = 0$ ha alcanzado su estado de equilibrio p_{no}. Si la resistencia óhmica del diodo es R_d, la tensión del diodo hasta t_1 cae lentamente [debido a $(I_F + I_R)R_d$] pero no se invierte. Para $t = t_2$, cuando el exceso de portadores minoritarios en las inmediaciones de la unión ha pasado a través de ella, la tensión en el diodo empieza a invertirse y la corriente a decrecer. El intervalo de t_1 a t_2 en el que la carga de minoritarios llega a cero, se denomina *tiempo de almacenamiento* t_s.

El lapso de tiempo transcurrido entre t_2 y el momento en que el diodo se ha recuperado totalmente, se denomina *tiempo de transición* t_t. Este intervalo de recuperación se completa cuando los portadores minoritarios que se hallan a cierta distancia de la unión lleguen a difundirse en ella, atravesándola, y, a la vez, cuando la capacidad de transición de la unión polarizada en sentido inverso se cargue a la tensión $-V_R$ a través de la resistencia R_L.

Los fabricantes suelen especificar el tiempo t_{rr} de recuperación en inversa del diodo, en condiciones de funcionamiento típicas, en función de la forma de onda de la corriente de la Fig. 3-16*d*. El tiempo t_{rr} es el intervalo transcurrido desde que la corriente se invierte en $t = t_1$ hasta que el diodo se ha recuperado, indicándolo en función de la corriente del diodo o de la resistencia del mismo. Si el valor especificado de la resistencia R_L es superior a algunos cientos de ohm, los fabricantes habitualmente dan el valor de la capacidad C_L en paralelo con R_L en el circuito de medida que se utiliza para determinar t_{rr}. Vemos, por ejemplo, para el diodo marca Fairchild 1N3071, que con $I_F = 30$ mA, e $I_R = 30$ mA, el tiempo necesario para que la corriente inversa descienda a 1,0 mA es de 50 nseg. Pero, con el mismo diodo, encontramos que con $I_F = 30$ mA, $-V_R = -35$ V, $R_L = 2$ KΩ, y $C_L = 10$ pF ($-I_R = -35/2 = -17{,}5$ mA), el tiempo necesario para que el diodo se recupere, a un valor en que su resistencia alcance los 400 KΩ, es $t_{rr} =$ 400 nseg. Existen comercialmente diodos con tiempos t_{rr} que varían desde menos de un nanosegundo a 1 μseg para diodos que conmuten corrientes elevadas.

3-11. DIODOS DE AVALANCHA[3]

En la Fig. 3-17*a* aparece la característica de la tensión inversa de un diodo semiconductor, incluyendo la región de ruptura o avalancha. Los diodos diseñados con capacidad adecuada de disipación de potencia para trabajar en la zona de ruptura, pueden ser empleados como dispositivos de tensión de referencia o de tensión constante. Estos diodos se conocen con el nombre de *diodos Zener, de avalancha o de ruptura.* En la Fig. 3-17*b* se indica la forma de empleo característica. La fuente V y la resistencia R se seleccionan de tal manera que, inicialmente, el diodo pueda funcionar en la región de avalancha. Aquí, la tensión del diodo es V_Z, que también es la diferencia de potencial de la carga, como se ve en la Fig. 3-17*a*. La corriente del diodo es I_Z. El diodo regulará la tensión de la carga oponiéndose a las variaciones de la corriente y de la tensión de alimentación V, ya que, en la región de la avalancha, grandes cambios de la corriente del

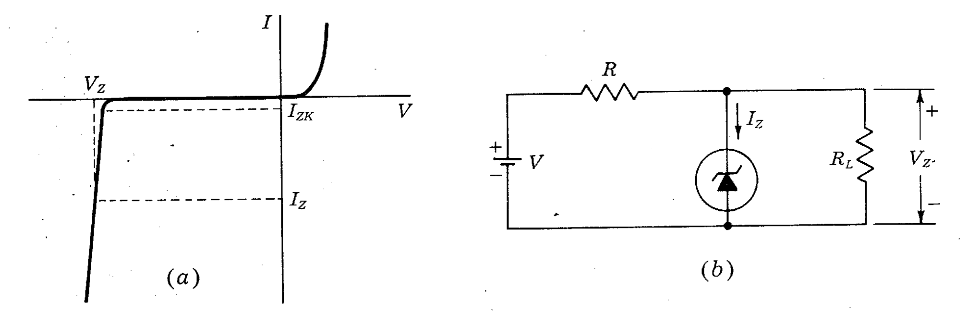


Fig. 3-17. (*a*) Característica tensión-corriente de un diodo de avalancha, o Zener. (*b*) Circuito en el que el diodo se emplea para regular la tensión en R_L evitando los cambios debidos a las variaciones de la corriente de carga y de la tensión de la fuente de alimentación

diodo sólo producen pequeños cambios en su tensión. Así, en cuanto la corriente de la carga o la tensión de la alimentación varíen, la corriente del diodo se ajusta por sí misma a estos cambios manteniendo prácticamente constante la tensión de la carga. El diodo seguirá regulando hasta que el circuito funcione con una corriente que haga que la intensidad por el diodo esté por debajo de I_{zk} en las inmediaciones del codo de la curva tensión-corriente. El límite superior de la corriente lo determina la potencia de disipación máxima del diodo.

Multiplicación de la avalancha. Hay que admitir dos mecanismos para que se produzca la avalancha del diodo cuando la tensión inversa aumente. Consideremos la siguiente situación: un portador generado térmicamente (parte de la tensión inversa de saturación) cae en la barrera de unión y adquiere energía a partir del potencial aplicado. Estos portadores chocan con los iones del cristal e imparten suficiente energía para romper un enlace covalente. Se ha generado ahora un par de electrón-huecos que se suman a los portadores originales. A su vez, estos portadores pueden adquirir suficiente energía del campo eléctrico aplicado, chocar contra otros iones del cristal, y crear asimismo otra pareja de electrón-huecos. Por lo tanto, cada nuevo portador puede, reiterativamente, producir portadores adicionales debido a la colisión y acción disruptiva de los enlaces. Este proceso acumulativo se denomina *multiplicación por avalancha.* El resultado es una gran corriente inversa y, diremos que el diodo está en la región de avalancha o ruptura.

Ruptura Zener. A veces, si los portadores asequibles inicialmente no adquieren suficiente energía para romper los enlaces, se puede iniciar la avalancha con una ruptura directa de los enlaces. Debido a la existencia de un campo eléctrico en la unión, cabe que éste ejerza una fuerza suficientemente elevada sobre un electrón, de tal manera que se rompa su enlace covalente. La nueva pareja de electrón-hueco que se crea aumenta la corriente inversa. Nótese que este proceso, llamado *avalancha Zener,* no implica la colisión de portadores contre los iones del cristal (tal como ocurre en la multiplicación por avalancha).

La intensidad de campo eléctrico $\mathcal{E}$ aumenta con las impurezas, para una tensión aplicada fija (Probl. 3-25). Observamos que la avalancha Zener sucede con un campo aproximadamente 2×10^7 *V/m,* y este valor se alcanza con tensiones cercanas por debajo de los 6 V para diodos fuertemente drogados. Para diodos ligeramente drogados, la tensión de avalancha es más elevada, y la multiplicación por avalancha es el hecho predominante. No obstante, el término *zener* se emplea comúnmente para los *diodos de ruptura o avalancha* incluso de tensiones mayores. Cabe disponer de diodos de silicio que tienen tensiones de avalancha desde algunos volt a varios cientos de volt y que disipan potencia de hasta 50 W.

Características de temperatura. Un punto de interés relativo a los diodos zener, y a todos los sistemas de semiconductores en general, es su sensibilidad a la temperatura. Su coeficiente de temperatura viene dado por el porcentaje de cambio de la tensión de referencia para una variación de un grado centígrado de la temperatura del diodo. Este dato es suministrado por el constructor. Este coeficiente puede ser positivo o negativo, y normalmente estará comprendido entre el ± 0,1 %/° C. Si la tensión de referencia es de alrededor de 6 V, cuando el mecanismo físico corresponde a la multiplicación por avalancha, el coeficiente de temperatura es positivo. En cambio, por debajo de los 6 V, cuando tiene lugar la verdadera función zener, el coeficiente de temperatura es negativo.

Vamos a dar ahora una explicación del signo (positivo o negativo) del coeficiente de temperatura de V_Z. Una unión que tenga una zona de transición estrecha, y por tanto una intensidad de campo elevada, se romperá por el mecanismo de zener. Un aumento de la energía de los electrones de valencia debido a la temperatura, facilita el escape de los electrones de los enlaces covalentes. Por lo tanto, se precisará menos tensión para sacar estos electrones de sus posiciones en la red del cristal y convertirlos en electrones de conducción. En consecuencia, la tensión de ruptura de zener disminuirá con la temperatura.

En una unión con una zona de transición ancha, y por lo tanto con una intensidad de campo pequeña, la ruptura se producirá por el efecto de avalancha. En este caso, damos por descontado que los portadores intrínsecos chocarán con los electrones de valencia y crearán la multiplicación de la avalancha. Cuando la temperatura aumenta, el desplazamiento vibratorio de los átomos en el cristal crece, y esta vibración aumenta la probabilidad de colisión de las partículas libres conforme atraviesan la zona de transición con los átomos del cristal. Los electrones y los huecos libres tienen, por lo tanto, menos oportunidad de ganar la energía suficiente entre colisiones para provocar el proceso de avalancha. Por lo tanto, el valor de la tensión de avalancha debe aumentar con el incremento de la temperatura.

Resistencia y capacidad dinámicas. Una cualidad importante de los zener es la pendiente de la curva de tensión-corriente dentro de su margen de funcionamiento. Si la recíproca de la pendiente $\Delta V_Z/\Delta I_Z$, denominada *resistencia dinámica*, es r, entonces un cambio ΔI_Z en la corriente de funcionamiento del diodo produce un cambio en la tensión de trabajo de $\Delta V_Z = r\Delta I_Z$. El valor ideal de $r = 0$ corresponde a una curva tensión-corriente que, en la región de ruptura, es precisamente vertical. La variación de r con la corriente, para una serie de diodos de avalancha de potencia de disipación dada, presenta un valor mínimo en el margen de 6 a 10 V. Este mínimo de r es del orden de unos pocos ohm. No obstante, para valores de V_Z por debajo de 6 V o superior a 10 V, y particularmente para pequeñas corrientes (~ 1 mA), r puede ser del orden de cientos de ohm.

Algunos fabricantes especifican una corriente mínima I_{ZK} (Fig. 3-17*a*) por debajo de la cual el diodo no debe emplearse. Puesto que esta corriente está en el codo de la curva anterior, donde la resistencia dinámica es elevada, para corrientes menores que I_{ZK} la regulación será pobre. Algunos diodos tienen un codo muy agudo que queda dentro del margen de los microampere.

La capacidad de un diodo de avalancha es la capacidad de transición y, por lo tanto, varía inversamente con la tensión. Como C_T es proporcional al área de la sección transversal del diodo, los diodos de avalancha de potencia elevada tienen capacidades mucho mayores. Valores de C_T de 10 a 10.000 pF son bastante corrientes.

Diodos de referencia adicional. Cabe adquirir diodos zener con tensiones en torno a los 2 V. Por debajo de esta tensión, es costumbre, para reguladores o como referencia, emplear diodos en sentido *directo.* En la curva de la Fig. 3-7, la característica de tensión-corriente de un diodo polarizado en sentido directo (denominado algunas veces "estabilizador") no es muy diferente de la característica inversa, con la excepción de que, en sentido directo, el codo de la característica tiene lugar a una tensión menor. Se pueden alcanzar mayores tensiones con varios diodos en directa colocados en serie, y tales combinaciones en serie, encapsuladas en unidades, pueden alcanzar tensiones de 5 V y ser preferibles a los diodos zener en sentido inverso que, para tensiones bajas, tienen valores superiores de resistencia dinámica.

Cuando tiene importancia que el diodo zener trabaje con coeficiente de temperatura bajo, es factible emplear un diodo, apropiado a la corriente, cuyo coeficiente de temperatura sea o esté cerca de cero. Con bastante frecuencia, tal funcionamiento es necesario, especialmente para tensiones elevadas y cuando el diodo deba trabajar sobre un cierto margen de corriente. En estas circunstancias, los diodos con compensación de temperatura encuentran su aplicación más idónea. Estos consisten en un diodo zener polarizado inversamente, con un coeficiente de temperatura positivo combinado, en un solo encapsulado, con un diodo en sentido directo cuyo coeficiente de temperatura sea negativo. Como ejemplo, cabe citar el SV3176, diodo de referencia de silicio de 8 V, que tiene un coeficiente de temperatura de ± 0,001 %/° C a 10 mA con un margen de temperaturas que va desde – 55° C a + 100 ° C. La resistencia dinámica es de sólo 1,5 ohmios. El coeficiente de temperatura permanece por debajo del 0,002 %/° C para corrientes comprendidas entre 8 y 12 mA. La estabilidad de tensión en el tiempo de algunos de estos diodos de referencia, es comparable con la de las células normalizadas convencionales.

Cuando se requiere una tensión de referencia alta, es ventajoso (excepto para la economía) emplear dos o más diodos en serie en lugar de uno solo. Esta combinación tendrá mayor tensión, mayor disipación, menor coeficiente de temperatura y menor resistencia dinámica.

3-12. DIODO TUNEL

Un diodo de unión *p-n* del tipo indicado en la Sec. 3-1 tiene una concentración de impurezas de aproximadamente 1 parte por 10^8. Con este drogado, la anchura de la capa de desviación, que constituye una barrera de potencial de la unión, es del orden de una micra. Esta barrera de potencial restringe la fluencia de portadores desde el lado de la unión en el que constituyen portadores mayoritarios al lado en que constituyen portadores minoritarios. Si la concentración de impurezas de los átomos se aumenta extraordinariamente, digamos, 1 parte por 10^3 (correspondiente a una densidad en exceso de 10^{19} cm^{-3}), la característica de los elementos cambia por completo. Este nuevo diodo fue anunciado en 1958 por Esaki,[4] quien dio también la correcta explicación teórica de su característica tensión-corriente.

Efecto-túnel. La anchura de la barrera de la unión varía inversamente con la raíz cuadrada de la concentración de impurezas [Ec. (3-21)] y en nuestro caso se reduce a menos de 100 Å (10^{-6} cm). Esta anchura es de sólo un cincuentavo de la longitud de onda de la luz visible. En el caso general, una partícula debe tener una energía por lo menos igual a la altura de la barrera de la energía potencial, si es que se quiere moverla de un lado de la barrera al otro. No obstante, para barreras cuya anchura es la que se estima en el diodo de Esaki, la ecuación de Schrödinger indica que hay una gran probabilidad de que un electrón penetre *a través* de la barrera de potencial. Este comportamiento de mecánica cuántica se conoce con el nombre de *efecto túnel*, y los sistemas cuya unión *p-n* tenga una alta densidad de impurezas se denominan *diodos túnel.* La relación entre tensión y corriente se explicará en la Sec. 19-8 y aparece dibujada en la Fig. 3-18.

Características de un diodo túnel[5]. En la Fig. 3-18, vemos que el diodo túnel es un excelente conductor en sentido inverso (el lado *p* de la unión es negativo con respecto al lado *n*). También para tensiones pequeñas directas (hasta unos 50 mV en el Ge), la resistencia permanece pequeña (del orden de 5 Ω). A la *corriente de pico* I_P correspon-

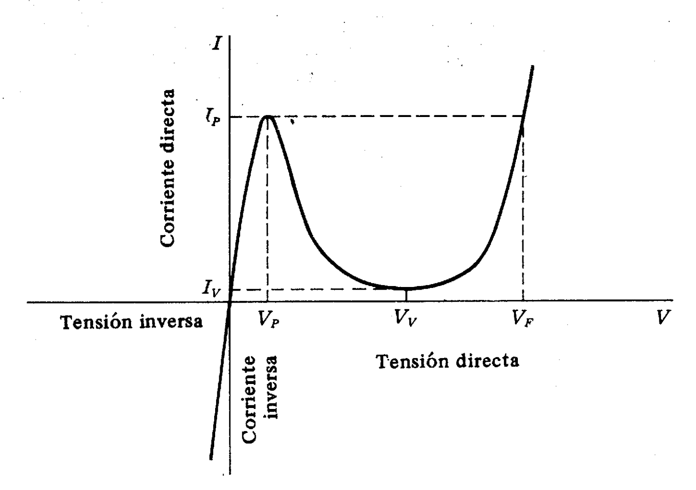


Fig. 3-18. Característica tensión-corriente de un diodo túnel

diente a la tensión V_P, la pendiente dI/dV de la característica es cero. Si la tensión V aumenta por encima de V_P, la corriente disminuye y, como consecuencia de ello, la conductancia dinámica $g = dI/dV$ es negativa. Los diodos túnel tienen una *característica de corriente negativa* entre el pico de corriente I_P y el mínimo valor I_V, denominada *corriente de valle.* A la *tensión de valle* V_V para la que la $I = I_V$, la conductancia es de nuevo cero, y por encima de este punto la resistencia permanece positiva. En el llamado *pico de tensión positivo* V_F, la corriente alcanza nuevamente el valor de I_P. Para valores mayores de la tensión, la corriente aumenta.

Con corrientes cuyo valor esté comprendido entre I_V e I_P, la curva de valuación es triple, ya que para cada valor de corriente caben tres valores diferentes de tensión aplicada. La posibilidad de este multivalor hace que el diodo túnel sea un elemento muy empleado en circuitos digitales[6].

El símbolo normalizado del diodo túnel viene dado en la Fig. 3-19*a*. En la Fig. 3-19*b* se indica el modelo o circuito equivalente para pequeña señal que trabaja en la región de resistencia negativa. Esta resistencia negativa $-R_n$ tiene un mínimo en el punto de inflexión situado entre I_P e I_V. La resistencia en serie R_s es una resistencia óhmica. La inductancia en serie L_s depende de la longitud de los conductores y de la geometría del encapsulado. La capacidad de la unión C depende del punto de trabajo y se mide normalmente en el valle. Los valores típicos de estos parámetros, para un diodo túnel con una corriente de pico $I_P = 10$ mA, son $-R_n = -30\ \Omega$, $R_s = 1\ \Omega$, $L_s = 5$ nH, y $C = 20$ pF.

Una de las aplicaciones interesantes de los diodos túnel consiste en aprovecharlo como conmutador de alta velocidad. Puesto que el efecto túnel tiene lugar a la velocidad de la

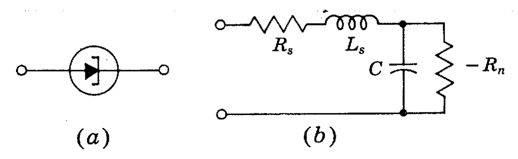


Fig. 3-19. (*a*) Símbolo de diodo túnel; (*b*) Modelo de pequeña señal en la región de resistencia negativa

TABLA 3-1. Parámetros típicos del diodo túnel

	Ge	GaAs	Si
I_P/I_V..........	8	15	3,5
V_P, V..........	0,055	0,15	0,065
V_V, V..........	0,35	0,50	0,42
V_F, V..........	0,50	1,10	0,70

luz, la respuesta transistoria está limitada solamente por la capacidad total en paralelo (la de la unión más las parásitas de las conexiones) y por la corriente de pico de conducción. El tiempo de conmutación es del orden de algunos nanosegundos, y cabe obtener incluso valores de 50 pseg. Otra aplicación[5] del diodo túnel es su empleo para oscilador de alta frecuencia (microondas).

Los diodos túnel más asequibles comercialmente son de germanio o de arseniuro de galio. La construcción de diodos túnel de silicio con elevada relación entre corriente de pico y corriente de valle I_P/I_V, es verdaderamente difícil. La Tabla 3-1 resume las características estáticas más importantes de estos dispositivos. Los valores de la tensión indicados en esta tabla están determinados principalmente por el tipo particular de semiconductor empleado y son bastante independientes de la corriente. Obsérvese que el arseniuro de galio tiene la mayor relación I_P/I_V y la mayor variación de tensión $V_F - V_P \approx 1{,}0$ V, siendo de 0,45 V para el germanio. La corriente de pico I_P está determinada por la concentración de impurezas (resistividad) y del área de la unión. Para aplicaciones en calculadoras, son bastante corrientes valores comprendidos entre 1 mA y 100 mA. Los valores de pico (V_P, I_P) que están en la región de efecto túnel, no son muy sensibles a la temperatura. En cambio, el punto del valle (V_V, I_V), que depende de la corriente de inyección, es muy sensible a la temperatura.[5]

Las ventajas del diodo túnel son su bajo coste, poco ruido, simplicidad, elevada velocidad, inmunidad ambiental y pequeña potencia. Sus inconvenientes son: pequeña variación de la tensión de salida y el hecho de que sea un elemento con dos terminales, debido a lo cual no hay aislamiento entre la entrada y la salida, lo que plantea serios problemas en el diseño de los circuitos.

3-13. FOTODIODO SEMICONDUCTOR

Si se ilumina una unión *p-n* polarizada en sentido inverso, la corriente varía casi linealmente con el flujo luminoso. Este efecto se emplea en los *fotodiodos semiconductores*. Estos elementos consisten en uniones *p-n* encapsuladas en un plástico transparente, tal como indica la Fig. 3-20. La radiación se proyecta sobre la unión a través de las superficies. Los lados restantes del plástico se pintan de negro o quedan encerrados en una caja metálica. Este conjunto resulta extraordinariamente pequeño, pues sus dimensiones son del orden de milímetros.

Características de tensión-corriente. Si se aplica una tensión inversa de unas pocas décimas de volt en exceso, se obtiene una corriente constante (independiente de la magnitud de la polarización inversa). Esta corriente en la oscuridad corresponde a la corriente de saturación inversa debida a los portadores minoritarios generados térmicamente. Como

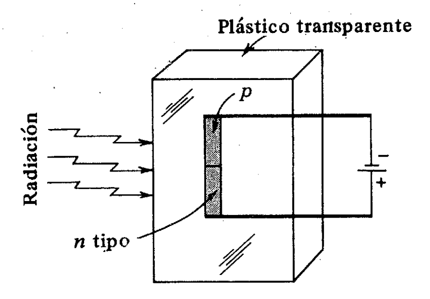


Fig. 3-20. Construcción de un fotodiodo semiconductor

explicamos en la Sec. 3-2, estos portadores minoritarios "caen desde lo alto" del potencial de la unión, mientras esta barrera no permita a los portadores mayoritarios atravesar la unión. Ahora bien, si la luz actúa sobre la superficie se forman pares de electrón-hueco adicionales. En la Sec. 2-8 observamos que es justificable considerar la radiación únicamente como inyección de *portadores minoritarios.* Esta inyección de portadores minoritarios (por ejemplo, electrones en el lado *p*) se difunde hacia la unión, la cruzan, y contribuyen a la conducción.

La corriente de saturación inversa I_o en un diodo *p-n* es proporcional a la concentración de portadores minoritarios p_{no} y n_{po}, en las regiones *n* y *p* respectivamente. Si iluminamos la unión, polarizada inversamente, el número de nuevos pares electrón-huecos es proporcional al número de fotones incidentes. De ahí que la corriente para una elevada polarización inversa sea $I = I_o + I_s$, donde I_s, es la corriente en corto circuito, y es proporcional a la intensidad de luz. En consecuencia, la característica de tensión corriente viene dada por:

$$I = I_s + I_o(1 - \epsilon^{V/\eta V_T}) \quad (3\text{-}34)$$

donde I, I_s e I_o representan el *valor* de la corriente inversa, y V es positiva para tensiones

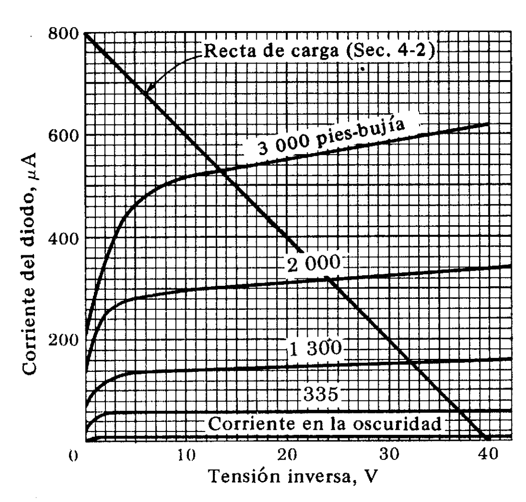


Fig. 3-21. Característica tensión-corriente de un fotodiodo de germanio 1N77. (Cortesía de Sylvania Electric Products, Inc.)

directas y negativa para las inversas. El parámetro η es la unidad para el germanio y 2 para el silicio, y V_T es la tensión equivalente a la temperatura definida en la Ec. (3-10).

En la Fig. 3-21 se indica la característica tensión-corriente de un fotodiodo típico. Las curvas (a excepción de la de corriente en la oscuridad) no pasan por el origen. Las características en la zona de los milivolt y para polarizaciones positivas se indicarán en la siguiente sección, donde veremos que el fotodiodo puede emplearse ya sea en cortocircuito o bien en circuito abierto. Debe tenerse en cuenta que las características varían con el tiempo. La capacidad de la barrera es $C_T \approx 10$ pF, la resistencia dinámica $R = 50$ MΩ, y la resistencia óhmica $r = 100$ Ω.

Variación de la sensibilidad según la posición de la iluminación. La corriente en un fotodiodo semiconductor polarizado en sentido inverso depende de la difusión de los portadores minoritarios hacia la unión. Si la radiación está enfocada sobre una pequeña superficie alejada de la unión, los portadores minoritarios inyectados pueden recombinarse antes de difundirse hacia ella. Por lo tanto, resultará una corriente mucho menor de la que se obtendría si los portadores minoritarios fuesen inyectados cerca de la unión. En la Fig. 3-22, está expresada la fotocorriente en función de la distancia desde la unión al lugar en que se enfoca el punto de luz. La curva es algo asimétrica debido a la diferencia en la distancia de difusión de portadores minoritarios en el lado p y en el n. Cabe indicar que la respuesta espectral para los fotodiodos semiconductores es la misma que para las células fotoconductoras, y está indicada en la Fig. 2-12.

Los fotodiodos *p-n* y, en particular, la versión mejorada *n-p-n*, descrita en la Sec. 5-14, tienen aplicaciones idóneas en los lectores de elevada velocidad de computadores de tarjetas y cintas perforadas, sistemas de detección de luz, contadores de objetos en líneas de producción con interrupción de un rayo de luz, lectura de bandas sonoras, etc.

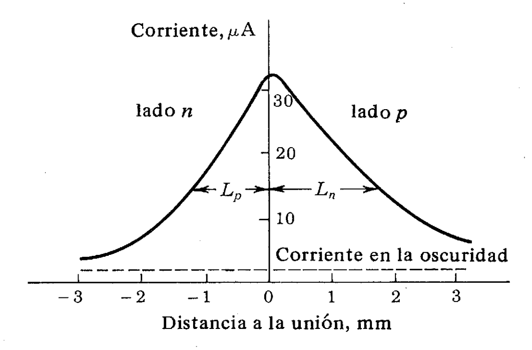


Fig. 3-22. Sensibilidad de un foto-diodo semiconductor en función de la distancia del punto de impacto a la unión

3-14. EFECTO FOTOVOLTAICO[8]

En la Fig. 3-21 vemos que, en un fotodiodo *p-n*, se toma una corriente inversa casi constante, para elevadas tensiones inversas, debido a los portadores minoritarios inyectados. Si la tensión aplicada se reduce, disminuye también la barrera de la unión. La menor barrera del potencial no afecta a la corriente de minoritarios (ya que estas partículas

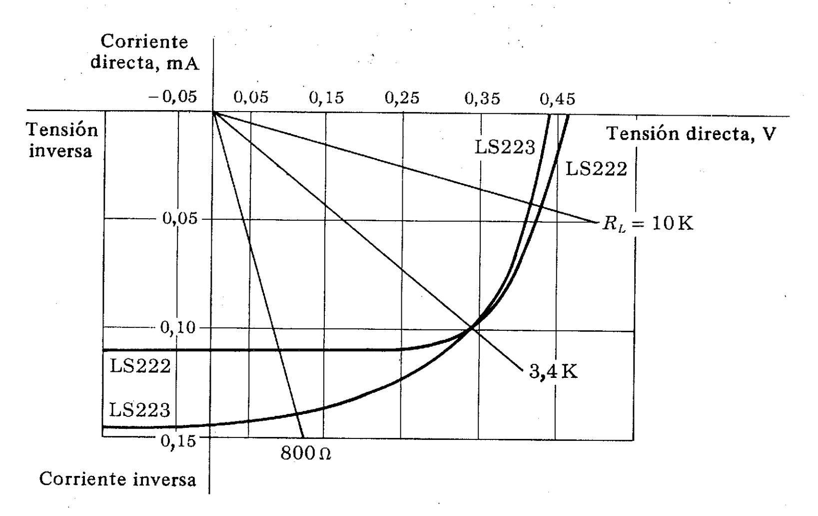


Fig. 3-23. Característica tensión-corriente de los fotodiodos de unión *p-n* LS222 y LS223 con una intensidad de luz de 500 bujías-pie. (Cortesía de Texas Instruments Inc.)

descienden por la barrera), pero cuando la barrera se reduce suficientemente, algunos portadores mayoritarios pueden también atravesar la unión. Estos portadores corresponden a la corriente directa y, por tanto, el resultado total será la reducción de la corriente (inversa). Esta causa es la que explica la caída de la corriente inversa cerca del cero del eje de tensión de la Fig. 3-21. En la Fig. 3-23 se representa a escala ampliada el origen de la anterior figura. (Nótese que el primer cuadrante de la Fig. 3-21 corresponde al tercer cuadrante de la Fig. 3-23.)

Potencial fotovoltaico. Si se aplica una polarización directa, la barrera de potencial disminuye y la corriente de mayoritarios aumenta rápidamente. Cuando esta corriente de mayoritarios iguala a la de minoritarios, la corriente total queda reducida a cero. La tensión a la que la corriente resultante es cero, se denomina *potencial fotovoltaico.* Puesto que en circuito abierto no circula corriente, en los terminales abiertos de una unión *p-n* se obtiene una fuerza electromotriz fotovoltaica.

Una posible explicación física (pero asimismo equivalente) del efecto fotovoltaico es la siguiente: En la sección 3-1 hemos visto que la altura de la barrera de potencial de una unión *p-n* (no iluminada) en circuito abierto se ajusta por sí misma para que la corriente resultante sea cero, siendo el sentido del campo eléctrico en la unión tal que repele los portadores mayoritarios. Si se ilumina la superficie, se inyectan portadores minoritarios, y puesto que estos descienden por la barrera, la corriente de minoritarios aumenta. Ya que en condiciones de circuito abierto la corriente total debe permanecer nula, la corriente de mayoritarios (por ejemplo la de huecos en el lado p) debe aumentar en la misma cuantía que la de minoritarios. Este aumento de corriente de mayoritarios sólo es posible si el campo retardador de la unión se reduce. Por lo tanto, la altura de la barrera disminuye automáticamente debido a la radiación. En los extremos del diodo aparece una tensión justamente igual al valor que ha descendido la barrera de potencial. Este potencial es la f.e.m. fotovoltaica y su orden de magnitud es de 0,5 V para el silicio y de 0,1 V para las células de germanio.

Las tensiones fotovoltaicas V_{max} corresponden a diodos en circuito abierto. Si en la Ec. (3-34) se hace $I = 0$, obtenemos:

$$V_{max} = \eta V_T \ln \left(1 + \frac{I_s}{I_o}\right). \qquad (3\text{-}35)$$

Puesto que, excepto para intensidades de luz muy pequeñas, $I_s/I_o \gg 1$, V_{max} aumenta logarítmicamente con I_s, y por lo tanto con la iluminación. Esta relación logarítmica se obtiene experimentalmente.

Potencia de salida máxima. Si se coloca una resistencia R_L directamente entre los terminales del diodo, la corriente resultante puede encontrarse por la intersección de la característica de la Fig. 3-23 con la línea de carga definida por $V = -IR_L$. Si $R_L = 0$, la tensión de salida es cero, y si $R_L = \infty$, la corriente de salida I es nula. En consecuencia, para estos dos valores extremos de la carga la potencia de salida es nula. Podremos obtener la resistencia de carga *óptima* para la cual la potencia de salida es máxima dibujando, en función de R_L, el valor de $P = VI$ y leyendo en la Fig. 3-23 los valores de V e I para cada valor supuesto de R_L. Para los sensores de luz fotovoltaicos tipos LS222 y LS223, esta carga óptima es de 3,4 KΩ y $P_{max} \approx 34\ \mu$W. Cuando el fotodiodo *p-n* se emplea como conversor de energía (transforma energía radiante en energía eléctrica), debe emplearse la resistencia de carga óptima.

Corriente de cortocircuito. Vemos por la Fig. 3-23 y por la Ec. (3-34) que existe una cierta corriente (no nula) para una tensión aplicada cero. Por lo tanto, las fotocélulas de unión pueden emplearse en condiciones de cortocircuito. Como hemos destacado, esta corriente I_s es proporcional a la intensidad de luz. Esta relación lineal se obtiene experimentalmente.

Convertidores de energía solar. La corriente suministrada por una célula fotovoltaica puede emplearse como fuente de alimentación de equipos electrónicos, o más corrientemente, para cargar baterías auxiliares. Estos convertidores de energía que utilizan la luz solar como energía primaria se denominan *baterías solares* y se emplean en satélites como el Telstar. Se construyen células de silicio fotovoltaicas de estabilidad excelente y elevado rendimiento (~ 14 %) de conversión mediante la difusión de una delgada película de impurezas de tipo *n* en una base *p*. Con luz solar al mediodía, estas células, en circuito abierto, generan una tensión de aproximadamente 0,6 V.

3-15. DIODOS EMISORES DE LUZ

De la misma manera que se absorbe energía para generar pares de electrón-huecos, ésta vuelve a ser emitida cuando los electrones se recombinan con los huecos. En el silicio y en el germanio, esta recombinación tiene lugar mediante centros de recombinación (Sec. 2-8) y la liberación de energía tiene lugar en forma de calentamiento del cristal. Sin embargo, se han encontrado otros semiconductores, como el arseniuro de galio, que presentan una gran cantidad de recombinaciones directas sin ayuda de aquellos centros. En estos casos, la energía desprendida cuando el electrón pasa de la banda de conducción a la de valencia, aparece en forma de radiación. Estos diodos *p-n* se denominan *diodos emisores de luz* (LED, Light-Emitting Diode) y su radiación se localiza principalmente en el infrarrojo. El rendimiento del proceso de la generación de luz aumenta con la corriente inyectada y con el descenso de la temperatura. La luz se concentra cerca de la unión debido a que la mayor parte de los portadores se encuentran dentro de la capa de difusión de la unión.

En ciertas condiciones, la luz emitida es coherente (esencialmente monocromática). Estos diodos se denominan de *amplificación de luz por energía de radiación estimulada (laser) en la unión.*

REFERENCIAS

1. Gray, P. E., D. DeWitt, A. R. Boothroyd y J. F. Gibbons: "Physical Electronics and Circuit Models of Transistor", vol. 2, Semiconductor Electronics Education Committee, John Wiley & Sons, Inc., Nueva York, 1964.
   Shockley, W.: "The theory of *p-n* Junctions in Semiconductor and *p-n* Junction Transistors", *Bell System Tech, J.,* vol. 28, pp. 435-489, julio de 1949.
   Middlebrook, R. D.: "An Introduction to Junction Transistor Theory", pp. 115-130, John Wiley & Sons, Inc., Nueva York, 1957.
2. Phillips, A. B.: "Transistor Engineering", pp. 129-133, McGraw-Hill Book Company, Nueva York, 1962.
   Sah, C. T.: "Effect of Surface Recombination and Channel on P-N Junction and Transistor Charactheristics", *IRE Trans. Electron. Devices,* vol. ED-9, nº 4, pp. 98-108, enero de 1962.
3. Corning, J. J.: "Transistor Circuit Analysis and Design", pp. 40-42, Prentice-Hall, Inc., Englewood Cliffs, N. J., 1965.
4. Esaki, L.: "New Phenomenon in Narrow be *p-n* Junctions", *Phys. Rev.,* vol. 109, p. 603, 1958.
   Nanavati, R. P.: "Introduction to Semiconductor Electronics", cap. 12, McGraw-Hill Book Company, Nueva York, 1963.
5. "Tunnel Diode Manual TD-30", Radio Corporation of América, Semiconductor and Materials Division, Somerville, N. J., 1963.
6. Millman, J. y H. Taub: "Pulse, Digital and Switching Waveforms", cap. 13, McGraw-Hill Book Company, Nueva York, 1965.
7. Shive, J. N.: "Semiconductor Devices", caps. 8 y 9, D. Van Nostrand Company, Inc. Princeton, N. J., 1959.
8. Rappaport, R.: "The Photovoltaic Effect and Its Utilization", *RCA Rev.,* vol. 21, nº 3, pp. 373-397, septiembre de 1959.
   Loferski, J. J., "Recent Research on Photovoltaic Solar Energy Converters", *Prov. IEEE,* vol. 51, nº 5, pp. 667-674, mayo de 1963.
   Loferski, J. J. y J. J. Wysocki: "Spectral Reponse of Photo voltaic Cells", *RCA Rev.,* vol. 22, nº 1, pp. 38-56, marzo de 1961.

TEMAS DE REPASO

3-1 Considérese una unión *p-n* en circuito abierto. Esbócense las curvas de la carga espacial de la unión, campo eléctrico y potencial en función de la distancia de la unión.

3-2 (*a*) ¿Cuál es el orden de magnitud de la anchura de la carga espacial en una unión *p-n*? (*b*) ¿De qué esta formada la carga espacial: electrones, huecos, donadores neutros, aceptadores neutros, donadores ionizados, aceptadores ionizados, etc.?

3-3 (*a*) Para un diodo polarizado en sentido inverso, ¿la región de transición crece o disminuye de anchura? (*b*) ¿Qué le ocurre al potencial de la unión?

3-4 Explicar por qué el potencial de contacto de la unión *p-n no puede* ser medido colocando un voltímetro entre los terminales del diodo.

3-5 Explicar físicamente por qué un diodo *p-n* actúa como rectificador.

3-6 (*a*) Escribir la *ley de las uniones.* (*b*) Definir todos los términos de esta ecuación. (*c*) ¿Qué determina esta ecuación para una gran polarización directa? (*d*) ¿Y para una gran polarización inversa?

3-7 Indicar las componentes de la corriente de portadores minoritarios y la corriente total en un diodo *p-n* en función de la distancia a la unión.

3-8 Indicar la corriente de huecos, corriente de electrones y corriente total en un diodo, en función de la distancia a cada lado de la unión *p-n.* Indicar la región de transición.

3-9 (*a*) Escribir la ecuación de tensión-corriente de un diodo *p-n*. (*b*) Explicar el significado de cada símbolo.

3-10 Dibujar las curvas de tensión-corriente para el germanio y el silicio en la misma escala, indicando el valor umbral de cada uno.

3-11 (*a*) ¿Cómo varía la corriente de saturación inversa de un diodo *p-n* con la temperatura? (*b*) ¿Cómo varía la tensión del diodo (a corriente constante) con la temperatura?

3-12 ¿Cómo varía la resistencia dinámica *r* de un diodo con (*a*) la corriente y (*b*) la temperatura? (*c*) ¿Cuál es el orden de magnitud de *r* para el silicio a la temperatura ambiente y para una corriente continua de 1 mA?

3-13 (*a*) Trazar la característica lineal de un diodo. (*b*) ¿Cuáles son las tensiones umbrales aproximadas para el silicio y el germanio?

3-14 Considérese una unión *p-n* abrupta con una impurificación idéntica en ambos lados de la unión ($N_A = N_D$). Indíquese la densidad de carga, la intensidad de campo, y el potencial en función de la distancia de la unión con polarización inversa.

3-15 (*a*) ¿Cómo varía la capacidad de transición C_T con la anchura de la capa de desviación? (*b*) ¿Y con la tensión inversa aplicada? (*c*) ¿Cuál es el orden de magnitud de C_T?

3-16 ¿Qué es un diodo de capacidad variable?

3-17 Dibujar la concentración de portadores minoritarios en función de la distancia a la unión *p-n* solamente en el lado *n* para (*a*) la unión polarizada directamente, (*b*) la unión polarizada inversamente. Indíquese la concentración en exceso y obsérvese dónde es positiva y dónde negativa.

3-18 En régimen permanente la corriente del diodo es proporcional a la carga *Q* (*a*) ¿Cuál es el significado físico del factor de proporcionalidad? (*b*) ¿Qué carga representa *Q*: carga de la capa de transición, carga de los portadores minoritarios inyectados, carga de los portadores mayoritarios, etc.?

3-19 (*a*) ¿Cómo varía la capacidad de difusión C_D con la corriente continua del diodo? (*b*) ¿A qué es igual el producto de C_D por la resistencia dinámica?

3-20 ¿Qué se entiende por *tiempo de almacenamiento de portadores minoritarios* de un diodo?

3-21 Un diodo en serie con una resistencia R_L, está polarizado en sentido directo por una tensión V_F. Después de haber alcanzado el estado de equilibrio, la entrada se cambia a $-V_R$. Trazar la corriente en función del tiempo. Explicar cualitativamente la forma de la curva.

3-22 (*a*) Dibujar la característica de tensión-corriente de un diodo de avalancha. (*b*) ¿Cuál es el significado del *codo* de la curva? (*c*) ¿Y el de resistencia dinámica? (*d*) ¿Cuál el del coeficiente de temperatura?

3-23 Describir el mecanismo físico de ruptura por avalancha.

3-24 Describir el mecanismo físico de ruptura por Zener.

3-25 Dibujar un circuito en el que se emplee un diodo de avalancha para regular la tensión en la carga.

3-26 Dibujar la característica tensión-corriente de un diodo túnel. Indicar la porción de resistencia negativa.

3-27 Dibujar el modelo para pequeña señal de un diodo túnel trabajando en la región de resistencia negativa. Definir cada elemento del circuito.

3-28 (*a*) Dibujar la característica tensión-corriente para un fotodiodo *p-n*. (*b*) La corriente ¿corresponde a un diodo polarizado en sentido directo o en el inverso? (*c*) ¿Cada curva está dibujada para valores diferentes de qué parámetro físico?

3-29 (*a*) Escribir la ecuación de las características de tensión-corriente de un fotodiodo. (*b*) Definir cada símbolo de esta ecuación.

3-30 (*a*) Esbozar la curva de la corriente de un fotodiodo en función de la posición de una fuente delgada de luz respecto la unión. (*b*) Explicar la forma de la curva.

3-31 (*a*) Definir el *potencial fotovoltaico.* (*b*) ¿Cuál es su orden de magnitud? (*c*) ¿Corresponde a una tensión directa o inversa?

3-32 Explicar cómo se obtiene la salida de potencia máxima de una célula fotovoltaica.

3-33 ¿Qué es un diodo emisor de luz?

4

Circuitos de diodos

Vamos a considerar el diodo de unión *p-n* como elemento de un circuito. Introduciremos el concepto de "recta de carga". El modelo linearizado del diodo se utilizará en las siguientes aplicaciones: recortadores (de un solo terminal y de doble terminal), comparadores, puertas de diodos y rectificadores. Consideraremos los rectificadores de media onda, de onda completa, en puente, y el doblador de tensión, y trataremos de los filtros con condensadores.

A lo largo de este capítulo consideraremos que la forma de onda de la entrada varía lentamente, de manera que el tiempo de conmutación del diodo (Sec. 3-10) puede ser despreciado.

4-1. EL DIODO COMO ELEMENTO DE UN CIRCUITO

El circuito básico de un diodo que aparece en la Fig. 4-1, está constituido por un elemento en serie con una carga resistiva R_L y una fuente de señal de entrada v_i. Este circuito lo analizaremos a continuación para hallar la corriente instantánea i y la tensión instantánea del diodo v, cuando la tensión instantánea de entrada sea v_i.

Recta de carga. Por la ley de Kirchhoff de las tensiones se verifica:

$$v = v_i - iR_L \,, \tag{4-1}$$

donde R_L es el valor de la resistencia de carga. Esta única ecuación es insuficiente para determinar las dos incógnitas v e i; por lo tanto, la segunda relación entre estas dos variables se obtendrá de la característica estática del diodo (Fig. 3-7). En la Fig. 4-2*a* se indica la solución simultánea de la Ec. (4-1) y de la característica del diodo. La línea recta, que está representada por la Ec. (4-1), se denomina *recta de carga.* La recta de carga pasa por los puntos $i = 0$, $v = v_i$ e $i = v_i/R_L$, $v = 0$, o sea que la intersección con el eje de

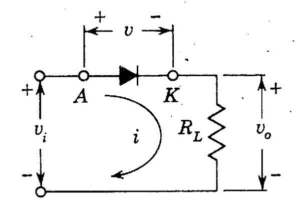


Fig. 4-1. Circuito básico con un diodo. El ánodo (lado p) del diodo se marca A, y el cátodo (lado n) se denomina K

tensiones es v_i y con el eje de las corrientes es v_i/R_L. La pendiente de esta línea queda determinada asimismo por R_L; el valor negativo de la pendiente es igual a $1/R_L$. El punto A de intersección de la recta de carga y de la curva estática da la corriente i_A, que es la que circulará en estas condiciones. Este gráfico determina la corriente del circuito cuando la tensión instantánea de entrada es v_i.

A veces puede aparecer una ligera complicación para dibujar la recta de carga por caer $i = v_i/R_L$, fuera de la escala de las curvas del constructor. En estas circunstancias, se elige un valor arbitrario de la corriente I' que esté en el eje vertical de las características dibujadas. Entonces la recta de carga se dibuja de modo que pase por el punto P (Fig. 4-2a), en que $i = I'$, $v = v_i - I'R_L$, y por un segundo punto $i = 0$, $v = v_i$.

Característica dinámica. Consideremos ahora que la tensión de entrada varía; entonces, el procedimiento anterior debe repetirse para cada valor de la tensión. Se puede obtener una curva de la corriente de entrada en función de la tensión, denominada característica dinámica, de la siguiente forma: Se traza una vertical por v_i y una horizontal por i_A que se cortan en B, como en la Fig. 4-2b. A pesar de que v_i varía, la pendiente de la recta de carga no lo hace, ya que R_L es fija. Por lo tanto, cuando la tensión aplicada tenga el valor de v'_i la correspondiente corriente será $i_{A'}$. Esta corriente se mide sobre la vertical que pasa por v'_i y da B. La curva resultante OBB' que se obtiene con la variación de v_i es la característica dinámica.

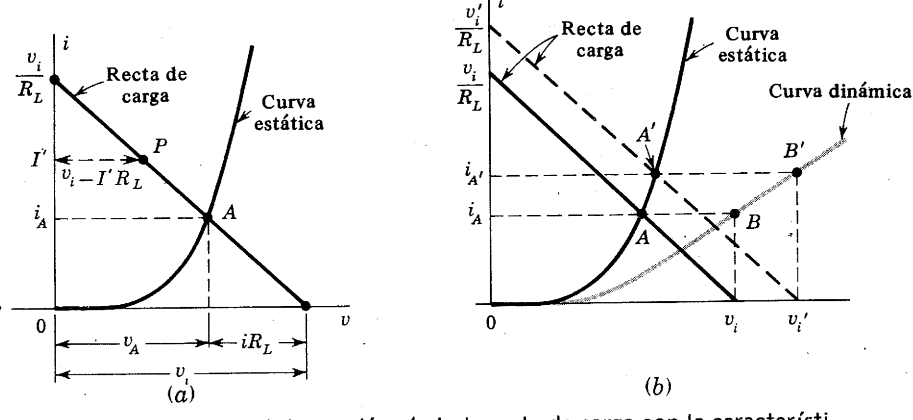


Fig. 4-2. (a) La intersección A de la recta de carga con la característica estática del diodo da la corriente i_A correspondiente a una entrada instantánea de tensión v_i. (b) Método para construir la curva dinámica a partir de la recta de carga y de la característica estática

Característica de transferencia. La curva que relaciona la tensión de salida v_o con la de entrada v_i de un circuito cualquiera se denomina la *característica de transferencia o de transmisión.* Como, en la Fig. 4-1, $v_o = iR_L$, ocurre que para este circuito particular la curva de transferencia tiene la misma forma que la curva dinámica.

Debemos destacar que, independientemente de la forma de la característica tensión-corriente o de la forma de onda de la señal de entrada, la onda de salida resultante siempre puede ser hallada gráficamente (para bajas frecuencias) a partir de la curva de transferencia. Esta construcción aparece dibujada en la Fig. 4-3. La señal de entrada (no necesariamente triangular) se dibuja con el eje de tiempos vertical, y el de tensión horizontal. Supongamos que la tensión de entrada tiene el valor v_{iA} indicado en el punto A en el instante t'. La tensión correspondiente de salida se obtiene dibujando una línea vertical por A y anotando la tensión v_{oA} en que esta línea corta a la curva de transferencia. Este valor de v_o se lleva a (a) en el instante t'. Igualmente, los puntos b, c, d,... de la onda de salida corresponden a los puntos B, C, D, ... de la onda de tensión de entrada. Observar que $v_o = 0$ para $v_i < V_\gamma$, de tal manera que el diodo actúa como un recortador y una parte de la señal de entrada no aparecerá en la salida. Obsérvese la existencia de distorsión (desviación de la linealidad) en la salida, en las proximidades de $v_i = V_\gamma$, debido a la falta de linealidad de la curva de transferencia en esta región.

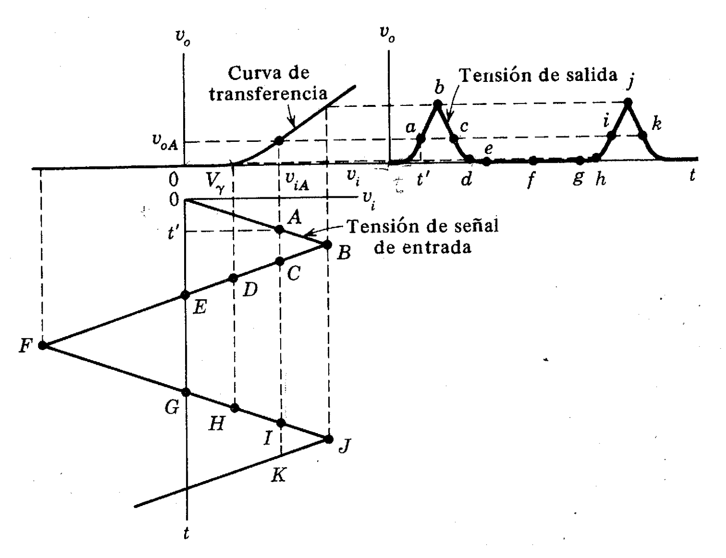


Fig. 4-3. Método para obtener la forma de la onda de tensión de salida a partir de la característica de transferencia para una determinada onda de señal de entrada

4-2. CONCEPTO DE RECTA DE CARGA

Vamos a demostrar ahora que el empleo de la recta de carga permite el análisis gráfico de circuitos mucho más complicados que el diodo p-n. El circuito de salida de muchos dispositivos consiste en una fuente de alimentación de continua (constante) V en serie

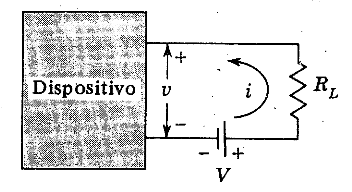


Fig. 4-4. El circuito de salida de la mayor parte de los dispositivos está constituido por una fuente de alimentación V en serie con una resistencia de carga R_L

con una resistencia de carga R_L, como se indica en la Fig. 4-4. Aplicando las leyes de Kirchhoff a este circuito de salida, obtenemos:

$$v = V - iR_L \,, \tag{4-2}$$

con lo que tenemos nuevamente una línea recta como relación entre la corriente de salida i y la tensión de salida v (del dispositivo). La recta de carga pasa por el punto $i = 0$, $v = V$ y tiene una pendiente igual a $-1/R_L$ *independientemente de las características del sistema.* Un diodo de unión *p-n* o un diodo de avalancha posee una sola característica tensión-corriente para una temperatura dada; en cambio, la mayor parte de otros elementos deben determinarse por una familia de curvas, por ejemplo en la Fig. 3-21, que da las características de tensión-corriente de un fotodiodo y aparece una curva distinta para cada valor fijo de la intensidad de luz. La recta de carga sobreimpresionada a estas características corresponde a una alimentación de 40 V y una resistencia de carga de 40/800 MΩ = 50 K.* Obsérvese que de la intersección de la recta de carga con una intensidad lumínica de L = 3.000 fc, obtenemos una corriente del fotodiodo de 530 μA y una tensión de 13,5 V. Para L = 2.000 fc, i = 320 μA, y v = 24,0 V, etc.

Las características tensión-corriente de un transistor (que se estudiarán en el siguiente capítulo) son similares a las de la Fig. 3-21 para el fotodiodo. No obstante en este caso, el parámetro independiente, prácticamente constante para cada curva, es la corriente de entrada del transistor en lugar de la intensidad de luz. El circuito de salida es idéntico al de la Fig. 4-4, y el análisis gráfico comienza con la construcción de la recta de carga.

4-3. MODELO APROXIMADO LINEAL DE UN DIODO

Si se incluye la resistencia inversa R_r en las características del diodo de la Fig. 3-9, se obtiene el modelo aproximado lineal y continuo de la característica de tensión-corriente de la Fig. 4-5*a*. El diodo es un dispositivo *binario*, en el sentido de que sólo puede existir en uno de dos estados posibles; es decir, en un momento dado el diodo está conduciendo (*ON*) o no (*OFF*). Si la tensión aplicada al diodo excede la tensión umbral V_γ con el ánodo A (el lado p) más positivo que el cátodo K (lado n), el diodo estará polarizado en sentido directo y conducirá, diciéndose entonces que se halla en el estado de conducción (ON). En la Fig. 4-5*c* se representa el modelo para señales fuertes en el estado de conducción mediante una batería en serie con la resistencia directa R_f (del orden de pocas decenas de ohm o menos). Para una polarización en sentido inverso ($v < V_\gamma$), el diodo no conduce y se dice que está en el estado de bloqueo (OFF). El modelo para señal fuerte en el estado de bloqueo aparece en la Fig. 4-5*c* como una resistencia inversa elevada R_r (del orden de varios cientos de kiloohm o más). Normalmente, R_r es mucho mayor que cualquier otra resistencia del circuito del diodo; o sea que la resistencia inversa puede considerarse infinita. En adelante supondremos que $R_r = \infty$, si no se dice otra cosa.

* **En electrónica se suele expresar la resistencia en kilohom sencillamente con la letra K mayúscula (N. del T.)**

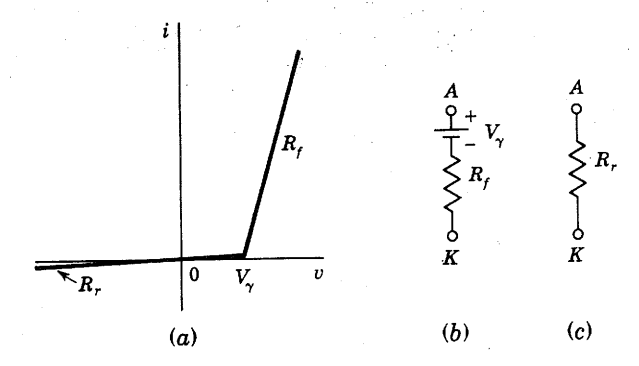


Fig. 4-5. (*a*) Equivalente lineal de la característica tensión-corriente de un diodo *p-n*. (*b*) Modelo para señales grandes en conducción o sentido directo (el ánodo es más positivo que V_γ con respecto al cátodo). (*c*) Modelo en corte, o en sentido inverso ($v < V_\gamma$)

Aplicación elemental. Consideremos que, en el circuito básico del diodo de la Fig. 4-1, la entrada es senoidal, de tal forma que $v_i = V_m$ sen α, donde $\alpha = \omega t$, $\omega = 2\pi f$, y f es la frecuencia de la excitación de entrada. En el supuesto de que el modelo lineal aproximado de la figura 4-5 (con $R_r = \infty$) sea válido, la corriente en sentido directo ($v_i > v_\gamma$) puede entonces obtenerse del circuito equivalente de la Fig. 4-6*a*. Tendremos:

$$i = \frac{V_m \operatorname{sen} \alpha - V_\gamma}{R_L + R_f} \tag{4-3}$$

para $v_i = V_m$ sen $\alpha \geqslant V_\gamma$, e $i = 0$ para $v_i < V_\gamma$. Esta forma de onda aparece en la Fig. 4-6*b*, en la que el ángulo de corte ϕ viene dado por:

$$\phi = \operatorname{arcsen} \frac{V_\gamma}{V_m} \,. \tag{4-4}$$

Si, por ejemplo, $V_m = 2V_\gamma$, tendremos $\phi = 30°$. Para el silicio (germanio),

$$V_\gamma = 0{,}6 \; V(0{,}2V) \,,$$

y por tanto se obtiene un ángulo de cebado de 30° con tensiones senoidales de pequeño valor de pico: 1,2 V (0,4 V) para el Si (Ge). Si $V_m \geqslant 10$ V, $\phi \leqslant 3{,}5°$ (1,2°) para el Si (Ge) y el ángulo de cebado puede despreciarse; el diodo conduce prácticamente en toda la mitad del ciclo. El rectificador de este tipo será considerado con mayor detalle en la Sec. 4-8.

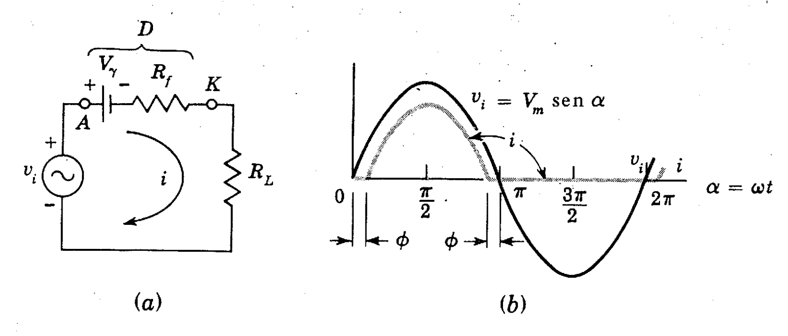


Fig. 4-6. (*a*) Circuito equivalente de un diodo D (en el estado de conducción) en serie con una resistencia de carga R_L y con una tensión senoidal v_i. (*b*) Onda de entrada v_i y corriente rectificada i

Como caso particular, el circuito de la Fig. 4-6 puede emplearse para cargar una batería desde una red de alimentación de alterna. La batería V_B se coloca en serie con el diodo D, y R_L se ajusta para tener la corriente de carga continua deseada (media). La corriente instantánea viene dada por la Ec. (4-3), con V_B sumada a V_γ.

Región de ruptura. La aproximación lineal dada en la Fig. 4-5*a* indica una discontinuidad abrupta en la pendiente en V_γ. Verdaderamente, la transición del diodo del estado de bloqueo al de conducción no es abrupta. Por otra parte, la forma de onda trasmitida por un recortador o un rectificador no muestra un cambio brusco de atenuación en el punto de ruptura, sino que existe una *región de ruptura,* es decir, una región sobre la cual la pendiente de las características del diodo cambia gradualmente desde un valor muy pequeño a un valor elevado. Vamos ahora a estimar el intervalo de tensión de esta región de ruptura.

El punto de ruptura se define a la tensión V_γ, en la que la resistencia del diodo cambia discontinuamente desde un elevado valor de R_r a un valor muy pequeño de R_f. De ahí que definamos arbitrariamente la región de ruptura como la zona de tensión en la que la resistencia del diodo se multiplica por un determinado factor, por ejemplo 100. La resistencia incremental $r = dV/dI = 1/g$ es, partiendo de la Ec. (3-13):

$$r = \eta \frac{V_T}{I_o} \epsilon^{-V/\eta V_T}. \tag{4-5}$$

Si $V_1(V_2)$ es el potencial al que $r = r_1(r_2)$, tendremos:

$$\frac{r_1}{r_2} = \epsilon^{(V_2 - V_1)/\eta V_T}. \tag{4-6}$$

Para $r_1/r_2 = 100$, $\Delta V \equiv V_2 - V_1 = \eta\, V_T \ln 100 = 0{,}12$ V para el Ge ($\eta = 1$) y 0,24 V para el Si ($\eta = 2$) a la temperatura ambiente. Obsérvese que la región de ruptura ΔV es de solamente una o dos décimas de voltio. Si la señal de entrada es grande comparada con este pequeño margen, la aproximación lineal de tensión-corriente y los modelos de la Fig. 4-5 permanecen válidos.

Análisis de circuitos de diodos empleando el modelo aproximado lineal. Consideremos un circuito que contenga varios diodos, resistencias, tensiones de alimentación y fuentes de excitación. El método general de análisis de estos circuitos consiste en suponer (conjeturar) el estado de cada diodo. Para el estado de conducción el diodo es reemplazado por una batería V_γ en serie con la resistencia directa R_f, y en el estado de bloqueo por una resistencia R_r (que normalmente puede tomarse como infinita) como indica la Fig. 4-5*b* y *c*. Después de haber reemplazado los diodos por estos modelos aproximados, el circuito completo es lineal y las corrientes y tensiones pueden calcularse empleando las leyes de Kirchhoff para las tensiones y para las corrientes. La suposición de que un diodo está en estado de conducción puede verificarse observando el signo de la corriente a su través. Si la corriente circula en sentido directo (de ánodo a cátodo) el diodo está conduciendo y la conjetura inicial queda justificada. En cambio, si la corriente está en sentido inverso (de cátodo a ánodo) la suposición ha sido incorrecta. En estas circunstancias, se debe comenzar nuevamente con el diodo supuesto en el estado de bloqueo.

De forma similar al caso de tanteo anterior, cabe ensayar con la suposición de que el diodo está bloqueando, y buscar la tensión entre sus extremos. Si la tensión está en sentido contrario, o bien en sentido directo pero con una tensión inferior a V_γ, el diodo está verdaderamente en estado de bloqueo. En cambio, si la tensión del diodo está en sentido directo y sobrepasa V_γ, el diodo estará en estado de conducción y la suposición inicial será incorrecta. En este caso, el análisis debe empezar de nuevo suponiendo el diodo en estado de conducción.

El método de análisis anterior se empleará en el estudio de los circuitos de diodos que siguen a continuación.

4-4. CIRCUITOS RECORTADORES (LIMITADORES)

Los circuitos recortadores se emplean para seleccionar para su transmisión, la parte de una onda arbitraria que esté por encima o por debajo de un nivel de referencia. Los circuitos recortadores se conocen con el nombre de *limitadores, selectores de amplitud o recortadores de tensión* (o de corriente).

En el sentido anterior, la Fig. 4-1 es un circuito recortador, y las tensiones de entrada por debajo de V_γ *no* se transmiten a la salida, como aparece evidente en las ondas de las Figs. 4-3 y 4-6. Vamos a describir a continuación algunos de los circuitos recortadores más comúnmente empleados.

Consideremos el circuito de la Fig. 4-7*a*. Empleando el modelo lineal aproximado, se obtiene la característica de transferencia de la Fig. 4-7*b*, como puede verificarse fácilmente. Por ejemplo, si D está en estado de bloqueo la tensión del diodo será $v < V_\gamma$ y $v_i < V_\gamma + V_R$. Por otra parte, estando bloqueando D no habrá corriente en R y $v_o = v_i$. Este argumento justifica la porción lineal (con pendiente unidad) de la característica de transmisión que se extiende desde un valor arbitrario negativo hasta $v_i = V_R + V_\gamma$. Para v_i mayor que $V_R + V_\gamma$, el diodo conduce y equivale a una batería V_γ en serie con una resistencia R_f, de tal manera que los incrementos Δv_i de la entrada quedan atenuados y aparecen en la salida como incrementos $\Delta v_o = \Delta v_i R_f/(R_f + R)$. Esto corrobora la porción lineal de pendiente $R_f/(R_f + R)$ para $v_i > V_R + V_\gamma$ en la curva de transferencia. Obsérvese que la característica de transmisión es una aproximación lineal y continua y tiene un punto de ruptura en $V_R + V_\gamma$.

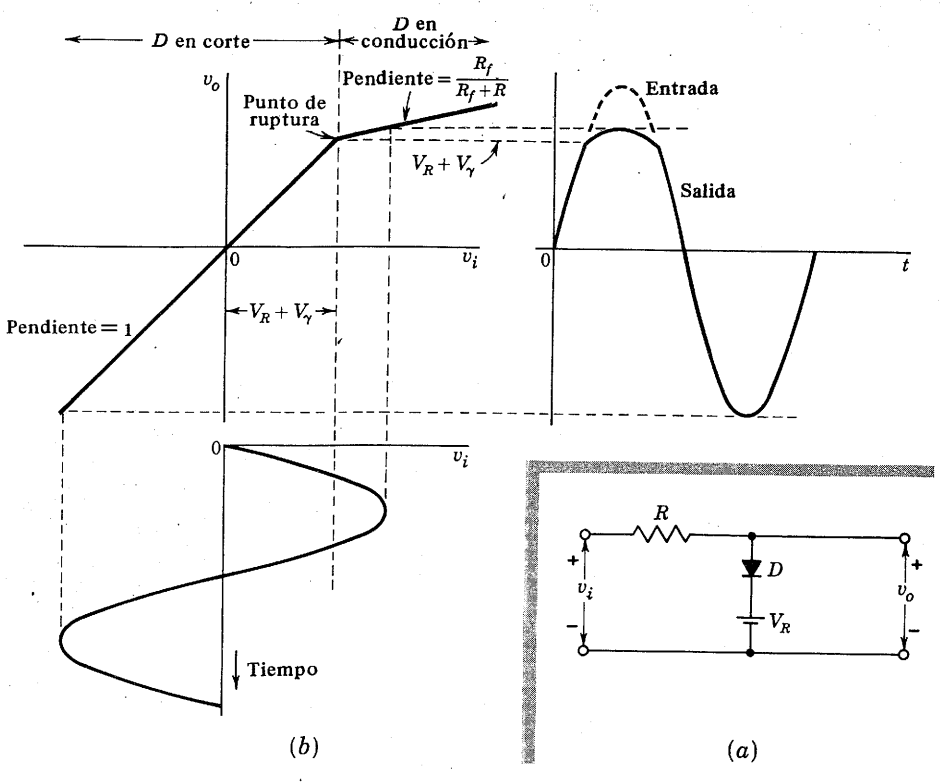


Fig. 4-7. (*a*) Circuito del diodo limitador que transmite la parte más negativa que $V_R + V_\gamma$. (*b*) Equivalente lineal de la característica de transmisión del circuito. Se muestra la entrada senoidal y la salida recortada

La figura 4-7*b* muestra una señal de entrada senoidal de amplitud bastante grande, de manera que sobrepase el punto de ruptura. La salida correspondiente tiene suprimido el pico positivo de la señal. Si $R_f \ll R$, esta supresión será muy pronunciada y la zona positiva de la salida estará limitada prácticamente a la tensión $V_R + V_\gamma$. En la salida aparecerá con el pico postivo cortado. Cuando $V_R \gg V_\gamma$, se puede considerar que V_R por sí misma es la tensión de referencia limitadora.

En la Fig. 4-8*a*, el circuito recortador se ha modificado colocando el diodo de la figura 4-7*a* en sentido inverso. La representación lineal aproximada correspondiente de la característica de transferencia aparece en la Fig. 4-8*b*. En este circuito, la porción de onda más positiva que $V_R - V_\gamma$ se transmite sin atenuación; en cambio, la parte de onda menos positiva casi está suprimida.

En las figuras 4-7*b* y 4-8*b* hemos supuesto R_r arbitrariamente grande en comparación con R. Si no se cumple esta condición, las características de transmisión deben modificarse. Las porciones de las curvas a las que se les ha asignado una pendiente unidad, debe considerarse que tienen una pendiente de $R_r/(R_r + R)$.

Hemos supuesto que en la región de transmisión, un circuito recortador de un diodo tiene $R_r \gg R$, por ejemplo $R_r = kR$, en que k es un número elevado. En la región de

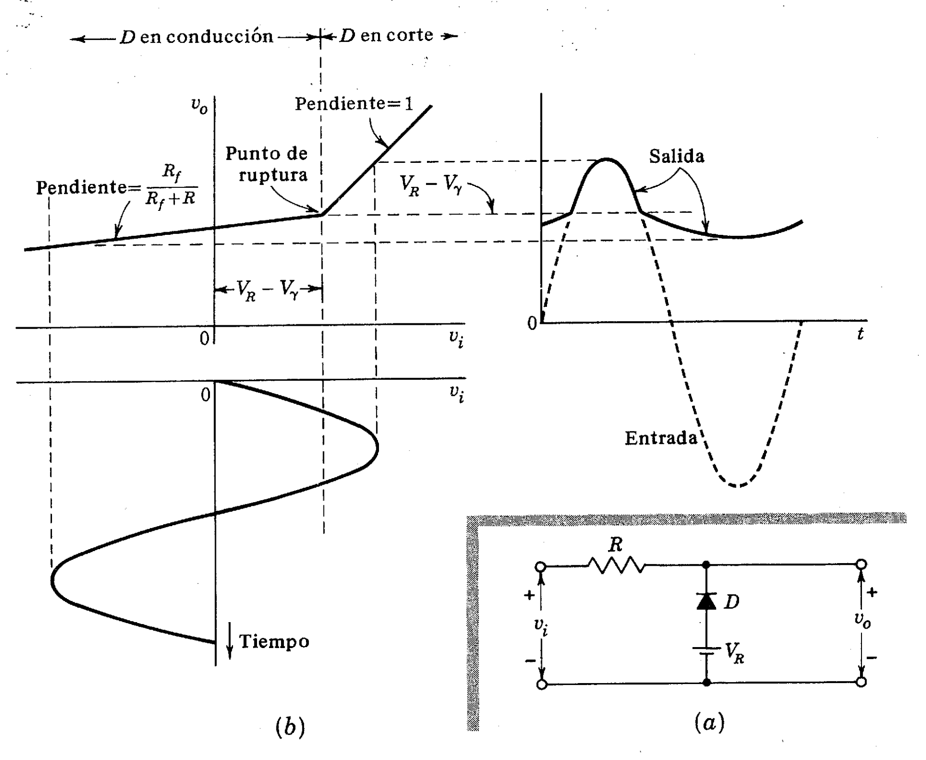


Fig. 4-8. (*a*) Diodo limitador de un circuito que deja pasar la parte de onda más positiva que $V_R - V_\gamma$. (*b*) Equivalente lineal de la característica de transmisión del circuito. La entrada senoidal y la salida limitada aparecen en el dibujo

atenuación, necesitamos que $R \gg R_f$, por ejemplo que $R = kR_f$. De estas dos ecuaciones se deduce que $R = \sqrt{R_f R_r}$ y que $k = \sqrt{R_r/R_f}$. Basándonos en esto, deducimos que es razonable seleccionar R como la media geométrica de R_r y R_f, y subrayamos que la relación R_r/R_f puede servir como una indicación de la valía de los diodos empleados en la presente aplicación.

Circuitos recortadores adicionales. Las Fig. 4-7 y 4-8 se representan otra vez en la Fig. 4-9 con otras dos variantes en las que aparecen los diodos como elementos en serie. Si en cada caso se aplica una entrada senoidal, la onda de salida será la que se indica con trazo continuo. En estas ondas de salida se ha despreciado V_γ frente V_R y se ha supuesto que la región de ruptura es despreciable comparándola con la amplitud de la onda. Hemos supuesto también que $R_r \gg R \gg R_f$. En dos de estos circuitos la porción de onda transmitida es la parte que queda por debajo de V_R; en las otras dos se transmite la porción superior a V_R. En dos de ellos los diodos aparecen como elemento en serie con la señal de partida; en los otros dos aparecen como elementos en paralelo. El empleo del diodo en serie tiene el inconveniente de que, cuando dicho diodo está bloqueando y no se espera transmisión, las señales rápidas u ondas de alta frecuencia se transmitirán a la salida a través de la capacidad del propio diodo. El empleo del diodo en paralelo tiene el

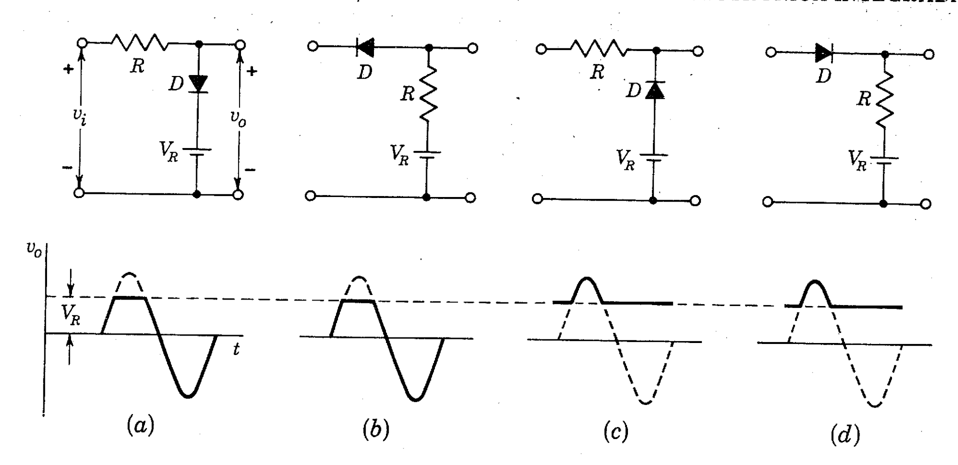


Fig. 4-9. Cuatro circuitos limitadores con diodo. En (a) y (c), el diodo aparece como un elemento en paralelo. En (b) y (d), el diodo aparece como un elemento en serie. Debajo de cada circuito se observa la forma de onda de salida (trazo continuo) para una entrada senoidal. La porción cortada de la entrada queda indicada con línea de trazos.

inconveniente de que cuando está polarizado en sentido directo y deba entenderse que hay transmisión, la capacidad del diodo, junto con las capacidades en paralelo con los terminales de salida, redondearán las puntas de las ondas de entrada y atenuarán las señales de altas frecuencias. El segundo inconveniente del empleo de diodos en paralelo es que, en este circuito, la impedancia R_s de la fuente que alimenta V_R debe ser bastante pequeña. Esta condición no se precisa en circuitos en los que V_R está en serie con R, que es normalmente grande comparada con R_s.

4-5. RECORTE A DOS DIFERENTES NIVELES

Los diodos recortadores pueden emplearse en parejas para producir una limitación de doble sentido a distintos niveles. Se pueden emplear distribuciones en paralelo, en serie o en serie paralelo. La disposición en paralelo aparece en la Fig. 4-10*a*. La Fig. 4-10*b* muestra una curva aproximada lineal y continua de tensión de entrada-salida, para el circuito de la Fig. 4-10*a*. La curva de transferencia tiene dos puntos de ruptura, uno para $v_o = v_i = V_{R1}$ y un segundo a $v_o = v_i = V_{R2}$, y posee las siguientes características (suponiendo $V_{R2} > V_R \gg V_\gamma$ y $R_f \ll R$):

Entrada v_i	*Salida v_o*	*Estado de los diodos*
$v_i \leq V_{R1}$	$v_o = V_{R1}$	$D1$ conduciendo, $D2$ bloqueando
$V_{R1} < v_i < V_{R2}$	$v_o = v_i$	$D1$ bloqueando, $D2$ bloqueando
$v_i \geq V_{R2}$	$v_o = V_{R2}$	$D1$ bloqueando, $D2$ conduciendo

El circuito de la Fig. 4-10*a* es un recortador doble, o rebanador, porque la salida tiene recortada la entrada entre los dos niveles de referencia V_{R1} y V_{R2}.

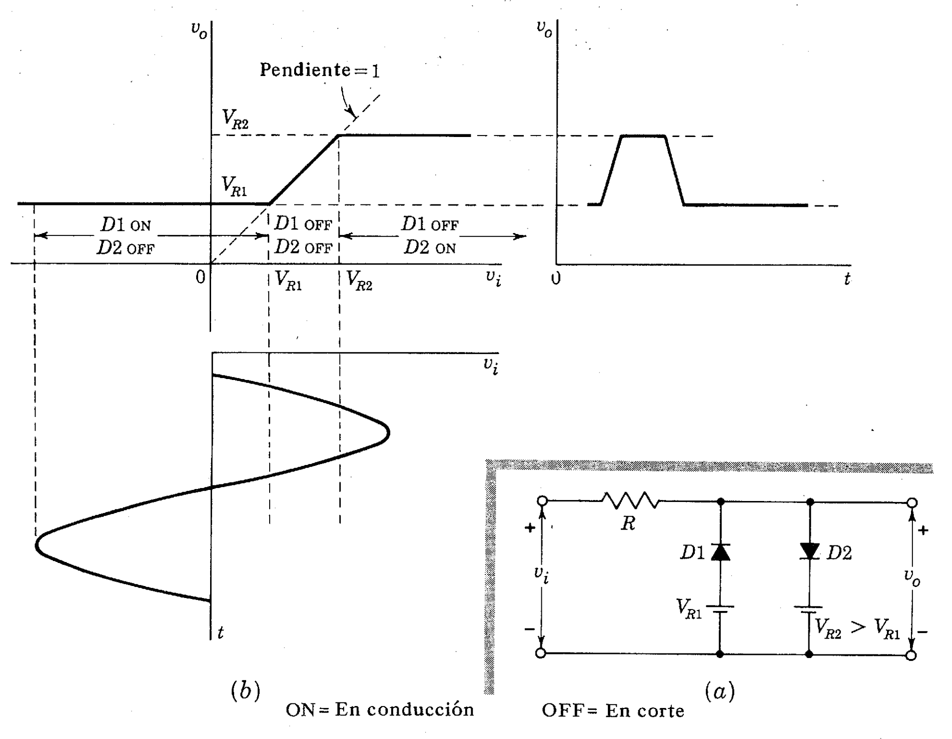


Fig. 4-10. (a) Limitador con doble diodo que determina dos niveles independientes. (b) Equivalente lineal de la curva de transferencia para el circuito de (a). La salida, doblemente limitada, aparece indicada en la figura para una entrada senoidal.

Este circuito se emplea para convertir una onda senoidal en una onda cuadrada. En esta aplicación, para generar una onda cuadrada simétrica, V_{R1} y V_{R2} se ajusta, para valores absolutos iguales pero de signo opuesto. La característica de transferencia pasa por el origen en estas condiciones, y la onda se recorta simétricamente en la parte superior y en la inferior. Si la amplitud de la onda senoidal es muy grande en comparación con la diferencia entre los niveles de referencia, la onda de salida *quedará cuadrada.*

Dos diodos en avalancha en serie y en oposición, como indica la Fig. 4-11*a*, constituyen otra forma de rebanador de doble sentido. Si los diodos son de características idénticas, se obtiene un limitador simétrico. Si la tensión de avalancha (Zener) es V_Z y la tensión de corte V_γ, se obtiene la característica de transferencia de la Fig. 4-11*b*.

Diodos de sujeción o de fijación. Consideremos que v_i y R de la Fig. 4-10*a* representan el circuito equivalente de Thévenin a la salida de un dispositivo que podría ser un amplificador. En otras palabras, R es la resistencia de salida y v_i es la salida de señal en circuito abierto. En esta situación, los diodos $D1$ y $D2$ se denominan *de fijación.* La razón de esta denominación queda clara en la Fig. 4-12, donde vemos que $D1$ "fija" la salida v_o y no le permite bajar por debajo de V_{R1}, mientras que $D2$ "fija" v_o y no le permite subir más allá de V_{R2}.

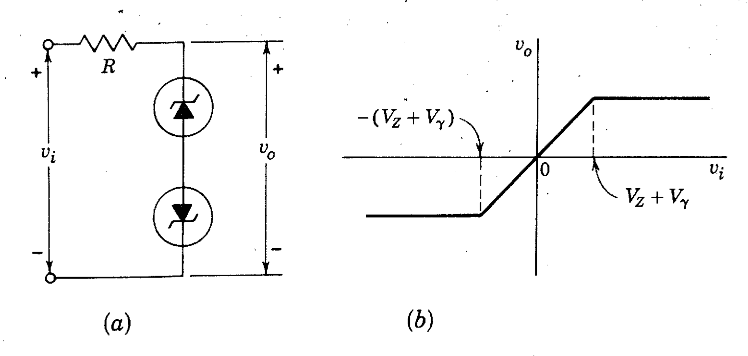


Fig. 4-11. *(a)* Un limitador doble empleando diodos de avalancha. *(b)* Característica de transferencia.

Generalmente, siempre que un nudo esté conectado mediante una resistencia baja (o a través de un diodo conduciendo) a una tensión de referencia V_R diremos que el nudo ha sido fijado a V_R ya que la tensión en dicho punto no puede apartarse mucho de V_R. En este sentido los diodos de la Fig. 4-12 se denominan *diodos de sujeción.*

En la Sec. 4-11 se considera un circuito en que se limitan los valores de pico de una onda periódica a la tensión de referencia.

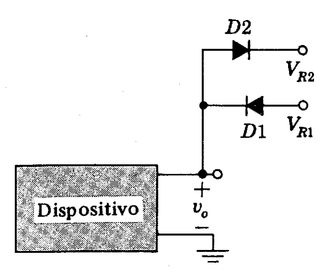


Fig. 4-12. Los diodos $D1$ y $D2$ limitan la excursión de la salida del dispositivo a los valores comprendidos entre V_{R1} y V_{R2}.

4-6. COMPARADORES

Los circuitos no lineales que se emplean para realizar la operación de recorte pueden emplearse también para efectuar una *comparación.* En este caso, los circuitos se transforman en elementos de un *sistema comparador* y normalmente se denominan simplemente *comparadores.* Un comparador puede emplearse para señalar el instante en que una onda arbitraria alcanza un nivel de referencia. La diferencia entre un circuito comparador y el circuito de fijación antes citado es la de que en un comparador no interesa reproducir ninguna parte de la señal. Por ejemplo, la salida del comparador puede consistir en una subida brusca desde un nivel de reposo que tenga lugar en el momento en que la señal alcance el nivel de referencia, independientemente de la señal. Asimismo la salida del comparador puede ser un impulso agudo que tenga lugar cuando señal y referencia se igualen.

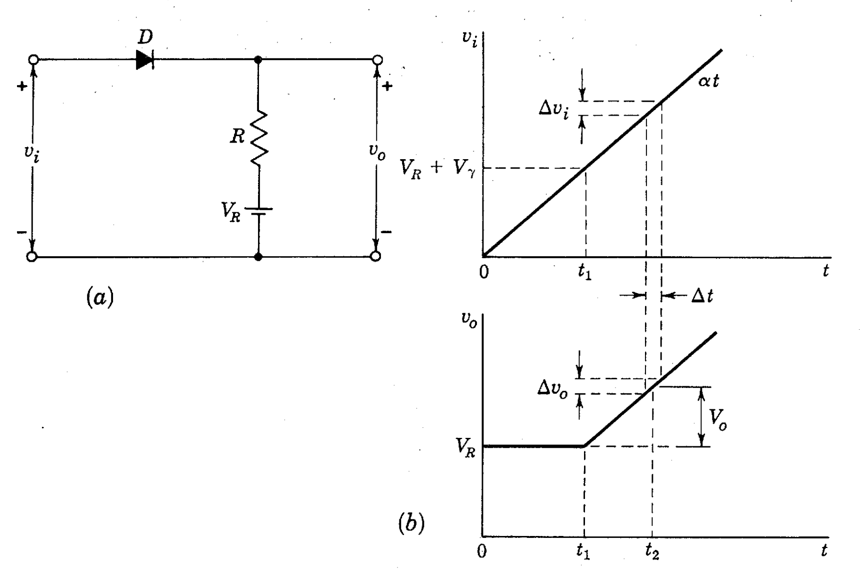


Fig. 4-13. *(a)* Comparador de diodo. *(b)* La operación de comparación se ilustra con una señal de entrada, v_i en rampa, y se indica la onda de la señal de salida.

El circuito de diodo de la Fig. 4-13*a* visto antes como circuito de fijación, se emplea aquí como comparador. Para mayor claridad de la figura, la señal de entrada se ha tomado como una rampa. Esta señal alcanza el nivel de tensión $v_i = V_R + V_\gamma$ en el instante $t = t_1$. La salida permanece en reposo en $v_o = V_R$ hasta el instante $t = t_1$, después de lo cual aumenta con la señal de entrada:

El dispositivo al que se le aplica la salida del comparador responderá cuando la tensión del comparador haya alcanzado un nivel V_o por encima de V_R. No obstante, la tensión exacta a la que responde este dispositivo está sujeta a variaciones Δv_o debidas a cambios graduales de envejecimiento de los materiales, cambios de temperatura, etc. En consecuencia (como indica la Fig. 4-13*b*), habrá una cierta variación Δt en el momento preciso en que este sistema responda y a ello le corresponderá una imprecisión Δv_i en la tensión de entrada correspondiente a Δt. Además, si el dispositivo responde dentro del margen Δv_o, no responderá a $t = t_1$, sino en el instante posterior t_2. La situación puede soslayarse aumentando la pendiente de la parte de subida de la onda de salida v_o. Si el diodo fuera realmente ideal, tendría la ventaja de poder añadir al comparador de la Fig. 4-13*a* un amplificador. Pero, debido a las características exponenciales de un diodo físico, esta ventaja no la podemos aprovechar.[1]

Por otra parte, un amplificador que siga a un comparador resistencia-diodo no mejora la pendiente de la curva del propio comparador; en cambio, si el amplificador lo *precede* sí se conseguirá tal mejora. Todo ello supone que la señal de entrada al diodo comparador debe recorrer el margen Δv_i para que el comparador recorra la región incierta. Entonces, si el amplificador tiene una ganancia A, la señal de entrada sólo deberá recorrer $\Delta v_i/A$ para que la salida del comparador recorra la misma tensión. El amplificador debe estar directamente acoplado y ha de ser extremadamente estable contra desviaciones debidas al envejecimiento de los componentes, cambios de temperatura, etc. El amplificador opera-

cional o diferencial estudiado en la sección 15-2 es de este tipo. Los comparadores se verán con mayor detalle en la Sec. 16-11.

4-7. PUERTA DE DISCRIMINACION

Una puerta de discriminación ideal es un circuito de transmisión en el que la salida es reproducción exacta de la onda de entrada durante el intervalo de tiempo seleccionado, y valiendo cero durante el resto del tiempo. El intervalo de tiempo para la transmisión se selecciona por una señal exterior, denominada señal de control o de puerta, que normalmente es de forma rectangular. Estas puertas de discriminación también se denominan *puertas de transmisión o circuitos de selección de tiempo.*

Una puerta de discriminación de cuatro diodos aparece en la Fig. 4-14*a*. Este circuito tiene la topología de un puente con una señal externa aplicada al nudo P_1; la tensión de salida v_o se toma en la carga R_L y nudo P_2, y las tensiones simétricas de control $+v_c$ y $-v_c$ están aplicadas a los nudos P_3 y P_4 a través de la resistencia R_c de control. La forma rectangular de v_c, la senoidal de v_s (podría ser de cualquier forma arbitraria), y el valor de salida v_o aparecen en la Fig. 4-14*b*. Obsérvese que el período de v_c no tiene que ser necesariamente el mismo que el de v_s, pero lo más práctico es que lo sea o bien un múltiplo entero de él.

Si suponemos diodos ideales con $V_\gamma = 0$, $R_f = 0$, $R_r = \infty$ el funcionamiento del circuito se entiende fácilmente. Durante el intervalo de tiempo T_c, cuando $v_c = V_c$, los cuatro diodos conducen y la tensión a través de ellos es cero. De ahí que los nudos P_1 y P_2 tienen el mismo potencial y $v_o = v_s$. La salida, por tanto, es la réplica exacta de la entrada durante el tiempo T_c. Durante T_n, cuando $v_c = -V_n$ ningún diodo conduce y la corriente R_L es nula, es decir, $v_o = 0$.

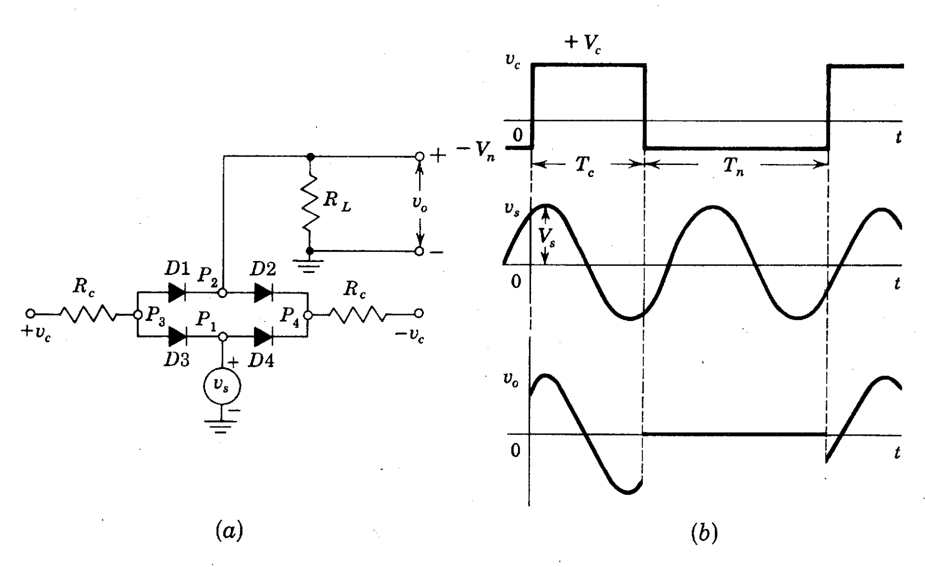


Fig. 4-14. (*a*) Ejemplo de puerta con un puente de cuatro diodos. (*b*) Ondas de control v_c, de señal v_s y de salida v_o

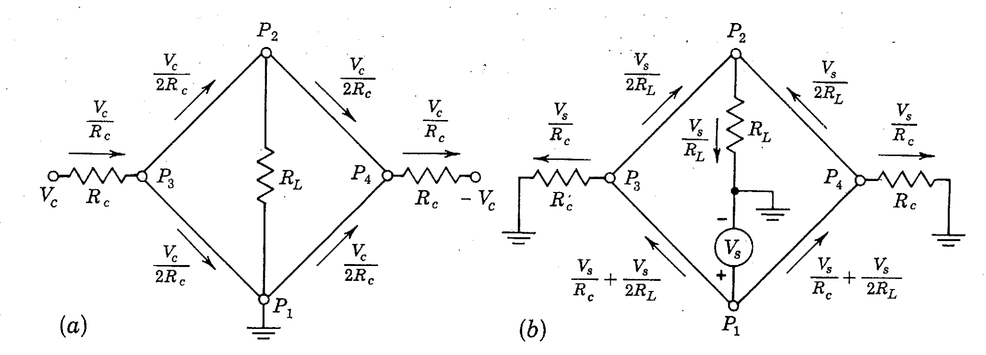


Fig. 4-15. Los diodos de la Fig. 4-14 se reemplazan por cortocircuitos. (*a*) Corrientes debidas a V_c. (*b*) Corrientes debidas a V_s.

Debemos justificar la explicación anterior, según la cual durante T_c todos los diodos conducen y durante T_n ninguno lo hace. Consideremos la situación cuando $v_c = -V_n$, $-v_c = +V_n$, y $v_s = V_s$ = picos (positivos) de la tensión de señal. Supongamos que todos los diodos están polarizados en sentido inverso, de tal forma que $v_o = 0$, y comprobaremos esta suposición (Sec. 4-3). En la Fig. 4-14*a*, vemos que $D1$ y $D2$ están polarizados inversamente por V_n, que $D3$ está polarizado en sentido inverso por $V_n + V_s$, y que la tensión a través de $D4$ (en sentido directo) es $V_s - V_n$. Por lo tanto, $D1$, $D2$ y $D3$ están en estado de bloqueo para cualquier valor de V_n o V_s y $D4$ también lo está siempre y cuando $V_n \geqslant V_s$, o sea que el mínimo valor de V_n es:

$$(V_n)_{\min} = V_s \tag{4-7}$$

En otras palabras, hay una restricción en la amplitud de la puerta de control durante el intervalo de no conducción T_n; el mínimo valor de V_n iguala exactamente el pico de tensión de la señal V_s si se quiere que ninguno de los cuatro diodos conduzcan durante este intervalo.

Consideremos ahora la situación durante T_c, cuando $v_c = +V_c$, $-v_c = -V_c$, y $v_s = V_s$. Si suponemos ahora que todos los diodos están conduciendo vamos a determinar qué restricciones se precisan en V_c para que la corriente en cada diodo aparezca en sentido directo. La corriente en cada diodo tiene dos componentes, una debida a V_c (como indica la Fig. 14-15*a*) y la otra debida a V_s (como indica la Fig. 14-15*b*). La corriente debida a V_c es $V_c/2R_c$ y está en sentido directo en todos los diodos; en cambio, la corriente debida a V_s está en sentido inverso en $D3$ (entre P_3 y P_1) y en $D2$ (entre P_2 y P_4). La mayor corriente inversa es la de $D3$ y es igual a $V_s/R_c + V_s/2R_L$, cantidad que debe ser menor que $V_c/2R_c$. El mínimo valor de V_c viene dado, pues, por:

$$(V_c)_{\min} = V_s\left(2 + \frac{R_c}{R_L}\right) \tag{4-8}$$

Condiciones de equilibrio. Supongamos que $v_s = 0$ pero que los cuatro diodos no son idénticos en cuanto a los parámetros V_γ y R_f (que consideraremos distintos de cero). Entonces, el puente no estará equilibrado y el nudo P_2 no estará al mismo potencial (tierra) que P_1. En estas circunstancias, una parte de la onda rectangular de control

aparece en la salida. En otras palabras, durante T_c la salida es $v_o = V'_c$, en lugar de ser cero. Si ahora se prescinde de la restricción $v_s = 0$, la porción seleccionada de la salida v_o en la Fig. 4-14*b* se verá aumentada con respecto a tierra por la tensión V'_c y se dice que v_o, está "puesta en un pedestal". Afortunadamente, los cuatro diodos pueden construirse simultáneamente en un solo cuerpo delgado de silicio gracias a las técnicas de integración de circuitos (Cap. 7); esto asegura el aparejamiento de los diodos, y por tanto se minimiza el pedestal. Subrayaremos que aún con dos diodos idénticos se tendrá un pedestal en la salida si las dos ondas de control no están equilibradas (una señal de control debe ser la negativa de la otra). Se pueden construir otros circuitos con mínimo desequilibrio de la señal de control.[2]

4-8. RECTIFICADORES

Casi todos los circuitos electrónicos necesitan una fuente de alimentación de corriente continua; para sistemas portátiles de baja potencia pueden emplearse baterías. Lo más frecuente, sin embargo, es alimentar un equipo electrónico a través de una *fuente de alimentación*, que constituye parte del equipo y que convierte la onda alterna de las redes industriales de potencia a tensión continua. El estudio de la conversión de la corriente alterna en continua se inicia en la presente sección.

Rectificador de media onda. Se denomina *rectificador* a un sistema que, como el diodo semiconductor, sea capaz de convertir una onda senoidal de entrada (cuyo valor medio es cero) en una onda unidireccional (aunque no constante) con una componente media no nula. En la Fig. 4-16 aparece indicado el circuito elemental de un rectificador de media onda. Como en un circuito rectificador la entrada $v_i = V_m$ sen ωt tiene un valor máximo V_m, que es grande comparado con la tensión umbral V_γ del diodo, supondremos en la siguiente explicación que $V_\gamma = 0$. (La condición $V_\gamma \neq 0$ ya se ha tratado en la Sec. 4-3, y la forma de la corriente se indica en la Fig. 4-6*b*.) Con el diodo ideal, supuesto que tenga

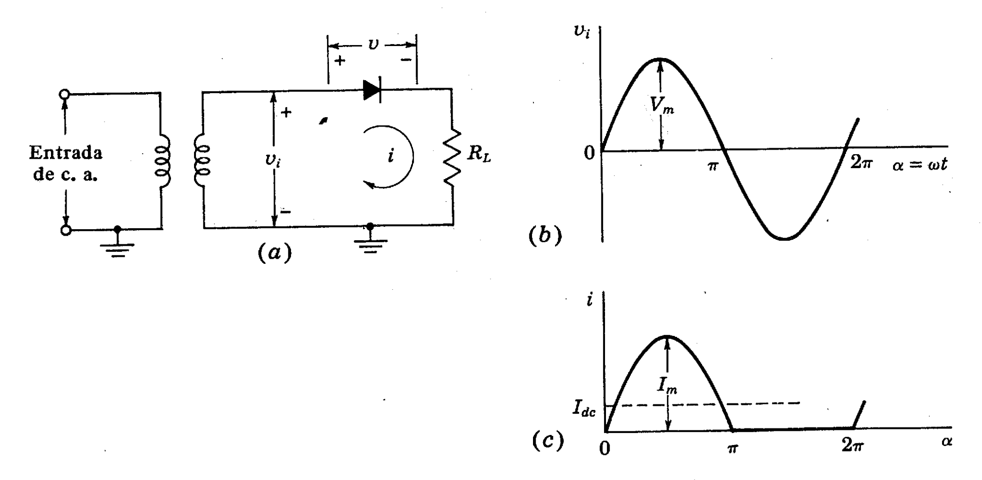


Fig. 4-16. (*a*) Circuito básico de un rectificador de media onda. (*b*) Tensión senoidal del secundario del transformador v_i. (*c*) Corriente del diodo y de carga, i.

una resistencia R_f en el estado de conducción, y sea un circuito abierto en el estado de bloqueo, la corriente i en dicho diodo o en la carga R_L viene dada por:

$$i = I_m \text{ sen } \alpha \qquad \text{si } 0 \leqslant \alpha \leqslant \pi$$
$$i = 0 \qquad \text{si } \pi \leqslant \alpha \leqslant 2\pi \,, \tag{4-9}$$

siendo $\alpha \equiv \omega t$ e

$$I_m \equiv \frac{V_m}{R_f + R_L} \,. \tag{4-10}$$

La tensión v_i del secundario del transformador se indica en la Fig. 4-16*b*, y la corriente rectificada en la Fig. 4-16*c*. Obsérvese que la corriente de salida es unidireccional. Vamos a calcular ahora el valor no nulo de la corriente media.

Un amperímetro de corriente continua se construye en forma tal que la desviación de la aguja indique el valor medio de la corriente que pasa a través de él. Por definición, el valor medio de una función periódica viene dado por el área abarcada por la curva en un ciclo dividida por el período. Expresado matemáticamente:

$$I_{dc} = \frac{1}{2\pi} \int_0^{2\pi} i d\alpha \,. \tag{4-11}$$

Para el circuito de media onda que consideramos, obtenemos [de la Ec. (4-9)] que:

$$I_{dc} = \frac{1}{2\pi} \int_0^{\pi} I_m \text{ sen } \alpha \, d\alpha = \frac{I_m}{\pi} \,. \tag{4-12}$$

Obsérvese que el límite superior de la integral tiene que cambiar de 2π a π, ya que la corriente instantánea durante el intervalo de π a 2π es nula y no contribuye a la integral.

La tensión del diodo. Naturalmente, la tensión de salida viene dada por:

$$V_{dc} = I_{dc} R_L = \frac{I_m R_L}{\pi} \,. \tag{4-13}$$

No obstante, la lectura de un voltímetro colocado en paralelo con el diodo *no* da $I_{dc} R_f$, ya que el diodo no puede considerarse como una resistencia constante, sino que en realidad tiene dos valores: R_f en el estado de conducción y ∞ en el estado de bloqueo.

Un voltímetro de corriente continua indica el valor medio de la tensión que hay entre sus terminales. Por lo tanto, para obtener V'_{dc} a través del diodo, la tensión instantánea debe dibujarse como en la Fig. 4-17 y obtener el valor medio por integración. En consecuencia:

$$V'_{dc} = \frac{1}{2\pi} \left(\int_0^{\pi} I_m R_f \text{ sen } \alpha \, d\alpha + \int_{\pi}^{2\pi} V_m \text{ sen } \alpha \, d\alpha \right)$$
$$= \frac{1}{\pi} (I_m R_f - V_m) = \frac{1}{\pi} [I_m R_f - I_m (R_f + R_L)]$$

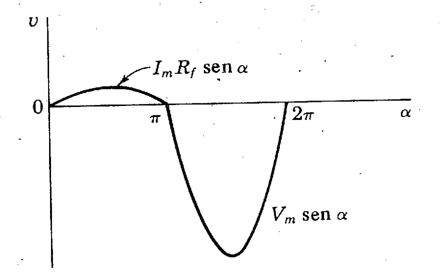


Fig. 4-17. Tensión entre los extremos del diodo de la Fig. 4-16

donde se ha hecho uso de la Ec. (4-10). De ahí que:

$$V'_{dc} = -\frac{I_m R_L}{\pi} . \qquad (4\text{-}14)$$

Este resultado es negativo, lo cual significa que, para que la lectura del voltímetro caiga dentro de la escala, su terminal positivo debe conectarse en el cátodo del diodo. En la Ec. (4-13) se ve que la tensión continua del diodo es igual y de signo contrario que la tensión continua en la resistencia de carga. Este resultado es evidentemente correcto ya que la suma de las tensiones continuas alrededor del circuito completo debe valer cero.

La corriente (tensión) alterna. Un *amperímetro (voltímetro) de corriente alterna se construye de forma que su desviación indique la corriente (tensión) en valor eficaz.* Un instrumento de valor eficaz puede ser del tipo de termopar. Por definición, el cuadrado del valor eficaz (o rms)* de una función periódica viene dada por el área de un ciclo de la curva, que se obtiene elevando al cuadrado la función, dividida por el período. Expresado matemáticamente:

$$I_{rms} = \left(\frac{1}{2\pi}\int_0^{2\pi} i^2\, d\alpha\right)^{1/2} . \qquad (4\text{-}15)$$

Empleando las Ecs. (4-9) obtenemos que:

$$I_{rms} = \left(\frac{1}{2\pi}\int_0^{\pi} I_m{}^2 \operatorname{sen}^2 \alpha\, d\alpha\right)^{1/2} = \frac{I_m}{2} . \qquad (4\text{-}16)$$

Aplicando la Ec. (4-15) a la *tensión de entrada senoidal,* obtenemos:

$$V_{rms} = \frac{V_m}{\sqrt{2}} . \qquad (4\text{-}17)$$

Muchos de los aparatos de medida de corriente alterna van provistos de un tipo de rectificador como el que se describe en la Sec. 4-9, por lo que en realidad no son verdaderos medidores de valor eficaz.

* RMS, del inglés Roat Mean Square, raíz media cuadrática, o valor eficaz (N. del T.).

Regulación. La variación de la tensión continua de salida en función de la corriente continua en la carga se denomina *regulación.* El porcentaje de regulación se define como:

$$\% \text{ regulación} \equiv \frac{V_{vacío} - V_{carga}}{V_{carga}} \times 100\ \% \qquad (4\text{-}18)$$

donde *vacío* significa con corriente cero y *carga* indica la corriente de carga nominal. Para una fuente de alimentación ideal, la tensión de salida es independiente de la carga (corriente de salida) y el porcentaje de regulación es cero.

La variación de V_{dc} con I_{dc} para un rectificador de media onda se obtiene como sigue por las ecuaciones (4-12) y (4-10),

$$I_{dc} = \frac{I_m}{\pi} = \frac{V_m/\pi}{R_f + R_L} . \qquad (4\text{-}19)$$

Resolviendo la Ec. (4-19) y considerando que $V_{dc} = I_{dc} R_L$ obtendremos:

$$V_{dc} = \frac{V_m}{\pi} - I_{dc} R_f . \qquad (4\text{-}20)$$

Este resultado está de acuerdo con el modelo del circuito dado en la Fig. 4-18 para las tensiones y corrientes continuas. Obsérvese que el circuito rectificador funciona como si fuera una fuente de alimentación constante (a circuito abierto) $V = V_m/\pi$ en serie con una resistencia interna efectiva (*resistencia de salida*) $R_o = R_f$. Este modelo demuestra que V_{dc} iguala a V_m/π en ausencia de carga y que la tensión continua disminuye linealmente con el incremento de la corriente de salida. En la práctica, la resistencia R_s del secundario del transformador está en serie con el diodo, y en la Ec. (4-20) R_s debe agregarse a R_f. El mejor método de estimación de la resistencia del diodo se obtiene mediante una curva de regulación de V_{dc} en función de I_{dc} obtenida en el laboratorio. La pendiente negativa de la línea recta resultante da $R_f + R_s$.

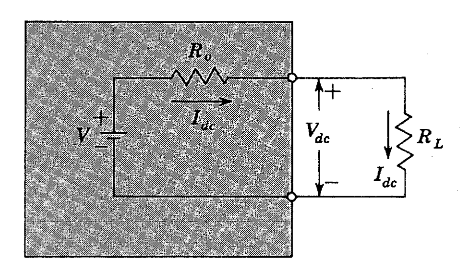


Fig. 4-18. Modelo de Thévenin que da la corriente y la tensión continuas para una fuente de alimentación. Para el circuito rectificador de media onda de la Fig. 4-16, $V = V_m/\pi$ y $R_o = R_f$. Para el circuito de onda completa de la Fig. 4-19 $V = 2\,V_m$ y $R_o = R_f$. Para el rectificador de onda completa con condensador de filtro (Sec. 4-10), $V_o = V_m$ y $R_o = 1/4\,\pi C$

Teorema de Thévenin. Este teorema dice que *dos terminales cualesquiera de una red lineal pueden reemplazarse por un generador de fuerza electromotriz igual a la tensión en circuito abierto entre los terminales, en serie con la impedancia de salida vista desde estos puntos.* La Fig. 4-18 representa un modelo de Thévenin, y por lo tanto, un rectificador se comporta como un circuito lineal con respecto a la tensión y corriente medias.

Rectificador de onda completa. En la Fig. 4-19 está indicado un circuito rectificador de onda completa. Este circuito comprende dos circuitos de media onda conectados de tal forma que la conducción la realiza uno durante la mitad de un ciclo de la alimentación y el otro durante la segunda mitad.

La corriente en la carga que es la suma de las dos corrientes, tiene la forma indicada en la Fig. 4-19*b*. El valor continuo y eficaz de la corriente de carga y de la tensión puede obtenerse fácilmente con las siguientes expresiones:

$$I_{dc} = \frac{2I_m}{\pi} \qquad I_{rms} = \frac{I_m}{\sqrt{2}} \qquad V_{dc} = \frac{2I_m R_L}{\pi}, \tag{4-21}$$

donde I_m viene dado por la ecuación (4-10) y V_m es la tensión de pico del secundario del transformador entre el punto medio y un extremo. Obsérvese, comparando las ecuaciones (4-21) y (4-13), que la tensión de salida de la conexión en onda completa es doble que en el circuito de media onda.

De las ecuaciones (4-10) y (4-21) vemos que la tensión continua de salida varía con la corriente de la siguiente forma:

$$V_{dc} = \frac{2V_m}{\pi} - I_{dc}R_f\,. \tag{4-22}$$

Estas expresiones nos llevan al modelo de Thévenin en continua de la Fig. 4-18, excepto en que la fuerza electromotriz (en circuito abierto) es $V = 2V_m/\pi$ en lugar de V_m/π.

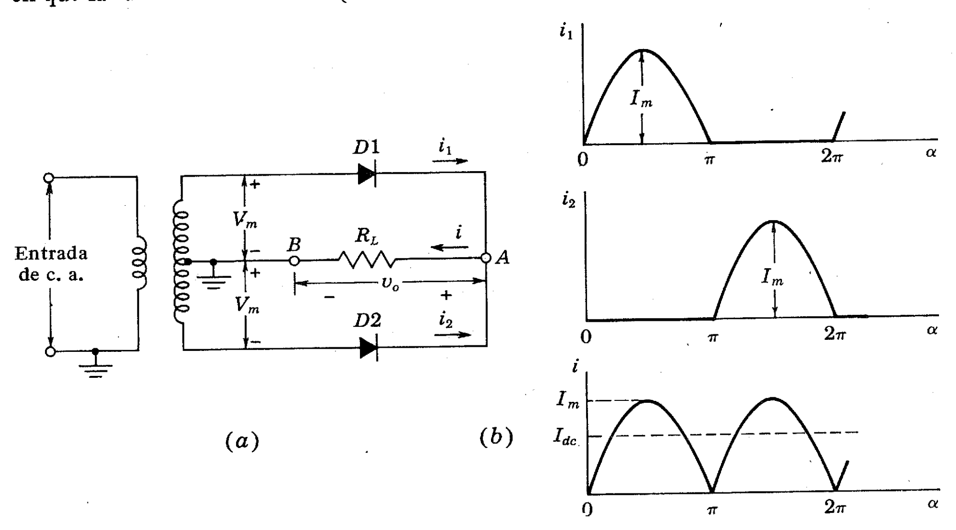


Fig. 4-19. (*a*) Circuito rectificador de onda completa. (*b*) Corrientes individuales en los diodos y corriente en la carga, *i*. La tensión de salida es $v_o = iR_L$

Tensión inversa de pico. Para cada circuito rectificador hay una tensión máxima a la que puede estar sometido el diodo. Este potencial se denomina *tensión inversa de pico,* ya que ocurre durante la parte del ciclo en la que el diodo no conduce. En la Fig. 4-16 queda claro que, en el rectificador de media onda, la tensión inversa de pico es V_m. Vamos a ver ahora que, en un circuito de onda completa, se obtiene el doble de este valor. En el instante en que la tensión del secundario respecto al punto medio tiene su valor de pico V_m, el diodo $D1$ está conduciendo y el $D2$ no. Si aplicamos las leyes de Kirchhoff al bucle exterior y despreciamos la pequeña caída de potencial en $D1$, obtendremos $2V_m$ como tensión de pico inversa en $D2$. Obsérvese que este resultado se logra sin hacer referencia a la naturaleza de la carga, que puede ser una resistencia pura R_L o la combinación de R_L y algún elemento reactivo para "filtrar" el rizado. Llegamos a la conclusión de que, *en un rectificador de onda completa, independientemente del filtro empleado, la tensión inversa de pico en cada diodo es el doble de la máxima tensión del transformador medida entre el punto medio y uno de los extremos.*

4-9. OTROS CIRCUITOS DE ONDA COMPLETA

Se emplean extensamente otros varios circuitos rectificadores. Entre ellos podemos encontrar circuitos en puente, circuitos dobladores de tensión y numerosos circuitos multiplicadores de tensión. El circuito en puente tiene aplicación, no sólo en circuitos de alimentación de potencia, sino también como un sistema de rectificación para medidores de tensión alterna empleados con margen amplio de frecuencias.

Rectificador en puente. En la Fig. 4-20 aparecen los fundamentos de un circuito puente. Para entender su funcionamiento, es necesario observar simplemente que dos diodos conducen simultáneamente. Por ejemplo, durante la porción del ciclo en que la polaridad del transformador es la que se indica en la Fig. 4-20, los diodos 1 y 3 están conduciendo, y la corriente pasa a través de la carga de la parte positiva a la negativa. La conducción se indica en la figura mediante una flecha sombreada. En el próximo semiciclo, el transformador invierte su polaridad, y los diodos 2 y 4 envían corriente a la carga en la misma dirección que en el semiciclo anterior.

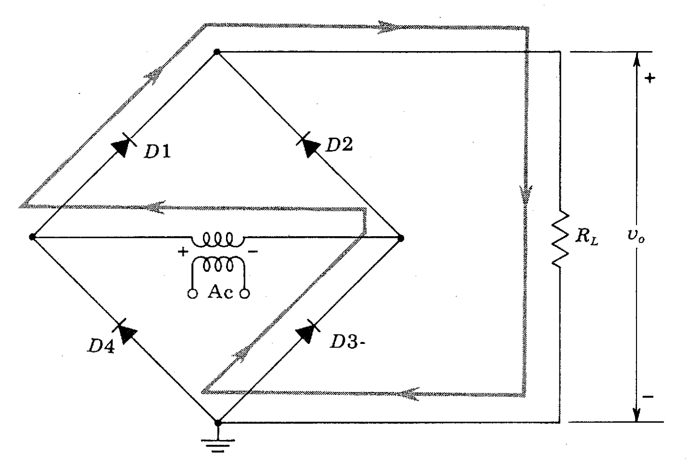


Fig. 4-20. Circuito puente de onda completa

Las principales prestaciones del circuito puente son las siguientes: Las corrientes del primario y del secundario del transformador de alimentación son senoidales, y puede emplearse un transformador más pequeño que en el caso del circuito de onda completa para la misma salida; se utiliza un transformador sin toma central y cada diodo sólo soporta, en el ciclo inverso, la tensión del transformador. El circuito en puente se puede emplear, por tanto, en aplicaciones para alta tensión.

Medidores con rectificación. Estos instrumentos, ilustrados en la Fig. 4-21, utilizan fundamentalmente el sistema de rectificación en puente, con la salvedad de que no se precisa transformador. En este caso, la tensión a medir se aplica a través de una resistencia R a dos vértices del puente, y entre los otros vértices del puente se coloca un miliamperímetro de continua. Como el miliamperímetro de continua da valores medios de corriente, la escala se calibra en valores eficaces cuando se trata de medir una tensión senoidal entre los terminales de entrada. Por esto resulta que este instrumento no señala correctamente cuando se emplea con formas de onda que contengan muchos armónicos.

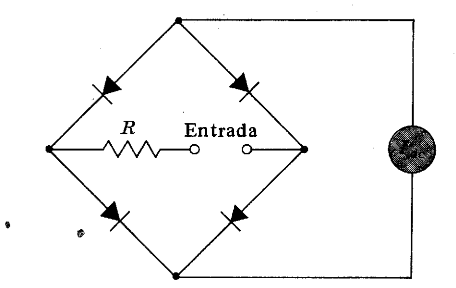


Fig. 4-21. Rectificador para medidor

Multiplicadores de tensión. En la Fig. 4-22 se ha indicado un circuito doblador de tensión que suministra a la carga aproximadamente el doble de la tensión máxima del transformador. Este circuito funciona cargando alternativamente cada uno de los dos condensadores a la tensión de pico del transformador V_m, y la corriente va fluyendo continuamente de ellos a la carga. Los condensadores también actúan como suavizadores del rizado de la tensión de la salida.

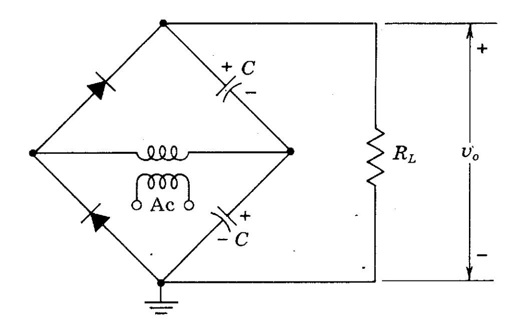


Fig. 4-22. Circuito puente doblador de tensión. Está constituido por el circuito puente monofásico de onda completa, de la Fig. 4-19, sustituyendo dos diodos por dos condensadores

Este circuito se caracteriza por su pobre regulación salvo que se empleen grandes condensadores. La tensión inversa en los diodos durante el ciclo de no conducción es el doble de la tensión de pico del transformador. Su funcionamiento se comprenderá mejor después de haber estudiado los filtros de condensador de la sección siguiente.

4-10. FILTROS DE CONDENSADOR

El filtrado suele realizarse colocando un condensador en paralelo con la carga. El funcionamiento de este sistema se basa en el hecho de que el condensador almacena energía durante el período de conducción y libera esta energía sobre la carga durante el período de no conducción o inverso. En estas circunstancias, el tiempo durante el que la corriente pasa a través de la carga se prolonga y el rizado disminuye considerablemente. La tensión de rizado se define como la desviación de la tensión de la carga de su valor medio o continuo.

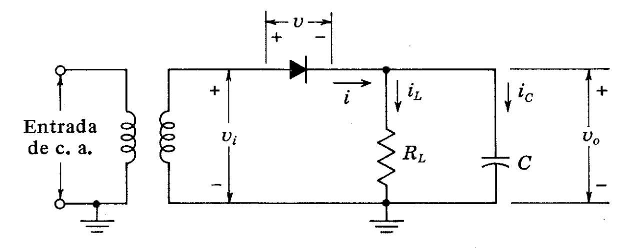


Fig. 4-23. Rectificador de media onda con condensador de filtro

Consideremos el rectificador de media onda con condensador de la Fig. 4-23. Supongamos, en primer lugar, que la resistencia de la carga es infinita: $R_L = \infty$. El condensador se cargará al potencial V_m, que es el máximo del transformador. Por otra parte, el condensador se mantendrá a este potencial porque no hay ningún camino para descargarse ya que el diodo no permite la circulación en sentido inverso. La resistencia del diodo es infinita en el sentido inverso, y no podrá descargarse durante esta porción del ciclo. En consecuencia, la acción del filtro es perfecta, y la tensión del condensador v_o permanece constantemente a la tensión de pico, tal como se ve en la Fig. 4-24.

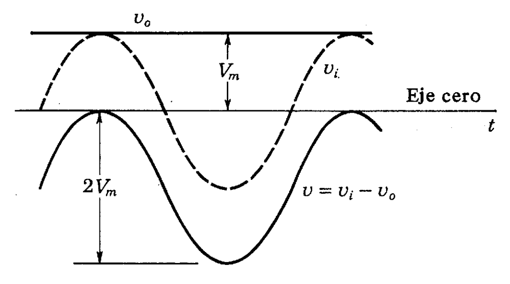


Fig. 4-24. Tensiones en vacío en un rectificador de media onda con filtro por condensador. La tensión de salida v_o es constante, e indica un filtrado perfecto. La tensión en el diodo v es negativa en todo momento, y la tensión inversa de pico es de 2 V_m

La tensión v_o, a su vez, es la misma que la de la carga resistiva, ya que los dos elementos están en paralelo. La tensión v del diodo viene dada por:

$$v = v_i - v_o \,. \qquad (4\text{-}23)$$

Vemos en la Fig. 4-24 que la tensión del diodo es siempre negativa y que la tensión inversa de pico es doble de la máxima del transformador. Por lo tanto, la presencia de un condensador es causa de que la tensión inversa de pico aumente desde un valor igual al máximo del transformador existente cuando no se utiliza condensador, hasta un valor igual al doble del máximo del transformador, cuando se emplea el filtro.

Supongamos ahora que la resistencia de carga R_L es finita. Sin el condensador de filtro de entrada, la corriente y la tensión en la carga durante el período de conducción serán funciones senoidales del tiempo. La inclusión de un condensador en el circuito motiva que éste se vaya cargando escalonadamente cuando se aplica tensión. Por otra parte, el condensador debe descargarse a través de la resistencia de carga, ya que el diodo evita la corriente en dirección negativa. Naturalmente, el diodo actúa como un interruptor que permite que el condensador se cargue cuando la tensión del transformador supere a la del condensador, y desconecta cuando la del transformador caiga por debajo de la del condensador.

El análisis se desarrolla en dos partes: primero se estudian las condiciones durante la conducción; y luego durante el estado de bloqueo.

Diodo en estado de conducción. Si se desprecia la caída de potencial en el diodo, la tensión del transformador se aplica directamente sobre la carga. La tensión de salida es $v_o = V_m$ sean ωt. Surge inmediatamente una pregunta: ¿durante qué intervalo de tiempo es aplicable esta ecuación? En otras palabras, ¿en qué porción del ciclo el diodo permanece conductor? El punto a partir del cual el diodo empieza a conducir se denomina *punto umbral*, y el de final de conducción se llama *punto corte.* El instante de corte t_1 y el de umbral t_2 se indican en la Fig. 4-25, en la que se observa que la forma de onda de salida consta de porciones de senoides (cuando los diodos conducen) junto con segmentos exponenciales (cuando los diodos están al corte).

Vamos a calcular ahora el ángulo de corte partiendo de la expresión de la corriente del diodo i y buscando el momento en que $i = 0$. Cuando el diodo conduce, $v_o = V_m$ sen ωt

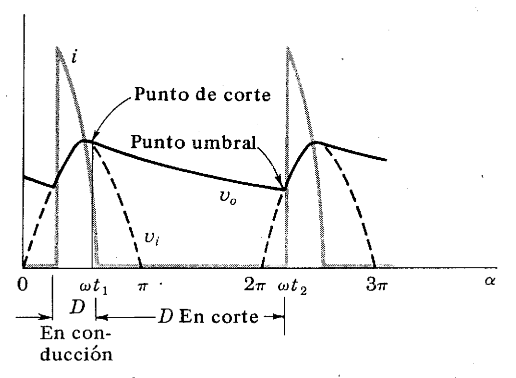


Fig. 4-25. Bosquejo teórico de la corriente i a través del diodo y la tensión de salida v_o de un rectificador de media onda, con un condensador de filtro

e i es la suma de la corriente de carga resistiva i_L y la de la capacidad i_C. Por lo tanto:

$$i = \frac{v_o}{R_L} + C\frac{dv_o}{dt} = \frac{V_m}{R_L} \text{ sen } \omega t + \omega C V_m \cos \omega t \,. \qquad (4\text{-}24)$$

Esta corriente es de la forma $i = I_m$ sen $(\omega t + \psi)$ en que:

$$I_m \equiv V_m \sqrt{\frac{1}{R_L{}^2} + \omega^2 C^2} \qquad \psi \equiv \text{arc tg } \omega C R_L \,. \qquad (4\text{-}25)$$

El instante de corte t_1 se halla haciendo $i = 0$ para $t = t_1$, lo que nos lleva a:

$$\omega t_1 = \pi - \psi \qquad (4\text{-}26)$$

para el ángulo de corte ωt_1 en el primer ciclo. La corriente del diodo se indica en la Fig. 4-25.

La ecuación (4-25) demuestra que el empleo de grandes capacidades para el filtrado con una carga R_L dada va acompañada de grandes picos de la corriente I_m en los diodos. Para una corriente de carga media especificada, i tiene un pico más elevado y la conducción se realiza durante menor tiempo a medida que aumenta C. Esto nos indica que el empleo de filtros de condensador puede imponer serias restricciones a los diodos, ya que la corriente media puede estar dentro de los márgenes de utilización del diodo, y en cambio los picos ser excesivos.

Diodo en estado de bloqueo. En el intervalo comprendido entre el instante del corte t_1 y el umbral t_2, el diodo está efectivamente fuera de servicio, y el condensador se descarga a través de la carga resistiva con una constante de tiempo de CR_L. De ahí que la tensión del condensador (igual a la tensión de la carga) sea:

$$v_o = A\epsilon^{-t/CR_L} \,. \qquad (4\text{-}27)$$

Para determinar el valor de la constante A, obsérvese en la Fig. 4-25 que, en el instante de corte $t = t_1$, $v_o = v_i = V_m$ sen ωt_1. La Ec. (4-27) toma la forma:

$$v_o = (V_m \text{ sen } \omega t_1)\epsilon^{-(t-t_1)/CR_L} \qquad (4\text{-}28)$$

Como t_1 se conoce de la Ec. (4-26), v_o puede obtenerse en función del tiempo. Esta curva exponencial aparece en la Fig. 4-25, y su intersección con la curva V_m sen ωt (en el siguiente ciclo) es el punto de umbral t_2. La validez de este enunciado se basa en el hecho de que, en un instante de tiempo mayor que t_2, la tensión del transformador v_i (la curva senoidal) es mayor que la tensión del condensador v_o (curva exponencial). Como la tensión del diodo es $v = v_i - v_o$, v será positiva después de t_2 y el diodo será conductor. Por tanto, t_2 es el punto de umbral. No se puede dar una expresión analítica para t_2, pero se puede encontrar gráficamente por el método explicado anteriormente.

Circuito de onda completa. Consideremos un rectificador de onda completa con un condensador como filtro colocado en paralelo con la resistencia R_L como en la Fig. 4-19.

Fig. 4-26. Forma de onda aproximada de la tensión en la carga v_o, en un rectificador de onda completa con filtro por condensador

El análisis de este circuito es una simple extensión del correspondiente al de media onda. Si en la figura 4-25 se añade una semisenoide (en trazos) entre π y 2π, el resultado será la onda completa de la tensión de la Fig. 4-26 señalada a trazos. El punto de umbral está comprendido entre π y 2π, donde la porción exponencial de v_o corta a esta senoide. El punto de corte es el mismo encontrado en el rectificador de media onda.

Análisis aproximado. Se puede obtener la tensión de salida en continua para valores dados de los parámetros ω, R_L, C y V_m a partir de la construcción gráfica de la Fig. 4-25. Un análisis de este tipo es complicado y engorroso, y por ello vamos a presentar ahora una solución aproximada sencilla que en la mayoría de los casos es aplicable con suficiente aproximación en ingeniería.

Supondremos que la onda de salida de un circuito de onda completa con filtro de condensador puede representarse por la aproximación lineal indicada en la Fig. 4-26. Para valores grandes de C (tales que $\omega CR_L \gg 1$), observamos en las Ecs. (4-25) y (4-26) que $\omega t_1 \to \pi/2$ y $v_o \to V_m$ para $t = t_1$. También con C muy grande, la caída exponencial de la Ec. (4-28) puede ser reemplazada por una caída lineal. Si la descarga total de tensión del condensador (tensión de rizado) se indica por V_r, en la Fig. 4-26 el valor medio de la tensión es aproximadamente:

$$V_{dc} = V_m - \frac{V_r}{2} \, . \tag{4-29}$$

Es necesario, no obstante, expresar V_r en función de la corriente de carga y de la capacidad. Si T_2 representa el tiempo total de no conducción, el condensador, con una descarga constante de valor I_{dc}, perderá una carga $I_{dc}T_2$. Por lo tanto, la variación de tensión del condensador será $I_{dc}T_2/C$, o sea:

$$V_r = \frac{I_{dc}T_2}{C} \, . \tag{4-30}$$

A mejor acción del filtrado, menor será el tiempo de conducción T_1 y el tiempo T_2 se aproximará al medio ciclo. Por esto supondremos que $T_2 = T/2 = 1/2f$, siendo f la frecuencia fundamental de la red de potencia. Entonces:

$$V_r = \frac{I_{dc}}{2fC} \, , \tag{4-31}$$

y de la Ec. (4-29),

$$V_{dc} = V_m - \frac{I_{dc}}{4fC} \, . \tag{4-32}$$

Este resultado es coherente con el modelo de Thévenin de la Fig. 4-18, con la tensión de circuito abierto $V = V_m$ y la resistencia de salida efectiva $R_o = 1/4fC$.

Vemos que el rizado varía directamente con la corriente de carga I_{dc} e inversamente con la capacidad. De ahí que, para tener un rizado bajo y asegurar una buena regulación, deban emplearse capacidades bastante grandes (del orden de decenas de microfaradios). El tipo de condensador más empleado en estas aplicaciones de rectificación es el electrolítico. Estos condensadores están polarizados y hay que tener cuidado de colocarlos en el circuito con el terminal marcado + al lado positivo de la salida.

Las ventajas más sobresalientes de los rectificadores que empleen condensadores de filtro, son el pequeño rizado y elevada tensión con cargas ligeras. La tensión en vacío es, teóricamente, igual a la máxima del transformador. Los inconvenientes de este sistema son la regulación relativamente pobre, el rizado elevado con grandes cargas, y los picos de corriente que deben pasar por los diodos.

Un análisis similar al anterior referido a los circuitos de media onda, demuestra que el rizado, así como la caída desde el funcionamiento en vacío hasta una carga determinada, son dobles que los calculados para el rectificador de onda completa.

4-11. CIRCUITOS DE DIODOS ADICIONALES

Muchas aplicaciones dependen de los diodos semiconductores considerados en este capítulo. Vamos a mencionar cuatro de ellas a continuación.

Detector de picos. El circuito rectificador de media onda con condensador de filtro de la Fig. 4-23, puede emplearse para medir los valores de pico de las ondas de entrada. Puesto que, para $R_L = \infty$, el condensador se carga al valor máximo V_{max} de v_i, y el diodo queda en estado de bloqueo, v_o permanece igual a V_{max} (suponiendo un condensador ideal con una resistencia de pérdidas en paralelo nula). Nos referimos a la Fig. 4-24, en que $V_{max} = V_m =$ al valor de pico de la senoide de entrada. El detector de picos mejorado se detallará en la Sec. 16-13.

En una transmisión radiofónica la amplitud de la onda de alta frecuencia (denominada *portadora*) varía de acuerdo con la información de audio que se transmite. Este proceso se denomina de *amplitud modulada.* Puede verse una onda así modulada en la Fig. 4-27. La información de audio está contenida en la envolvente (el lugar geométrico, indicado a trazos, de los valores de pico) de la onda modulada. El proceso de extracción de la señal de audio se denomina *detección o demodulación.* Si la entrada de la Fig. 4-23 es la onda modulada indicada en la Fig. 4-27, la salida v_o es la curva señalada en trazo más grueso, supuesto que la constante de tiempo se haya escogido adecuadamente; es decir, R_LC debe ser bastante pequeña para que, cuando la envolvente decrezca en amplitud, la diferencia de potencial entre los extremos de C disminuya con suficiente rapidez para seguir a la envolvente, pero lo suficientemente grande para no introducir excesivo rizado. El orden de magnitud de la frecuencia de la portadora de radio es de unos 1 000 kHz, y el espectro de audio va desde 20 Hz a 20 kHz. Por lo tanto, habrá *cuando menos* 50 ciclos de

Señal de audio detectada

Portadora de alta frecuencia

Envolvente que contiene la información de audio

Fig. 4-27. Onda modulada en amplitud y la señal de audio detectada. (Para mayor facilidad del dibujo, la onda portadora se representa triangular en lugar de senoidal y a frecuencia mucho menor de lo que realmente es, con respecto a la audio frecuencia)

portadora por cada ciclo de audio. Si dibujáramos la Fig. 4-27 más cercana a la realidad (con una mayor relación de frecuencia entre portadora y audio), se vería claramente que la amplitud del rizado de la señal demodulada sería mucho menor. Este rizado de v_o de alta frecuencia y baja amplitud se filtra fácilmente allanando la onda detectada y reproduciendo exactamente la señal de audio. El circuito del rectificador con condensador de la Fig. 4-23 actúa también como *demodulador.*

Circuito limitador. Un problema que se presenta con cierta frecuencia con las ondas periódicas, es la de fijar una extremidad, positiva o negativa, a un nivel de referencia constante V_R. Un circuito limitador de este tipo aparece indicado en la Fig. 4-28*a*. Suponiendo un diodo ideal, la caída de potencial del dispositivo es nula en sentido directo. Por lo tanto, la salida no puede subir más allá de V_R y en esta parte está *limitada* a este nivel. Si la entrada es senoidal con un valor de pico V_m y un valor medio cero, entonces, como queda indicado en la Fig. 4-28, la salida es senoidal, con un valor medio $V_R - V_m$. Esta onda se obtiene bajo las siguientes condiciones: los parámetros del diodo son $R_f = 0$, $R_r = \infty$, y $V_\gamma = 0$; la impedancia de la fuente $R_s = 0$; y la constante de tiempo RC es mucho mayor que el período de la señal. En la práctica, estas restricciones no se satisfacen completamente y la limitación no es perfecta, la tensión de salida sube algo más de V_R, y la forma de onda es una versión algo distorsionada de la entrada.[3]

Circuitos de calculadoras digitales. Como el diodo es un dispositivo binario que tiene dos estados, en conducción o en bloqueo, durante un intervalo de tiempo dado, resulta un

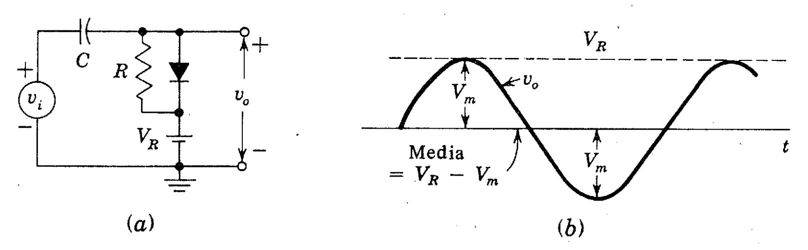


Fig. 4-28. (*a*) Circuito que limita la tensión a V_R. (*b*) Tensión de salida v_o para una entrada senoidal v_i

componente muy corriente en las aplicaciones para calculadoras digitales. Estos circuitos, llamados "lógicos" se estudiarán en el capítulo 6, junto con las aplicaciones binarias de los transistores.

Reguladores constituidos por diodos de avalancha. El circuito básico empleado para disminuir las variaciones de tensión en la carga debidas a las variaciones de la corriente de salida o de la fuente de tensión aparece en la Fig. 3-17 y ha sido explicado en la Sec. 3-11.

REFERENCIAS

1. Millman, J., y H. Taub: "Pulse, Digital, and a Switching Waveforms", sec. 7-11, McGraw-Hill Book Company, Nueva York, 1965.
2. Referencia 1 del capítulo 17.
3. Referencia 1 del capítulo 3.

TEMAS DE REPASO

4-1 Explicar cómo se obtiene la característica dinámica a partir de la curva tensión-corriente de un diodo.

4-2 Dada en forma gráfica la característica *V-I* de salida de un nuevo dispositivo: (*a*) Hallar el circuito empleado en este dispositivo, que requiere la construcción de una recta de carga para determinar i y v; (*b*) Para una carga resistiva infinita, la recta de carga ¿es horizontal, vertical, a 135° o a 45°? (*c*) ¿Y para resistencia cero?

4-3 (*a*) Dibujar la característica tensión corriente aproximada lineal de un diodo *p-n*. (*b*) ¿Cuál es el modelo del circuito para el estado de conducción? (*c*) ¿Y para el estado de bloqueo?

4-4 Considérese un circuito que consiste en un diodo D, una resistencia R y una fuente de señal en serie v_i. Definir: (*a*) características estáticas; (*b*) características dinámicas; (*c*) característica de *transferencia o de transmisión*; (*d*) ¿Cuál es la relación entre (*b*) y (*c*)?

4-5 Consideremos el circuito del tema anterior empleando un diodo de silicio y una resistencia de 100 Ω. (*a*) Dibujar aproximadamente la curva dinámica. (*b*) Si la entrada es de $v_i = -1 + A$ sen ωt, dibujar la forma de onda de la corriente para A = 1,5, 2,0 y 5,0 V.

4-6 Supongamos que en el circuito del tema 4-4, $v_i = V_m$ sen ωt. Si el diodo es representado por medio de la equivalente lineal, encontrar la corriente en función del tiempo y dibujarla.

4-7 ¿Qué se entiende por *región de avalancha* del diodo?

4-8 En el análisis de un circuito que contenga varios diodos mediante el método de la equivalente lineal, se supone que algunos de los diodos están en conducción y otros en bloqueo. Explíquese cuidadosamente cómo se determinará si lo supuesto para cada diodo es cierto.

4-9 Considérese un circuito en serie que consista en un diodo D, una resistencia R, una batería de referencia V_R y una señal de entrada v_i. La salida se toma entre R y V_R en serie. Dibujar la característica de transferencia si el ánodo de D se conecta al terminal positivo de la batería. Emplear el modelo lineal aproximado del diodo.

4-10 Repetir el tema 4-9 con el ánodo de D conectado al terminal negativo de la batería.

4-11 Si v_i es senoidal y D es ideal (con $R_f = 0$, $V_\gamma = 0$ y $R_r = \infty$), hallar la forma de onda de salida del tema (*a*) 4-9, (*b*) 4-10.

4-12 Indicar el circuito de un *limitador dipolo* empleando diodos ideales *p-n* que limitarán la salida entre ± 10 V.

4-13 Repetir el tema 4-12 empleando diodos de avalancha.

4-14 (*a*) ¿Qué es un *circuito comparador*? (*b*) ¿En qué difiere de un circuito limitador?

4-15 (*a*) ¿Qué es una *puerta de discriminación*? (*b*) Dibujar un circuito con cuatro diodos correspondiente a una puerta de discriminación.

4-16 Definir mediante explicación y ecuación: (*a*) la corriente continua I_{dc}; (*b*) la tensión continua V_{dc}; (*c*) la corriente alterna I_{rms}.

4-17 (*a*) Esbozar el circuito de un rectificador de onda completa. (*b*) Deducir la ecuación de: (1) la corriente continua; (2) la tensión continua de la carga; (3) la tensión continua del diodo; (4) la corriente eficaz.

4-18 (*a*) Definir la *regulación.* (*b*) Deducir la ecuación de la regulación para un circuito de onda completa.

4-19 Dibujar el modelo de Thévenin del rectificador de onda completa.

4-20 (*a*) Definir la *tensión inversa de pico.* (*b*) ¿Cuál es la tensión inversa de pico de un circuito de onda completa en el caso de emplear diodos ideales? (*c*) Repetir el apartado *b* para un rectificador de media onda.

4-21 Indicar el circuito de un rectificador en puente y explicar su funcionamiento.

4-22 Repetir el tema 4-21 para el circuito rectificador de un medidor.

4-23 Repetir el tema 4-21 para un multiplicador de tensión.

4-24 (*a*) Dibujar el circuito de un rectificador de media onda con condensador. (*b*) Trazar las tensiones en paralelo con el condensador y con el diodo, en ausencia de carga.

4-25 (*a*) Dibujar el circuito de un rectificador capacitivo de onda completa. (*b*) Dibujar la tensión de salida en carga. Indicar, sin hacer cálculos, en qué período de tiempo conducen los diodos. (*c*) Indicar la forma de onda de la corriente en los diodos superpuesta a la de salida.

4-26 Obtener para el circuito del tema 4-25 la ecuación de (*a*) corriente del diodo; (*b*) el ángulo de corte. (*c*) ¿Cómo se halla el ángulo de umbral?

4-27 (*a*) Considérese un rectificador de onda completa que emplee un gran condensador *C*. Esbozar aproximadamente la forma de onda de salida. (*b*) Deducir la tensión de pico del rizado. (*c*) Obtener el modelo de Thévenin para este rectificador.

4-28 Para un circuito rectificador de onda completa con condensador, mencionar (*a*) dos ventajas, (*b*) tres inconvenientes.

4-29 Describir (*a*) *modulación de amplitud* y (*b*) *detección.*

5

Características de los transistores

Vamos a indicar a continuación el comportamiento físico de un triodo semiconductor, denominado *transistor de unión bipolar* (BJT)*. Se estudiará su característica de tensión-corriente y se demostrará que el transistor es capaz de producir amplificación. También se indican las expresiones analíticas relativas a las corrientes del transistor con respecto a la tensión de la unión. Se dan los valores típicos de la tensión, para varias formas distintas de funcionamiento.

5-1. EL TRANSISTOR DE UNION[1]

Un transistor de unión consiste en un cristal de silicio (o germanio) en el que una capa de silicio tipo *n* está colocada entre dos capas de silicio tipo *p*. Un transistor también puede estar constituido por dos capas de material tipo *n* que encierran una capa de semiconductor tipo *p*. En el primer caso, el transistor se define como transistor *p-n-p*, y en el segundo como *n-p-n*. El conjunto semiconductor es extremadamente pequeño, y está herméticamente protegido contra la humedad por una caja de plástico o de metal. En la Sec. 5-4 se describen diversas técnicas de fabricación y detalles de construcción.

Los dos tipos de transistores están representados en la Fig. 5-1*a*. En la Fig. 5-1*b* se indican las representaciones esquemáticas empleadas para el caso de que los transistores se empleen como elementos de un circuito. Las tres partes del transistor se conocen con los nombres de *emisor, base* y *colector.* La flecha del emisor indica la dirección de la corriente cuando la unión emisor-base está polarizada en sentido directo. En todos los casos, —es decir, para el emisor, la base o el colector— las corrientes I_E, I_B e I_C, respectivamente, se considerarán positivas cuando vayan hacia el interior del transistor. Los símbolos V_{EB}, V_{CB}, y V_{CE} representan las tensiones emisor-base, colector-base y colector-emisor respectivamente. (En forma más específica, V_{EB} representa la *caída* de potencial desde el emisor a la base.)

* Del inglés Bipolar Junction Transistor (N. del T.).

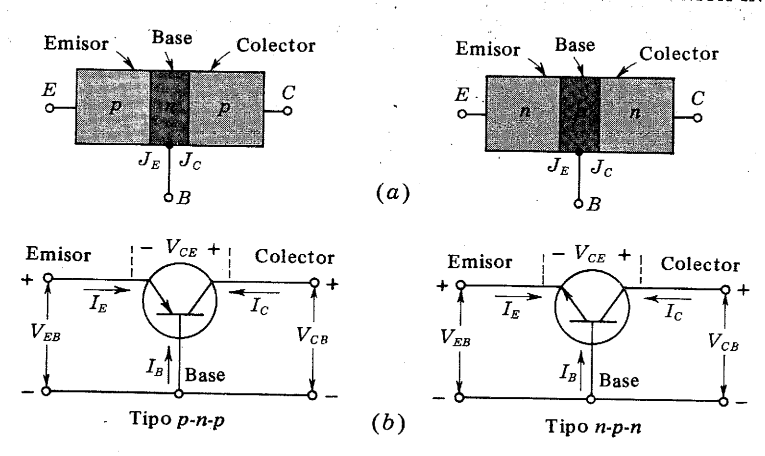


Fig. 5-1. (a) Un transistor *p-n-p* y uno *n-p-n*. La unión del emisor (colector) es J_E (J_C). (b) Circuito de los dos tipos de transistores

El transistor en circuito abierto. Si no se aplica ninguna tensión de polarización, todas las corrientes del transistor deben ser nulas. Las barreras de potencial de las uniones se ajustan a la diferencia de potencial de contacto V_o –dada en la Ec. (2-63) (unas pocas décimas de volt) –requerida para que ningún portador libre atraviese la unión. Si suponemos una unión completamente simétrica (las regiones del emisor y del colector con idénticas dimensiones físicas y concentración de impurezas), las alturas de las barreras son idénticas para la unión de emisor J_E y para la unión del colector J_C, tal como indica la Fig. 5-2*a*. La estrecha región de carga especial de las uniones se ha despreciado.

En circuito abierto, la concentración de minoritarios es constante dentro de cada sección y es igual a su valor de equilibrio térmico, n_{po} en las regiones de emisor y colector de tipo *p* y p_{no} en la base tipo *n*, como aparece en la Fig. 5-2*b*. Ya que el transistor puede considerarse como un diodo *p-n* seguido de otro diodo *n-p*, muchas de las teorías desarrolladas en los capítulos precedentes para los diodos de unión servirán para explicar el comportamiento físico del transistor, cuando se apliquen tensiones que perturben la situación de equilibrio indicada en la Fig. 5-2.

Polarización del transistor en la región activa. Podemos apreciar las prestaciones esenciales de un transistor como elemento activo de un circuito, considerando la situación expuesta en la Fig. 5-3*a*. En ella aparece un transistor *p-n-p* con fuentes de alimentación

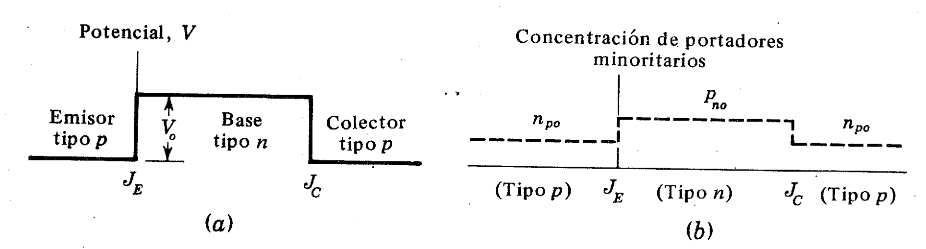


Fig. 5-2. (a) Potencial y (b) densidad de portadores minoritarios en cada sección de un transistor *p-n-p* simétrico con circuito abierto

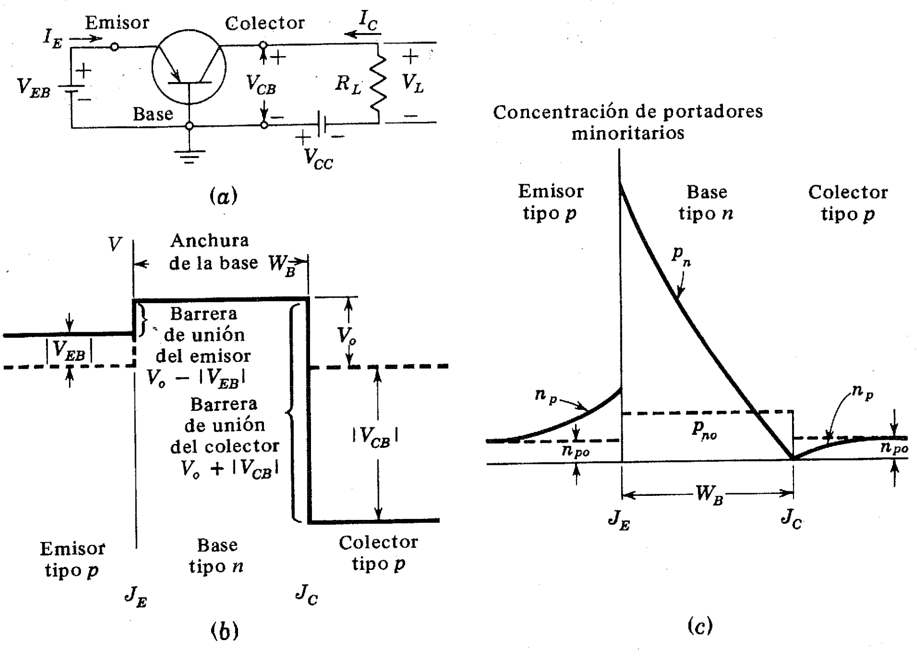


Fig. 5-3. (a) Transistor *p-n-p* polarizado en la región activa (el emisor está polarizado en sentido directo y el colector en el inverso). (b) Variación de potencial a través del transistor. Las zonas de transición en las uniones son muy pequeñas y se desprecian. (c) Concentración de portadores minoritarios en cada sección del transistor. Se ha supuesto que el emisor está mucho más drogado que la base

que sirven para polarizar la unión emisor-base en sentido directo, y la unión colector-base en sentido inverso. En la Fig. 5-3*b* vemos la variación del potencial en el transistor polarizado. La curva de trazos corresponde al caso anterior a la aplicación de la polarización externa (Fig. 5-2*a*), y la curva de trazo continuo al posterior a dicha polarización. Las tensiones aplicadas externamente aparecen fundamentalmente en las uniones. Por tanto, como indica la Fig. 5-3*b*, la polarización directa de la unión del emisor disminuye la barrera de potencial de emisor-base en $|V_{EB}|$, mientras que la polarización inversa de la unión del colector aumenta el potencial colector-base en $|V_{CB}|$. La disminución de la barrera emisor-base permite la inyección de portadores minoritarios; es decir, se inyectan huecos en la base y electrones en la región del emisor. El exceso de huecos se difunde a través de la base tipo *n*, cuya intensidad de campo eléctrico es cero, hacia la unión del colector. En J_C el campo es positivo y elevado ($\mathcal{E} = -dV/dx \gg 0$), y, por tanto, los huecos son acelerados a través de esta unión. En otras palabras, los huecos que alcanzan J_C descienden por la barrera de potencial y son absorbidos por el colector. Puesto que el potencial aplicado en J_C es negativo, entonces, por la ley de la unión, Ec. (3-4), p_n se reduce a cero en el colector como indica la Fig. 5-3*c*. En forma parecida, la polarización inversa de la unión del colector reduce la densidad de electrones del colector n_p a cero en J_C. La curva de densidad de portadores minoritarios dibujada en la Fig. 5-3*c* debe compararse con las de concentraciones de la unión *p-n* polarizadas directa e inversamente, dibujadas en la Fig. 3-14.

5-2. COMPONENTES DE LA CORRIENTE DEL TRANSISTOR

En la Fig. 5-4 se indican las diversas componentes de la corriente que circula por la unión polarizada directa del emisor y por la polarizada inversa de colector. La corriente de emisor I_E está constituida por huecos I_{pE} (que van desde el emisor a la base) y de electrones I_{nE} (que van de la base al emisor). La relación entre corriente de huecos y de electrones, I_{pE}/I_{nE}, que atraviesan la unión del emisor es proporcional a la relación de conductividades entre los materiales tipo p y tipo n. En los transistores comerciales el drogado del emisor es mucho mayor que el de la base, circunstancia que asegura (en un transistor *p-n-p*) que la corriente de emisor consista casi enteramente en huecos. Esta situación es deseable, ya que la corriente de electrones que atraviesa la unión del emisor, desde la base al emisor, no contribuye con portadores que puedan alcanzar el colector.

Suponemos una inyección a bajo nivel, y por tanto (Sec. 2-11) la corriente de minoritarios I_{pE} es la corriente de *difusión* de huecos a la base y su magnitud es proporcional a la pendiente en J_E de la curva p_n [Ec. (2-36)]. Igualmente, I_{nE} es la corriente de *difusión* de electrones en el emisor, y su valor es proporcional a la pendiente en J_E de la curva n_p. Obsérvese que I_{pE} y I_{nE} corresponden a la corriente de difusión de portadores minoritarios $I_{pn}(0)$ e $I_{np}(0)$, respectivamente, en la Fig. 3-4, para la corriente que atraviesa la unión *p-n*. Ya que la corriente total que atraviesa la unión de la Fig. 3-4 es $I = I_{pn}(0) + I_{np}(0)$, la corriente total del emisor en la Fig. 5-4 será:

$$I_E = I_{pE} + I_{nE}\,. \tag{5-1}$$

Todas las corrientes de esta ecuación son positivas para el transistor *p-n-p*.

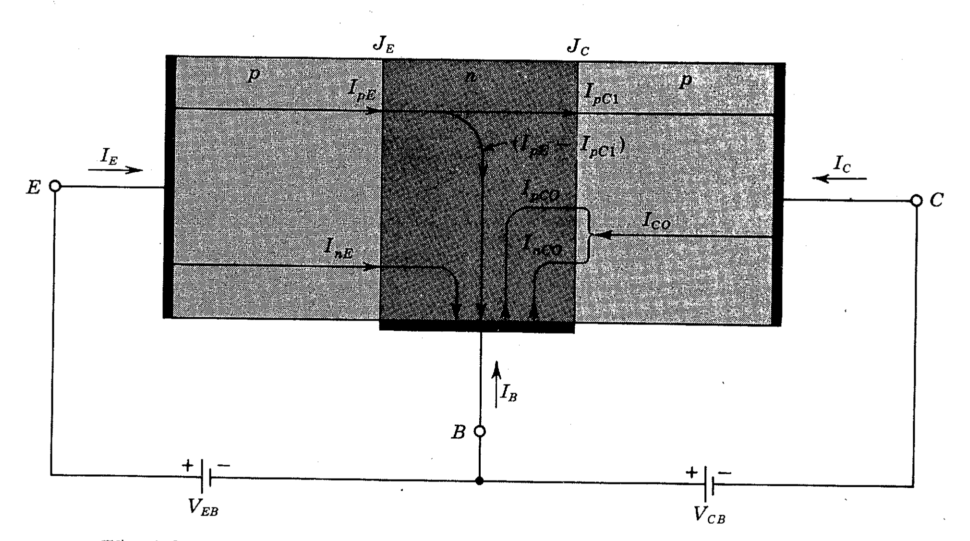


Fig. 5-4. Componentes de corriente en un transistor en el caso de estar el emisor polarizado directo y el colector inverso. Si la corriente tiene un subíndice p o n indica que ésta consiste en huecos o electrones que se mueven en el mismo sentido o en el opuesto al que indica la flecha

No todos los huecos que atraviesan la unión del emisor J_E alcanzan la unión del colector J_C, sino que algunos de ellos se combinan con los electrones de la base tipo n. En la Fig. 5-4, I_{pC1} representa la corriente de huecos por J_C resultantes de los que atraviesan la base desde el emisor. De ahí que haya un cierto volumen de corriente de recombinación de huecos $I_{pE} - I_{pC1}$ que dejan la base, como indica la Fig. 5-4 (en realidad, entran electrones a la región de la base, desde el circuito exterior, por su terminal, compensando las cargas perdidas por la recombinación con los huecos inyectados a la base a través de J_E).

Consideremos, por el momento, un emisor en circuito abierto, mientras la unión del colector permanece polarizada en sentido inverso. En este caso, I_C debe igualar la corriente de saturación I_{CO} del diodo polarizado inverso J_C. Esta corriente *inversa* está constituida por dos componentes, como indica la Fig. 5-4, I_{nCO} formada por electrones que se mueven de la parte p a la n atravesando J_C y el término I_{pCO}, resultante de los huecos que pasan desde n a p por J_C.

$$-I_{CO} = I_{nCO} + I_{pCO} \tag{5-2}$$

(El signo menos se elige arbitrariamente para que I_C e I_{CO} tengan el mismo signo.)

Como $I_E = 0$ en circuito abierto, no se inyectan huecos a través de J_E, y por lo tanto ninguno puede alcanzar J_C desde el emisor. Naturalmente, I_{pCo} resulta de la pequeña concentración de huecos generada térmicamente dentro de la base.

Volvamos ahora a la situación indicada en la Fig. 5-4, en que el emisor está polarizado en directo de modo que:

$$I_C = I_{CO} - I_{pC1} = I_{CO} - \alpha I_E \tag{5-3}$$

en que α se define como la fracción de la corriente total de emisor [dada en la Ec. (5-1)] que representa los huecos que han atravesado del emisor, por la base, al colector. En un transistor *p-n-p*, I_E es positiva e I_C e I_{CO} son ambas negativas, lo cual significa que, en el terminal del colector, la corriente está en dirección opuesta a la que se indica por la flecha de I_C en la Fig. 5-4. Para un transistor *n-p-n*, estas corrientes circulan en sentido contrario.

La corriente de electrones que atraviesa J_C es I_{nCO} y representa los electrones que se difunden desde el colector a la base (y por tanto una corriente positiva, desde la base al colector), y su magnitud es proporcional a la pendiente en J_C de la distribución n_p de la Fig. 5-3*c*. La corriente total de difusión de huecos que atraviesa J_C desde la base es:

$$I_{pC} \equiv I_{pC1} + I_{pCO} \tag{5-4}$$

y su magnitud es proporcional a la pendiente en J_C de la distribución p_n en la Fig. 5-3*c*.

Ganancia de corriente α con grandes señales. De la Ec. (5-3) se deduce que α puede definirse como la relación cambiada de signo entre el incremento de la corriente de colector desde el corte ($I_C = I_{CO}$) y la variación de la corriente del emisor desde el corte ($I_E = 0$), o sea:

$$\alpha \equiv -\frac{I_C - I_{CO}}{I_E - 0} \tag{5-5}$$

Alfa es llamada la *ganancia de corriente para grandes señales* de un transistor en base común. Como I_C e I_E tienen signos opuestos (para ambos transistores *p-n-p* o *n-p-n*), α siempre será positiva. El valor típico de α está comprendido entre 0,90 y 0,995. Debe puntualizarse que α no es constante, sino que varía con la corriente del emisor I_E, la tensión del colector V_{CB} y la temperatura.

Ecuación generalizada del transistor. La ecuación (5-3) sólo es válida en la *región activa*, es decir, si el emisor está polarizado en sentido directo y el colector lo está en sentido inverso. Para este sistema de funcionamiento, la corriente del colector es independiente de la tensión de colector y depende únicamente de la corriente del emisor. Si deseamos generalizar la Ec. (5-3) para que pueda aplicarse, no sólo cuando el colector esté polarizado inverso, sino también para cualquier tensión a través de J_C, basta con reemplazar I_{CO} por la corriente en un diodo *p-n* (formado por las regiones de base y colector). Esta corriente viene dada por la relación tensión-corriente de la Ec. (3-7), con I_o sustituida por $-I_{CO}$ y V por V_C, donde el símbolo V_C representa la caída de potencial a través de J_C desde el lado p al n. La expresión completa de I_C, para cualesquiera V_C e I_E, será:

$$I_C = -\alpha I_E + I_{CO}(1 - \epsilon^{V_C/V_T}) \tag{5-6}$$

Obsérvese que, si V_C es negativa y tiene un valor grande comparado con V_T, la ecuación (5-6) se reduce a la (5-3). La interpretación física de la Ec. (5-6) es la de que la corriente de la unión *p-n* del diodo que cruza la unión del colector se ve aumentada por la fracción α de la corriente I_E que fluye desde el emisor. Esta relación se obtiene en la Sec. 19-14, valorando cuantitativamente las diversas componentes de la corriente indicadas anteriormente.

Hay que resaltar la similitud entre las Ecs. (5-6) y (3-34) para el fotodiodo. Ambas ecuaciones representan las características tensión-corriente de un diodo polarizado en sentido inverso (con corriente de saturación inversa $I_O = I_{CO}$) y sometido a una excitación externa. En el caso del fotodiodo, el estímulo externo es la radiación, que inyecta portadores minoritarios al semiconductor, dando como resultado una corriente I_s. Esta componente de corriente, que es proporcional a la intensidad de luz, aumenta la corriente de la unión simple del diodo *p-n*. Igualmente, para el transistor, la corriente del diodo colector-base es aumentada con el término $-\alpha I_E$, que es proporcional a la "excitación externa", en este caso la corriente del emisor resultante de la tensión aplicada entre emisor y base.

5-3. EL TRANSISTOR COMO AMPLIFICADOR

Se conecta una carga resistiva R_L en serie con la tensión de alimentación del colector V_{CC} de la Fig. 5-3*a*. Una pequeña variación de tensión ΔV_i entre emisor y base provoca un cambio relativamente grande ΔI_E de la corriente de emisor. Definiremos con el símbolo α' la fracción de esta corriente que es tomada por el colector y pasa a través de R_L, o sea $\Delta I_C = \alpha' \Delta I_E$. La variación de la tensión de salida en la resistencia de carga:

$$\Delta V_L = -R_L\, \Delta I_C = -\alpha' R_L \Delta I_E$$

puede ser de varias veces la variación de la entrada ΔV_i. En estas circunstancias, la

amplificación de tensión $A \equiv \Delta V_L/\Delta V_I$ será mayor que la unidad, y el transistor actúa como amplificador. Si la resistencia dinámica de la unión del emisor es r_e, tendremos $\Delta V_i = r_e \Delta I_E$, y:

$$A \equiv -\frac{\alpha' R_L \Delta I_E}{r_e\, \Delta I_E} = -\frac{\alpha' R_L}{r_e}\,. \tag{5-7}$$

De la Ec. (3-14), $r_e = 26/I_E$, siendo I_E la corriente de reposo del emisor en miliampere. Por ejemplo, si $r_e = 40\ \Omega$, $\alpha' = -1$, y $R_L = 3.000\ \Omega$, $A = +75$. Este cálculo está muy simplificado, pero en esencia es correcto y da una explicación física del porqué el transistor actúa como amplificador. El transistor da lugar a una amplificación de potencia, al igual que a amplificación de tensión o de corriente. Por la anterior explicación, está claro que la corriente se transfiere desde el circuito de entrada de baja resistencia al circuito de salida de resistencia elevada. La palabra "transistor", que proviene de la contracción "resistencia transferida" (*transfer resistor*), está basada en el fenómeno físico que acabamos de explicar.

El parámetro α'. El parámetro α' introducido más arriba se define como la relación entre variación de la corriente del colector y la variación de la corriente del emisor para una tensión constante de colector a base, y se denomina el *valor negativo de la relación de transferencia para pequeña señal de la corriente de corto circuito, o ganancia.* Más específicamente:

$$\alpha' \equiv \frac{\Delta I_C}{\Delta I_E}\bigg|_{V_{CB}} \tag{5-8}$$

En el supuesto de que α sea independiente de I_E, de la Ec. (5-3) se obtiene que $\alpha' = -\alpha$.

5-4. FABRICACION DE TRANSISTORES

Se han desarrollado cuatro técnicas básicas para la fabricación de transistores, diodos y otros elementos semiconductores, y por lo tanto los podremos clasificar[2,3] en uno de los siguientes tipos: de crecimiento, de aleación, de difusión y epitaxial.

Tipo de crecimiento. En la figura 5-5*a* se representa un transistor *n-p-n* del tipo de fabricación por crecimiento. Se parte de un cristal de silicio o de germanio al que, durante su formación, se le van añadiendo las impurezas tipo p y n necesarias.

Tipo de aleación. Esta técnica, denominada también de *fusión*, está dibujada en la Fig. 5-5 para un transistor *p-n-p*. La sección central (base) es una fina oblea de material tipo n. Se colocan dos pequeños granos de indio en los lados opuestos de la oblea, y tal estructura se lleva durante un corto tiempo a temperatura elevada, por encima del punto de fusión del indio, pero menor que el del germanio. El indio disuelve el germanio y forma una solución saturada. Al enfriarse, el germanio en contacto con el material base recristaliza con bastante concentración de indio, la suficiente para cambiar de tipo n a p. El colector se hace mayor que el emisor, para obtener un ángulo grande visto desde el emisor. Debido a esta construcción geométrica, fluye muy poca corriente del emisor a la base.

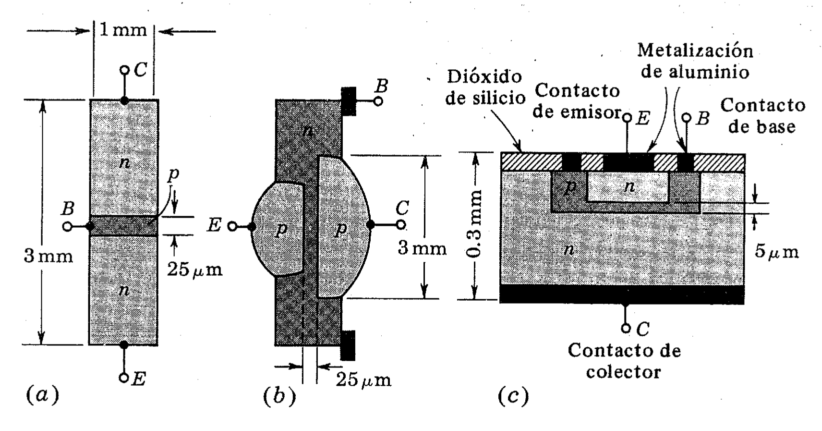


Fig. 5-5. Construcción de transistores. (*a*) De crecimiento, (*b*) de aleación, (*c*) planar (de difusión). Las dimensiones son aproximadas, y las figuras no están a escala

Tipo de difusión. Esta técnica consiste en someter una oblea de semiconductor a una difusión gaseosa de impurezas, ya sean de tipo *n* o bien del *p*, para formar las uniones del emisor y del colector. En la Fig. 5-5*c* se representa un transistor de silicio *planar* del tipo de difusión. En este procedimiento (descrito con mayor detalle en el capítulo 7 con motivo de la fabricación de circuitos integrados), el área de la unión base-colector queda determinada por una máscara de difusión. El emisor se difunde seguidamente en la base a partir de una nueva máscara. Una delgada capa de dióxido de silicio se deposita sobre la superficie entera y se efectúa una corrosión a base de una fotosensibilización, pudiéndose hacer contactos de aluminio para los terminales de la base y del emisor (Fig. 5-5*c*). Debido a la acción pasivadora de esta capa de óxido, se resuelven la mayor parte de los problemas de superficie y dando lugar a unas corrientes de fuga muy pequeñas. También se mejora la ganancia de corriente para pequeñas intensidades y el ruido.

Tipo epitaxial. La técnica epitaxial (Sec. 7-2) consiste en formar una capa muy delgada de monocristal de silicio o de germanio, de elevada pureza, sobre un sustrato del mismo material fuertemente drogado. Este cristal constituye el colector en el que pueden difundirse la base y el emisor (Fig. 7-6).

Las técnicas anteriores pueden combinarse, y por tanto existe un gran número de métodos para construir transistores; por ejemplo, hay los tipos de *difusión-aleación, crecimiento-difusión, aleación de emisor epitaxial de base,* etc. En el capítulo 11 se explica el comportamiento especial de transistores a altas frecuencias. Las características de tensión-corriente a bajas frecuencias son fundamentalmente las mismas para todos los tipos de transistores, y los comentarios siguientes se pueden aplicar a todas ellas.

Finalmente, debido a su significado histórico, hemos de mencionar el primer tipo de transistor que se fabricó. Este elemento consistía en dos puntas afiladas de hilo de tungsteno apoyadas sobre una oblea semiconductora. No obstante, la fiabilidad y reproductibilidad de estos transistores de puntas de contacto es muy pobre, y en consecuencia no tienen importancia práctica.

5-5. CONFIGURACION EN BASE COMUN

En la Fig. 5-3*a*, aparece un transistor con la *base a tierra*. Este circuito se conoce con el nombre de *base común*, o *BC*, ya que la base es común a los circuitos de entrada y de salida. Para un transistor *p-n-p*, la mayor parte de la corriente se debe a los huecos. Como los huecos circulan de emisor a colector y el terminal de la base está a tierra, al referirnos al convenio de polaridades de la Fig. 5-1, vemos que I_E es positiva, I_C es negativa e I_B es negativa. Para la unión de emisor, polarizada en sentido directo, V_{EB} es positiva, y para la polarización inversa del colector, V_{CB} es negativa. Para un transistor *n-p-n*, todas las polaridades de tensiones y corrientes son contrarias a las del transistor *p-n-p*.

En la Ec. (5-6) vemos que la corriente de salida (del colector) I_C está determinada completamente por la corriente de entrada del emisor I_E, y, la tensión de salida (colector - base) $V_{CB} = V_C$. Esta relación puede escribirse implícitamente de la forma siguiente:

$$I_C = \phi_2(V_{CB}, I_E) \tag{5-9}$$

(esta ecuación se lee: "I_C es función ϕ_2 de V_{CB} y de I_E").

Igualmente, si seguimos eligiendo V_{CB} e I_E como variables independientes, la tensión de entrada (emisor a base) V_{EB} está determinada completamente por estas dos variables. La forma implícita de las características de entrada viene dada por:

$$V_{EB} = \phi_1(V_{CB}, I_E) \tag{5-10}$$

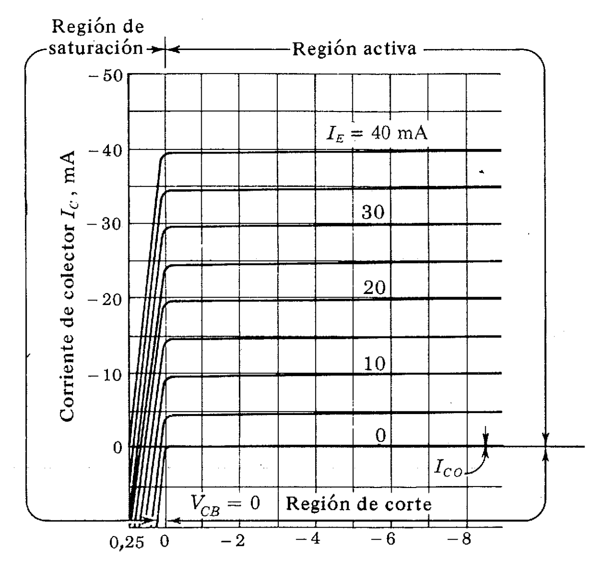


Fig. 5-6. Características de salida típicas de un transistor *p-n-p* en base común. Se indican las regiones de corte, activa y de saturación. Obsérvese que la escala se ha ampliado en la región de saturación

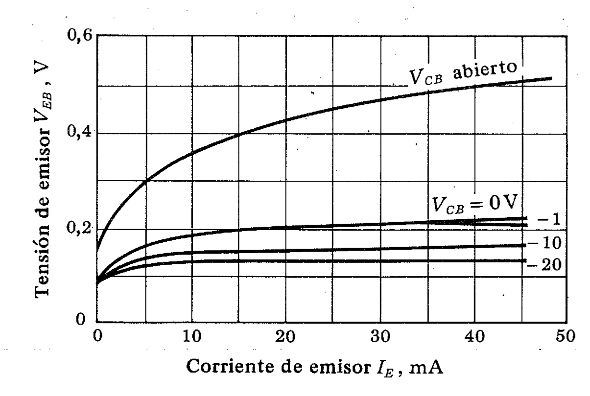


Fig. 5-7. Características de entrada de un transistor de unión de germanio típico *p-n-p* en base común

La Ec. (5-9) se representa en la Fig. 5-6 para un transistor de germanio típico *p-n-p* que da las curvas de corriente de colector I_C en función de la caída de potencial entre colector y base, V_{CB}, con la corriente de emisor I_E como parámetro. Las curvas de la Fig. 5-6 se conocen con el nombre de *características estáticas de salida o de colector.* La Ec. (5-10) aparece representada en la Fig. 5-7 para el mismo transistor, y las curvas son las de la tensión emisor-base V_{EB} en función de la corriente del emisor I_E, con la tensión colector-base V_{CB} como parámetro. Esta familia de curvas se denomina *características estáticas, de entrada, o de emisor.* Haremos ahora un paréntesis para estudiar el fenómeno que da lugar a la pendiente de las características del transistor.

Efecto Early, o modulación de la anchura de la base.[4] En la Fig. 5-3, se desprecian las regiones estrechas de la carga espacial en las cercanías de las uniones. Vamos ahora a reconsiderar esta restricción. Por la Ec. (3-21) vemos que la anchura W de la región de deplexión de un diodo aumenta con el valor de la tensión inversa. Aunque el emisor esté polarizado en sentido directo, la unión del colector lo está en sentido inverso en la región activa; por lo tanto, en la Fig. 5-8 la anchura de la barrera en J_E es despreciable comparada con la anchura de la carga espacial W en J_C.

La región de transición de una unión es la región de cargas descubiertas a ambos lados de la unión hasta la posición ocupada por los átomos de impurezas. A medida que la tensión aplicada a través de la unión aumenta, la región de transición penetra más profundamente en el colector y en la base. Debido a que la neutralidad de las cargas debe mantenerse, el número de cargas al descubierto en cada lado permanece igual. Como el drogado de la base suele ser bastante menor que el del colector, la penetración de la región de transición en la base es mucho mayor que en el colector. Así, pues, la región de deplexión del colector se desprecia en la Fig. 5-8, y todas las cargas inmóviles aparecen en la región de la base.

Si la anchura de la base metálica es W_B, la anchura eléctrica efectiva de la base será $W'_B = W_B - W$. Esta modulación de la anchura efectiva de la base por la tensión del colector se conoce con el nombre de *efecto Early o de aproximación.* La disminución de W'_B al incrementar la tensión inversa del colector tiene tres consecuencias: primera, el efecto de la recombinación dentro de la base es menor. Por lo tanto, α aumenta con el incremento de $|V_{CB}|$. Segundo, el gradiente de concentración de portadores minoritarios p_n aumenta

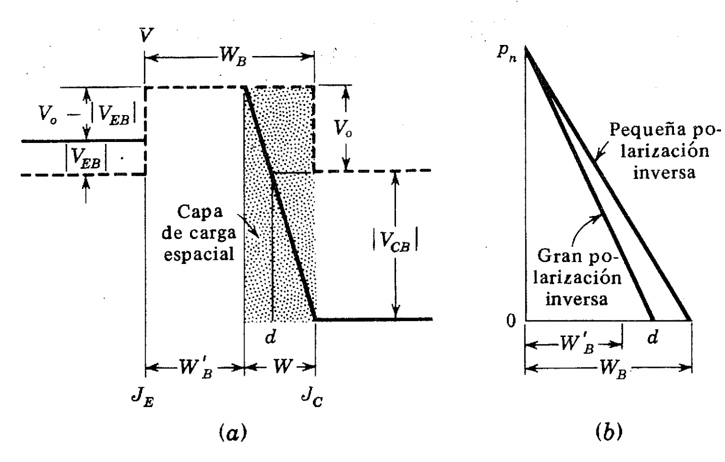


Fig. 5-8. (*a*) Variación de potencial en un transistor *p-n-p*. La anchura de carga espacial, en la unión del colector aumenta, y por tanto la anchura de base efectiva W'_B, disminuye al incrementarse $|V_{CB}|$. (Compárese con la Fig. 5-3.). (*b*) Densidad de carga inyectada de portadores minoritarios en la base

en la base, como indica la Fig. 5-8*b*. Obsérvese que p_n pasa a ser cero a la distancia d (entre W'_B y W_B) donde el potencial con respecto a la base desciende por debajo de V_o. A esta distancia, el potencial efectivo aplicado pasa a ser negativo, y la ley de la unión, Ec. (3-4), indica que $p_n = 0$. Como la corriente de huecos inyectada a través del emisor es proporcional al gradiente de p_n en J_E, I_E aumenta con el incremento de la tensión inversa del colector. Tercero, para grandes tensiones extremas, W'_B puede reducirse a cero, como en la Fig. 5-24, causando la ruptura del transistor. Este fenómeno se conoce con el nombre de *perforación* y será tratado en la Sec. 5-13.

Características de entrada. No es difícil entender cualitativamente la forma de las características de entrada y de salida si consideramos el hecho de que el transistor está constituido por dos diodos colocados en serie y "en oposición" (con los dos cátodos conectados entre sí). En la región activa, el diodo de entrada está polarizado en sentido directo (emisor-base). Las características de entrada de la Fig. 5-7 representan simplemente las características directas del diodo emisor-base para varias tensiones de colector. Una particularidad notable de las características de entrada es la de que existe un *umbral* o *codo* V_γ por debajo del cual la corriente del emisor es muy pequeña. En general, V_γ vale aproximadamente 0,1 V para los transistores de germanio (Fig. 5-7) y 0,5 para los de silicio.

La pendiente de las características de entrada puede comprenderse si consideramos que el aumento de la tensión de colector da lugar, debido al efecto de aproximación, a que la corriente de emisor aumente, manteniendo V_{EB} constante. Por lo tanto, la curva se desvía hacia abajo a medida que la V_{CB} aumenta, como indica la Fig. 5-7. La curva correspondiente al colector abierto representa la característica del diodo de emisor polarizado en sentido directo.

Características de salida. Obsérvese, que, como en la Fig. 5-6 hay la costumbre de representar en el eje de abscisas y hacia la derecha la tensión V_{CB}, que polariza inversa-

mente la unión del colector, aunque tal tensión sea negativa. Si $I_E = 0$, la corriente del colector es $I_C = I_{CO}$. Para otros valores de I_E, la corriente inversa del diodo de salida está aumentada por la porción de la corriente directa del diodo de entrada que alcanza al colector. Obsérvese también que I_C e I_{CO} son negativas para un transistor *p-n-p* y positivas para un transistor *n-p-n.*

Región activa. En esta región, *la unión de colector se polariza en sentido inverso y la unión de emisor en sentido directo.* Supongamos primero que la corriente del emisor es nula. Entonces, la corriente de colector es pequeña e igual a la corriente de saturación inversa I_{CO} (microampere para el germanio y nanoampere para el silicio) de la unión del colector considerada como diodo. Supongamos que una corriente de emisor directa I_E circula por el circuito de emisor: la fracción $-\alpha I_E$ de esta corriente alcanza el colector, e I_C viene dada por la Ec. (5-3). En la región activa, la corriente de colector es esencialmente independiente de la tensión del colector y es función solamente de la corriente de emisor. No obstante, debido al efecto de aproximación, vemos en la Fig. 5-6 que en este caso hay un pequeño incremento (quizás el 0,5 %) de I_C con V_{CB}. Debido a que α es menor que la unidad, aunque bastante similar a ella, la corriente de colector es ligeramente menor que la de emisor.

Región de saturación. La región de la izquierda de la ordenada $V_{CB} = 0$, y por encima de la característica $I_E = 0$, en la que *ambas uniones, de colector y de emisor están polarizadas en sentido directo,* se denomina región de *saturación.* Diremos que se ha "caído" porque la tensión desciende cerca del extremo inferior de las características donde $V_{CB} \approx 0$. En realidad V_{CB} es ligeramente positivo (para un transistor *p-n-p*) en esta región, y esta polarización directa de colector logra grandes variaciones de su corriente con pequeñas variaciones en su tensión. Con polarización directa, I_C aumenta exponencialmente con la tensión, de acuerdo con la característica del diodo [Ec.(3-9)]. Una polarización directa significa que el material *p* del colector se hace positivo con respecto a la base *n* y, por lo tanto, que la corriente de huecos circula desde el lado *p*, a través de la unión del colector, hacia el material *n.* Así, pues, la corriente de colector aumenta rápidamente y, como indica la Fig. 5-6, I_C puede llegar a ser positiva si la polarización directa es suficientemente grande.

Región de corte. La característica de $I_E = 0$ pasa por el origen, pero es similar a las otras características. No coincide con el eje de tensiones, aunque esta separación es difícil de ver porque I_{CO} es sólo de unos pocos nanoampere o microampere. La región por debajo de la característica $I_E = 0$, en la que *las uniones de emisor y de colector están ambas polarizadas en sentido inverso,* toma el nombre de *región de corte.* La característica de temperatura de I_{CO} se estudiará en la Sec. 5-7.

5-6. CONFIGURACION EN EMISOR COMUN

La mayor parte de los circuitos tienen el emisor, en lugar de base, como terminal común para la entrada y la salida, La configuración en *emisor común* (EC) o con *emisor a tierra,* aparece indicada en la Fig. 5-9. En *emisor común* (como en base común), la corriente de entrada y la tensión de salida se toman como variables independientes mien-

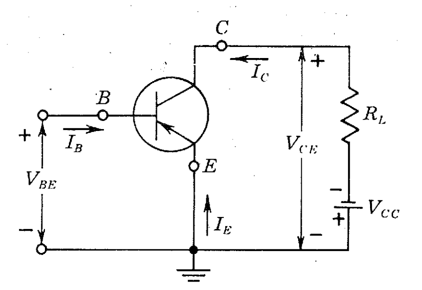


Fig. 5-9. Configuración de un transistor en emisor común. El símbolo V_{CC} es un número positivo que representa la tensión de alimentación

tras que la tensión de entrada y la corriente de salida son variables dependientes. Podemos escribir, pues:

$$V_{BE} = f_1(V_{CE}, I_B) \tag{5-11}$$

$$I_C = f_2(V_{CE}, I_B) \tag{5-12}$$

La ecuación (5-11) describe la familia de curvas características de entrada y la Ec. (5-12) da la familia de curvas características de salida. En las Figs. 5-10 y 5-11, respectivamente, aparecen las curvas características típicas de un transistor de unión de germanio *p-n-p.* En la Fig. 5-10, la abscisa es la tensión de colector-emisor V_{CE}, la ordenada es la corriente de colector I_C, y las curvas están dadas para varios valores de la corriente de base I_B. Para un valor fijo de I_B, la corriente del colector no es muy sensible a V_{CE}. No obstante, las pendientes de las curvas de la Fig. 5-10 son mayores que las de las características en base común de la Fig. 5-6. Obsérvese también que la corriente de base es mucho menor que la corriente de emisor.

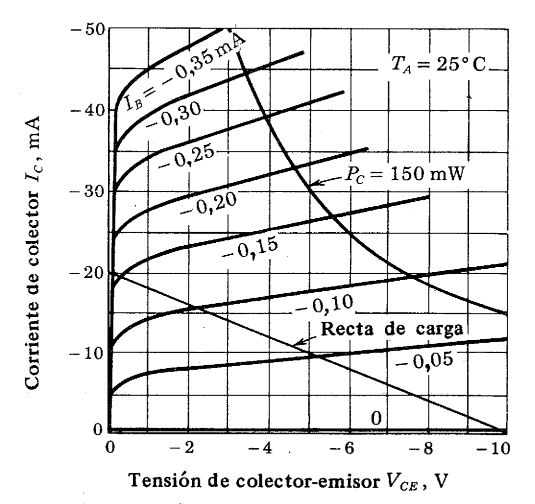


Fig. 5-10. Características de salida típicas de un transistor de unión de germanio *p-n-p* en emisor común. Una recta de carga correspondiente a $V_{CC} = 10$ V y $R_L = 500\ \Omega$ aparece superpuesta. (Cortesía de Texas Instrument, Inc.)

En la Fig. 5-10 se indica el lugar geométrico de todos los puntos cuya disipación es de 150 mW, mediante una línea continua $P_C = 150$ mW. Esta curva es una hipérbola $P_C = V_{CB}I_C \approx V_{CE}I_C$ = constante. A la derecha de esta curva, la disipación supera a la nominal. En la Fig. 5-10, se ha seleccionado $R_L = 500\ \Omega$ y $V_{CC} = 10$ V, y se ha trazado la correspondiente recta de carga sobre las características de salida. El método de construcción de la recta de carga es idéntico al explicado en la Sec. 4-2 para el diodo.

Características de entrada. En la Fig. 5-11 las abscisas son las corrientes de base I_B, y las ordenadas la tensión base-emisor V_{BE}; las curvas vienen dadas para varios valores de la tensión colector-emisor V_{CE}. Observamos que, con el colector en cortocircuito con el emisor y el emisor polarizado en sentido directo, la característica de entrada es, fundamentalmente, la de un diodo polarizado en sentido directo. Si V_{BE} pasa a ser cero, I_B será también cero, ya que en estas condiciones las uniones del colector y del emisor estarán ambas cortocircuitadas. En general, el aumento de V_{CE} manteniendo V_{BE} constante provoca una disminución de la anchura de la base W'_B (Fig. 5-8), y da como resultado una disminución en la corriente de recombinación de base. Estas consideraciones determinan la pendiente de las características de entrada, de la Fig. 5-11.

Las características de entrada de los transistores de silicio son, en cuanto a forma, similares a las de la Fig. 5-11. La única diferencia notable en el caso del silicio es que la corriente deja de ser cero en la gama de 0,5 a 0,6 V, mientras que en el germanio lo hace entre 0,1 y 0,2 V.

Características de salida. Esta familia de curvas puede dividirse en tres regiones, igual que en la configuración en base común. La primera de ellas, la *región activa*, la trataremos aquí, y las de *corte* y *saturación* en las dos próximas secciones.

En la región activa, *la unión del colector está polarizada en sentido inverso y la unión del emisor en sentido directo.* En la Fig. 5-10, la región activa corresponde al área a la derecha de la ordenada V_{CE}, que corresponde a unas pocas décimas de volt, y por encima de $I_B = 0$. En esta región, la corriente de salida del transistor responde más sensiblemente a la señal de entrada. Si el transistor se quiere emplear como amplificador sin apreciable distorsión, debe limitarse a trabajar en esta región.

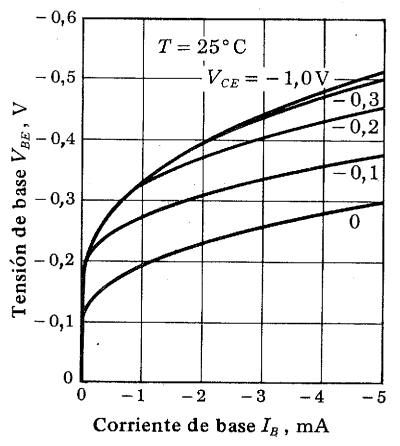


Fig. 5-11. Características de entrada típicas del transistor de unión de germanio *p-n-p* de la Fig. 5-10 en emisor común

Las características en emisor común en la región activa, se entienden fácilmente en forma cualitativa, partiendo de la explicación anterior sobre la configuración en base común. Aplicando las leyes de Kirchhoff de la corriente a la Fig. 5-9, la intensidad de base será:

$$I_B = -(I_C + I_E)\ . \tag{5-13}$$

Combinando esta ecuación con la Ec. (5-3), encontramos:

$$I_C = \frac{I_{CO}}{1-\alpha} + \frac{\alpha I_B}{1-\alpha}\ . \tag{5-14}$$

Si definimos β como:

$$\beta \equiv \frac{\alpha}{1-\alpha}\ , \tag{5-15}$$

la ecuación (5-14) se transforma en:

$$I_C = (1+\beta)I_{CO} + \beta I_B\ . \tag{5-16}$$

Obsérvese que normalmente $I_B \gg I_{CO}$, y por tanto $I_C \approx \beta I_B$ en la región activa.

Si α fuera verdaderamente constante, entonces, de acuerdo con la Ec. (5-14), I_C sería independiente de V_{CE} y las curvas de la Fig. 5-10 serían horizontales. Suponiendo que, debido al efecto de aproximación, α aumente en sólo la mitad del 1 %, de 0,98 a 0,985, vemos que V_{CE} aumenta desde unos pocos volt a 10 V. Entonces el valor de β aumenta desde $0{,}98/(1-0{,}98) = 49$ a $0{,}985/(1-0{,}985) = 66$, o sea aproximadamente el 34 %. Este ejemplo numérico da idea de qué una pequeña variación en α (0,5 %) se refleja en una gran variación del valor de β (34 %). Debe también quedar claro que un ligero cambio en α provoca un gran efecto sobre β y, por lo tanto, sobre las curvas en emisor común. Por consiguiente, las curvas en emisor común están supeditadas a grandes variaciones para cada transistor individual dentro de la misma familia, variaciones que son debidas a que I_B es la diferencia entre dos grandes corrientes casi iguales: I_E e I_C.

Ejemplo: (*a*) Hallar las corrientes en el transistor de la Fig. 5-12*a*. Se considerará un transistor de silicio de $\beta = 100$ e $I_{CO} = 20$ nA $= 2 \times 10^{-5}$ mA. (*b*) Repetir el apartado *a* si se añade una resistencia del 2 KΩ al emisor, como indica la Fig. 5-12*b*.

SOLUCION: *a.* Como la base está polarizada en sentido directo, el transistor no está en corte. Por lo tanto, ha de estar en la región activa o en saturación. Supongamos que lo está en la activa. Aplicando las leyes de Kirchhoff al circuito de la base de la Fig. 5-12*a* (I_B expresada en miliampere), tenemos:

$$-5 + 200\, I_B + V_{BE} = 0$$

Como hemos mencionado anteriormente, 0,7 V es un valor razonable para V_{BE} en la región activa, y por tanto:

$$I_B = \frac{5-0{,}7}{200} = 0{,}0215 \text{ mA}$$

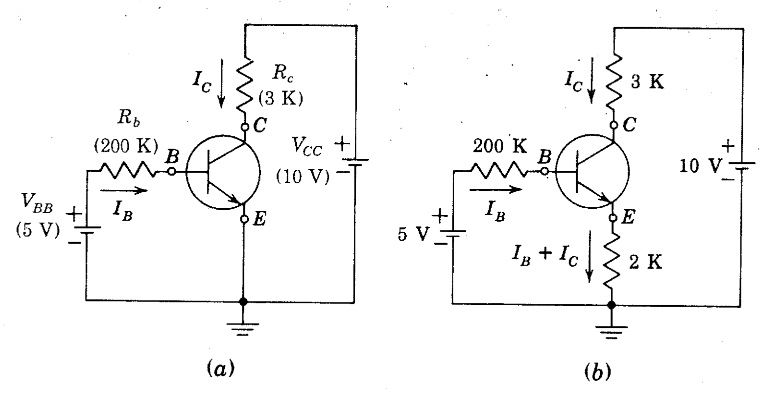


Fig. 5-12. Ejemplo ilustrativo de cómo determinar si un transistor está o no trabajando en la región activa

Como $I_{CO} \ll I_B$, entonces $I_C \approx \beta I_B = 2{,}15$ mA.

Debemos justificar ahora la suposición de que el transistor está en la región activa, comprobando si la unión del colector está polarizada en sentido inverso. Por las leyes de Kirchhoff aplicadas al circuito del colector, podemos obtener:

$$-10 + 3I_C + V_{CB} + V_{BE} = 0$$

o sea

$$V_{CB} = -(3)(2{,}15) + 10 - 0{,}7 = +2{,}85 \text{ V}.$$

En un elemento *n-p-n*, un valor positivo de V_{CB} significa una unión de colector polarizada en sentido inverso, y por lo tanto el transistor está realmente en la región activa.

Obsérvese que I_B e I_C en la región activa son independientes de la resistencia del circuito del colector R_c. De ahí que, si R_c se aumenta lo suficiente por encima de 3 KΩ, V_{CB} pasa de un valor positivo a otro negativo, indicando que el transistor ya no está en su región activa. El método de cálculo de I_B y de I_C cuando el transistor está en saturación, viene dado en la Sec. 5-9.

b. La corriente en la resistencia del emisor de la Fig. 5-12*b* es:

$$I_B + I_C \approx I_B + \beta I_B = 101\, I_B,$$

suponiendo $I_{CO} \ll I_B$. Aplicando las leyes de Kirchhoff al circuito de base:

$$-5 + 200 I_B + 0{,}7 + (2)(101\, I_B) = 0$$

o sea:

$$I_B = 0{,}0107 \text{ mA} \quad I_C = 100\, I_B = 1{,}07 \text{ mA}.$$

Obsérvese que $I_{CO} = 2 \times 10^{-5}$ mA $\ll I_B$, como se ha supuesto.

Probando en la región activa, calcularemos V_{CB}. Así:

$$V_{CB} = -3I_C + 10 - (2)(101\, I_B) - 0{,}65$$
$$= -(3)(1{,}07) + 10 - (2)(101)(0{,}0107) - 0{,}7 = +3{,}93 \text{ V}$$

Como V_{CB} es positiva, este transistor (*n-p-n*) está en la región activa.

5-7. REGION DE CORTE EN EMISOR COMUN

Podemos inclinarnos a creer que la región de corte en la Fig. 5-10 está en la intersección de la recta de carga con la corriente $I_B = 0$; no obstante, vamos a ver ahora que puede existir una corriente apreciable de colector en estas condiciones. De las Ecs. (5-13) y (5-14) si $I_B = 0$, tendremos $I_E = -I_C$ y:

$$I_C = -I_E = \frac{I_{CO}}{1-\alpha} \equiv I_{CEO} \tag{5-17}$$

La corriente real de colector con su unión polarizada en sentido inverso y la base en circuito abierto, se designa con el símbolo I_{CEO}. Como en las cercanías del corte, α puede ser de 0,9 para el germanio, entonces $I_C \approx 10\, I_{CO}$ para una corriente de base nula. Por tanto, para cortar un transistor, no es suficiente que I_B se reduzca a cero, sino que además es preciso que la unión de emisor esté ligeramente polarizada en sentido inverso. Definiremos el corte como la condición en que la corriente de colector es igual a la corriente inversa de saturación I_{CO}, siendo nula la corriente de emisor. Veremos (Sec. 19-15) que la tensión de polarización inversa de 0,1 V en la unión del emisor será, casi siempre, suficiente para el corte de un transistor de germanio. En el silicio, para una corriente de colector del orden de I_{CO}, α está mucho más cerca de cero a causa de la recombinación[5,6] en la región de transición de la unión del emisor. Por lo tanto, aún con $I_B = 0$, vemos en la Ec. (5-17) que $I_C = I_{CO} = -I_E$, lo cual indica que el transistor está muy cerca del corte. Veremos en la Sec. 19-15 que, en el silicio, el corte se establece para $V_{BE} \approx 0$ V lo que corresponde a la base cortocircuitada con el emisor. *En resumen, el corte significa que* $I_E = 0$, $I_C = I_{CO}$, $I_B = -I_C = -I_{CO}$, y V_{BE} *es una tensión inversa cuya magnitud es del orden de 0,1 V para un transistor de germanio y de 0 V para uno de silicio.*

Corriente inversa de saturación de colector I_{CBO}. La corriente de colector en un transistor físico (un dispositivo comercial real, o sea no idealizado), cuando la corriente de emisor es cero, se designa con el símbolo I_{CBO}. Dos factores cooperan en hacer $|I_{CBO}|$ mayor que $|I_{CO}|$; en primer lugar, existe una corriente de fuga que no circula a través de la unión, sino a su alrededor y sobre las superficies. La corriente de fuga es proporcional a la diferencia de potencial de la unión. La segunda razón de que $|I_{CBO}|$ exceda a $|I_{CO}|$ es la de que se pueden generar nuevos portadores, por colisión, en la región de transición de la unión del colector, provocando una multiplicación de avalancha con aumento de corriente y eventualmente la ruptura. Pero aún antes de aproximarse al punto disruptivo, esta *multiplicación* de corriente puede alcanzar proporciones considerables.

A 25° C, I_{CBO} es del orden de microampere en un transistor de germanio cuya disipación de potencia sea del orden de algunos cientos de miliwatt. En condiciones similares, en un transistor de silicio I_{CBO} tiene un valor del orden de nanoampere. La sensibilidad a la temperatura de I_{CBO} es la misma que la de la corriente inversa de saturación I_O de un diodo *p-n* (Sec. 3-5). En particular observamos[8] que I_{CBO} se duplica por cada 10° C de incremento de temperatura, ya sea para el germanio o para el silicio. No obstante, debido al menor valor absoluto de I_{CBO} en el silicio, cabe emplearlo hasta cerca de los 200° C, mientras que en el germanio el límite frisa los 100° C.

Además de la variabilidad con la temperatura de la corriente de saturación inversa, hay también una gran variabilidad de la corriente inversa entre los diversos individuos de un

determinado tipo de transistor. Por ejemplo, las hojas de especificaciones para un aparato de la Texas Instrument del tipo 2N 337, que corresponde a un transistor de conmutación de silicio de crecimiento-difusión, indica que este tipo tiene unidades con valores de I_{CBO} que van desde 0,2 nA hasta 0,3 μA. De acuerdo con ello, llegamos a la conclusión de que un determinado transistor puede tener valores de I_{CBO} que difieran considerablemente de las características medias de su tipo.

Consideraciones del circuito al corte. Debido a los efectos de la temperatura, multiplicación de avalancha y la variabilidad entre los elementos individuales de cada tipo particular de transistor, aun el silicio puede tener valores I_{CBO} del orden de muchas decenas de microampere. Vamos a considerar el circuito de la Fig. 5-13, en el que V_{BB} representa la tensión de polarización para mantener el transistor al corte. Supongamos que el transistor está precisamente en el punto de corte, con $I_E = 0$, de forma que $I_B = -I_{CBO}$. Si determinamos que en el corte $V_{BE} \approx -0{,}1$ V, entonces la condición de corte obliga a que:

$$V_{BE} = -V_{BB} + R_B I_{CBO} \leqslant -0{,}1 \text{ V} \qquad (5\text{-}18)$$

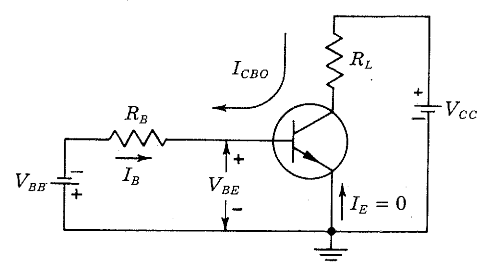


Fig. 5-13. Polarización inversa de la unión de emisor, para mantener el transistor al corte en presencia de la corriente de saturación inversa I_{CBO} a través de R_B

Como ejemplo extremo consideremos que R_B es, digamos, de unos 100 KΩ, y que deseamos admitir la contingencia de que I_{CBO} pueda llegar a valer 100 μA. Entonces V_{BB} debe ser por lo menos 10,1 V. Cuando I_{CBO} sea pequeño, el valor de la tensión en la unión base-emisor será de 10,1 V. Por lo tanto, debemos emplear un transistor que permita una máxima tensión inversa de ruptura de la unión base-emisor mayor de 10 V. Este debe ser un detalle tenido en cuenta por el fabricante, que debe considerar una *tensión de ruptura* entre emisor y base que se representará por BV_{EBO}. El subíndice 0 indica que BV_{EBO} se mide con la condición de que la corriente del colector sea nula. La tensión de disrupción BV_{EBO} puede llegar a valer desde algunas decenas de volt hasta incluso 0,5 V. Si $BV_{EBO} = 1$ V, entonces V_{BB} puede ser elegida para que tenga un valor máximo de 1 V.

5-8. REGION DE SATURACION EN EMISOR COMUN

En la región de saturación, la *unión de colector (así como la unión de emisor) está polarizada en directo por lo menos a la tensión umbral.* Como que la tensión V_{BE} (o V_{BC}) en una unión polarizada en directo tiene un valor de sólo unas pocas décimas de

volt, $V_{CE} = V_{BE} - V_{BC}$ es también de solamente algunas décimas de volt en saturación. Por lo tanto, en la Fig. 5-10, la región de saturación está muy cerca del eje de tensión nula, donde todas las curvas se unen y caen rápidamente hacia el origen. Se ha superpuesto una recta de carga a las características de la Fig. 5-10, que corresponde a la resistencia $R_L = 500\ \Omega$ y una tensión de alimentación de 10 V. Obsérvese que, en la región de saturación, la corriente de colector es casi independiente de la corriente de base, para unos valores dados de V_{CC} y de R_L. Por lo tanto, podemos considerar que el punto de partida de la saturación está ubicado en el codo de las curvas del transistor de la Fig. 5-10. La saturación se presenta para la recta de carga dada, con una corriente de base de 0,17 mA, y en este punto la tensión de colector es demasiado pequeña para leerla en la Fig. 5-10. En saturación, la corriente de colector vale en principio V_{CC}/R_L, y como R_L es pequeña, habrá que tener una V_{CC} también pequeña para permanecer dentro de las limitaciones impuestas por el transistor en cuanto a su corriente máxima y disipación.

En el gráfico de la Fig. 5-10 no es posible leer con precisión la tensión de saturación de colector a emisor $V_{CE,\ sat}$. Vamos a referirnos a las características indicadas en la Fig. 5-14. En estas características, se ha ampliado la región correspondiente entre 0 y $-0{,}5$ V, y se ha superpuesto la misma recta de carga anterior, correspondiente a $R_L = 500\ \Omega$. Observamos en las Figs. 5-10 y 5-14 que V_{CE} e I_C no dependen apreciablemente de la corriente de base I_B, una vez que ésta ya ha llegado a valer $-0{,}15$ mA. Con esta corriente, el transistor entra en saturación. Para $I_B = -0{,}15$ mA, $|V_{CE}| \approx 175$ mV. Para $I_B = -0{,}35$ mA, $|V_{CE}|$ cae a $|V_{CE}| \approx 100$ mV. Para valores superiores de I_B, el decrecimiento de $|V_{CE}|$ será más lento.

Resistencia de saturación. Para un transistor que trabaje en la región de saturación, tiene verdadero interés la relación $V_{CE,\ sat}/I_C$. Este parámetro se denomina *resistencia de saturación en emisor común*, y cabe abreviarlo de varias maneras: R_{CS}, R_{CES}, o $R_{CE,sat}$. Al especificar R_{CS}, se debe indicar el punto de trabajo en que se determinó. Por ejemplo,

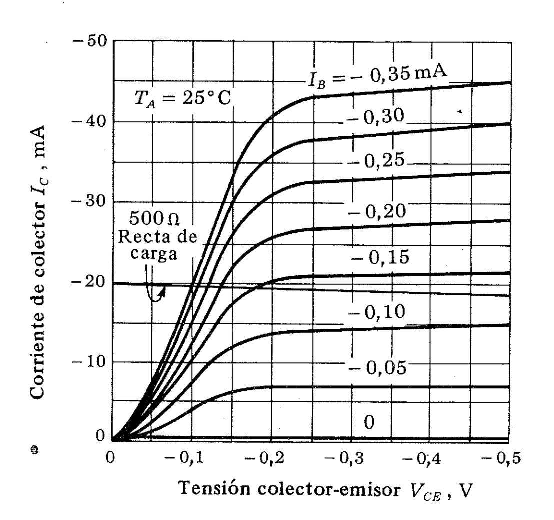


Fig. 5-14. Características en emisor común de la región de saturación del transistor de germanio tipo 2N404. Se superpone una recta de carga a $V_{CC} = 10$ V y $R_L = 500\ \Omega$. (Cortesía de Texas Instruments, Inc.)

en la Fig. 5-14 vemos que a $I_C = -20$ mA e $I_B = -0{,}35$ mA, $R_{CS} \approx -0{,}1/(-20 \times 10^{-3}) = 5\ \Omega$. La utilidad de R_{CS} está basada en el hecho de que, como puede verse en la Fig. 5-14, la parte a la izquierda del codo de cada curva, puede aproximarse, más o menos, a una línea recta, para cada I_B dada.

Resistencia de dispersión de la base, r_{bb}. Teniendo presente que la región de la base es muy delgada (Fig. 5-5), vemos que la corriente que entra en ella por la unión del emisor debe atravesar una zona estrecha y larga antes de alcanzar el terminal. La sección por la que circula la corriente en el colector, o en el emisor, es mucho mayor que en la base. Por tanto, la resistencia óhmica de la base será mucho mayor que la del emisor o la del colector. La resistencia en continua de la base, representada por r_{bb}, se denomina *resistencia de dispersión de la base*, y es de un orden de magnitud de 100 Ω.

El coeficiente de temperatura de las tensiones de saturación. Puesto que ambas uniones están polarizadas en sentido directo, puede tomarse como valor razonable del coeficiente de temperatura para ambas $V_{BE,\text{sat}}$, o $V_{BC,\text{sat}}$, $-2{,}5$ mV/° C. En saturación, el transistor está constituido por dos diodos en serie y en oposición, con lo que puede anticiparse que los cambios de tensión producidos por la temperatura en una unión se anularán por los de la otra unión. En realidad, puede surgir el caso de que $V_{CE,\text{sat}}$ tenga un coeficiente de temperatura de la décima parte de $V_{BE,\text{sat}}$.

Ganancia de corriente continua h_{FE}. Uno de los parámetros más interesantes en un transistor es la relación I_C/I_B, siendo I_C la corriente de colector e I_B la corriente de base. Esta cantidad se designa como β_{dc} o h_{FE}, y se conoce como la (negativa) *beta de continua, relación directa de transferencia en continua*, o *ganancia de corriente en continua.*

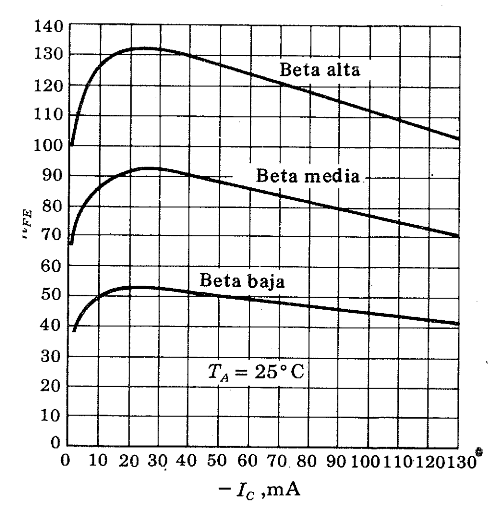


Fig. 5-15. Curvas de la ganancia en continua h_{FE} (a $V_{CE} = -0{,}25$ V), en función de la corriente de colector para tres muestras del transistor de germanio tipo 2N404. (Cortesía de General Electric Company.)

En la región de saturación, el parámetro h_{FE} se emplea extensamente y constituye uno de los suministrados por el fabricante cuando se trata de un transistor para conmutación. Conocemos I_C que viene dada aproximadamente por V_{CC}/R_L, y conociendo h_{FE} obtenemos la mínima corriente de base (I_C/h_{FE}) que se necesita para saturar el transistor. Para el tipo 2N404, la variación de h_{FE} con la corriente de colector, para un valor bajo de V_{CE}, viene dada en la Fig. 5-15. Obsérvese la gran dispersión (con relación de 3 : 1) en el valor que cabe obtener para h_{FE} en un tipo particular de transistor. Se pueden adquirir transistores comerciales con h_{FE} que cubran un margen de 10 a 150 con corrientes de colector tan pequeñas como 5 mA o tan elevadas como 30 A.

5-9. VALORES TIPICOS DE LAS TENSIONES DE LOS TRANSISTORES DE UNION

Las características, dibujadas en la Fig. 5-16, de la corriente de salida I_C en función de la tensión de entrada V_{BE} de los transistores de germanio o de silicio *n-p-n* son bastante ilustrativas e indican las diversas regiones de funcionamiento de un transistor en emisor común. Los valores numéricos indicados son los valores más corrientes obtenidos experimentalmente o de las ecuaciones teóricas expuestas en la sección siguiente (los cálculos se harán en la sección 19-15). Vamos a examinar diversas zonas de las curvas de transferencia de la Fig. 5-16.

Región de corte. El corte se define, como en la sección 5-5, cuando $I_E = 0$ e $I_C = I_{CO}$, y vemos que una polarización *inversa* de $V_{BE\ \text{corte}} = 0{,}1$ V (0 V) cortará al transistor de germanio (silicio).

¿Qué sucederá si se aplica una tensión inversa mayor que $V_{BE\ \text{corte}}$? Pues que, si V_E es negativa y mucho mayor que V_T, la corriente de colector descenderá ligeramente por debajo de I_{CO} y la corriente de emisor será *inversa* pero de pequeño valor (menor que I_{CO}).

La base en cortocircuito. Supongamos que, en lugar de polarizar en sentido inverso la unión del emisor, conectamos la base al emisor de tal manera que $V_E = V_{BE} = 0$. Como se indica en la Fig. 5-16, $I_C \equiv I_{CES}$ no aumenta grandemente sobre su valor de corte I_{CO}.

La base en circuito abierto. Si, en lugar de la base en cortocircuito, la dejamos "*flotante*", es decir, con $I_B = 0$, obtenemos que $I_C \equiv I_{CEO}$ dada en la ecuación (5-17). Para corrientes débiles, $\alpha \approx 0{,}9$ (0) para el Ge (Si), y por tanto $I_C \approx 10 I_{CO}(I_{CO})$ para el Ge (Si). Los valores de V_{BE} calculados para esta condición de base abierta ($I_C = -I_E$) corresponden a unas pocas decenas de milivolt de polarización *directa* como indica la Fig. 5-16.

Tensión umbral. La característica tensión-corriente entre base y emisor, a tensión colector-emisor constante (Fig. 5-11) no es distinta a la característica de una unión simple de un diodo. Cuando la unión del emisor está polarizada en sentido inverso, la corriente de base es muy pequeña, del orden de nanoampere o de microampere para el silicio y el germanio, respectivamente. Cuando la unión de emisor se polariza en sentido directo, como en un diodo simple, no circula corriente apreciable por la base hasta que la unión del emisor haya sido polarizada en sentido directo más allá de V_γ denominada tensión umbral. Puesto que la corriente de colector es proporcional en principio a la corriente de

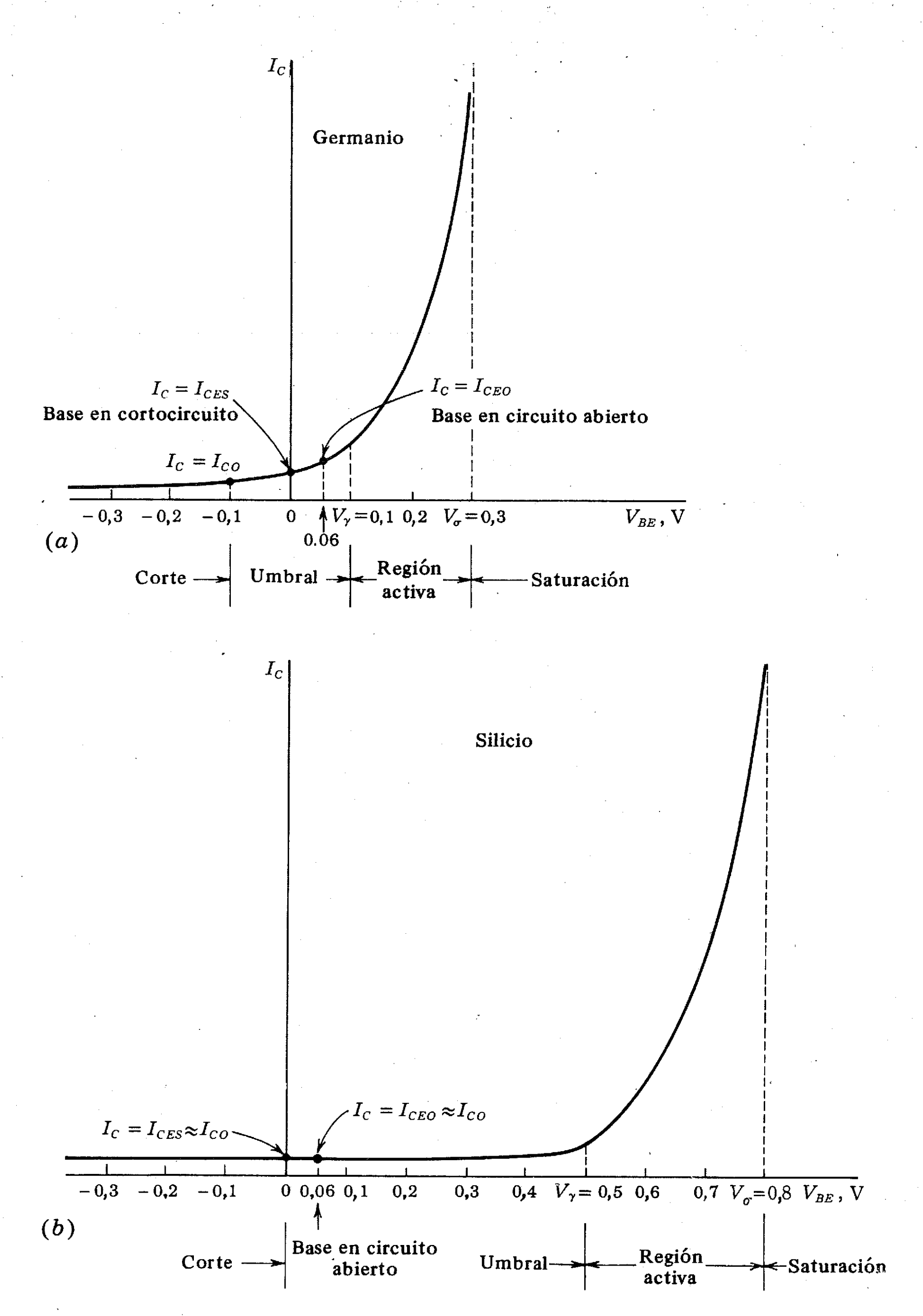


Fig. 5-16. Curvas de la corriente de colector en función de la tensión de base-emisor para: (*a*) un transistor de germanio, (*b*) uno de silicio *n-p-n*. (I_C no está dibujado a escala.)

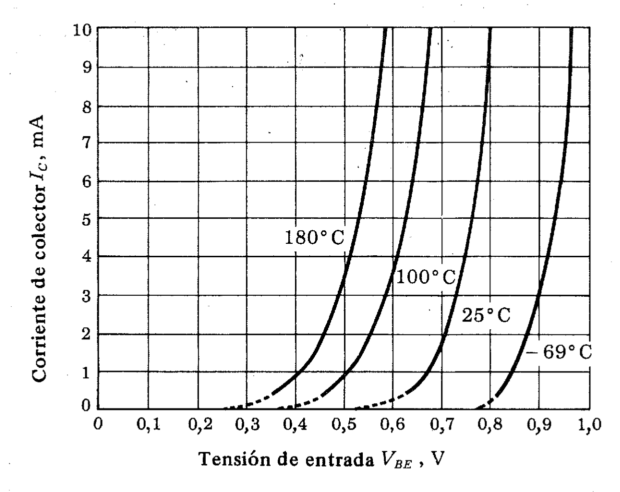


Fig. 5-17. Curvas de corriente de colector en función de la tensión base-emisor a distintas temperaturas del transistor de silicio tipo 2N337. (Cortesía de la Transitron Electronic Corporation.)

base, no circulará intensidad apreciable por el colector hasta que circule la suficiente por la base. Por lo tanto, la curva de corriente de colector en función de la tensión base-emisor acusará una tensión umbral, al igual que un diodo simple.

En principio, un transistor está en la región activa cuando la tensión base-emisor está en el lado de polarización directa de la tensión de corte, la cual es de − 0,1 V para el germanio y 0 V para el silicio. De hecho, no obstante, un transistor entra en la región activa cuando $V_{BE} > V_\gamma$.

Podemos estimar la tensión umbral V_γ suponiendo que $V_{BE} = V_\gamma$ cuando la corriente de colector alcanza por ejemplo el 1 % de la máxima (saturación) del circuito en emisor común de la Fig. 5-9. Los valores típicos de V_γ son 0,1 V para el germanio y 0,5 V para el silicio.

La Fig. 5-17 indica, para varias temperaturas, la corriente de colector en función de la tensión base-emisor a una tensión colector-emisor constante para un transistor corriente de silicio. Vemos que el valor V_γ del orden de 0,5 V a temperatura ambiente parece totalmente razonable. La dependencia de la temperatura es consecuencia del coeficiente de temperatura del diodo de la unión de emisor. El desplazamiento lateral de las curvas y la variación de tensión umbral V_γ con el cambio de temperatura es aproximadamente de − 2,5 mV/° C [Ec. (3-12)].

Tensiones de saturación. Los fabricantes especifican los valores de saturación de las tensiones de entrada y de salida, de distintas formas, además de proporcionar las curvas características como las de las figuras 5-11 y 5-14. Por ejemplo, pueden especificar R_{CS} para varios valores de I_B o pueden establecer curvas de $V_{CE,sat}$ y $V_{BE,sat}$ en función de I_B e I_C.[9] Las tensiones de saturación no sólo dependen del punto de trabajo, sino también del material semiconductor (germanio o silicio) y de la forma de construcción del transistor. Los valores típicos de las tensiones de saturación están indicados en la Tabla 5-1.

TABLA 5-1 Tensiones típicas del transistor de unión *n-p-n* a 25° C

	$V_{CE,\mathrm{sat}}$	$V_{BE,\mathrm{sat}} \equiv V_\sigma$	$V_{BE,\mathrm{activa}}$	V_{BE}*$_{,\mathrm{umbral}} \equiv V_\gamma$	$V_{BE,\mathrm{corte}}$
Si	0,2	0,8	0,7	0,5	0,0
Ge	0,1	0,3	0,2	0,1	−0,1

* La variación con la temperatura de estas tensiones se estudia en las secciones 5-8 y 5-9.

Resumen. Las tensiones referidas anteriormente e indicadas en la Fig. 5-16 se resumen en la Tabla 5-1. Los valores de esta tabla son los apropiados para un transistor *n-p-n*; para un transistor *p-n-p* los signos de todos ellos deberán invertirse. Obsérvese que el margen total de V_{BE} del umbral a la saturación es realmente pequeño, pues sólo es de 0,3 V. La tensión $V_{BE,\mathrm{activa}}$ se ha tomado arbitrariamente, pero no deja de ser razonable, ya que está cerca del punto medio de la región activa de la Fig. 5-16.

En casos particulares puede existir desviación respecto a los valores dados en la tabla 5-1. No obstante, es poco probable que se encuentren errores mayores de 0,1 V.

Ejemplo. (*a*) Los circuitos de la Fig. 5-12*a* y *b* se modifican cambiando la resistencia del circuito de base de 200 a 50 KΩ (como indica la Fig. 5-18). Si $h_{FE} = 100$, determinar si el transistor de silicio está o no en saturación y hallar I_B e I_C. (*b*) Repetirlo añadiendo la resistencia de emisor de 2 KΩ.

SOLUCION. Supongamos que el transistor está en saturación. Empleando los valores de $V_{BE,\mathrm{sat}}$ y $V_{CE,\mathrm{sat}}$ de la tabla 5-1, se obtiene el circuito de la Fig. 5-18*a*. Aplicando las leyes de Kirchhoff al circuito de la base, tenemos:

$$-5 + 50\,I_B + 0{,}8 = 0,$$

o sea

$$I_B = \frac{4{,}2}{50} = 0{,}084 \text{ mA}.$$

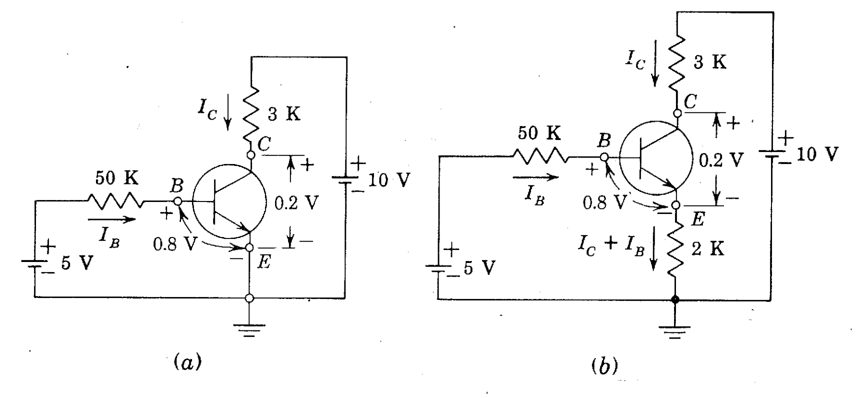


Fig. 5-18. Ejemplo que ilustra cómo se determina si un transistor está o no en la región de saturación

Aplicando las leyes de Kirchhoff al circuito del colector:

$$-10 + 3\,I_C + 0{,}2 = 0,$$

o sea

$$I_C = \frac{9{,}8}{3} = 3{,}27 \text{ mA}.$$

El valor mínimo de la corriente de base necesario para la saturación será:

$$(I_B)_{\min} = \frac{I_c}{h_{FE}} = \frac{3{,}27}{100} = 0{,}033 \text{ mA}.$$

Como $I_B = 0{,}084 > I_{B,\min} = 0{,}033$ mA, hemos comprobado que el transistor está en saturación.

b. Si se agrega una resistencia en el emisor de 2 KΩ, el circuito es el de la Fig. 5-18*b*. Supongamos que el transistor está en saturación. Aplicando las leyes de Kirchhoff a los circuitos de base y de colector, obtenemos:

$$-5 + 50 I_B + 0{,}8 + 2\,(I_C + I_B) = 0$$
$$-10 + 3\,I_C + 0{,}2 + 2\,(I_C + I_B) = 0$$

Si estas ecuaciones simultáneas se resuelven para I_C e I_B, obtendremos:

$$I_C = 1{,}95 \text{ mA} \qquad I_B = 0{,}0055 \text{ mA}$$

Como $(I_B)_{\min} = I_C/h_{FE} = 0{,}0195$ mA $> I_B = 0{,}0055$, el transistor no está en saturación. Por lo tanto, el elemento trabaja en la región activa. Procediendo exactamente como se hizo para el circuito de la Fig. 5-12*b* (pero con 200 K reemplazado por 50 K) obtenemos:

$$I_C = 1{,}71 \text{ mA} \quad I_B = 0{,}0171 \text{ mA} = 17\,\mu\text{A} \quad V_{CB} = 0{,}72 \text{ V}$$

5-10. GANANCIA DE CORRIENTE EN EMISOR COMUN

Tres definiciones diferentes de la ganancia de corriente aparecen en la literatura. Vamos a hallar ahora la relación entre ellas.

Ganancia de corriente con señales grandes β. Definiremos β en función de α por la Ec. (5-15). De la Ec. (5-16), con I_{CO} sustituida por I_{CBO}, encontramos:

$$\beta = \frac{I_C - I_{CBO}}{I_B - (-I_{CBO})} \qquad (5\text{-}19)$$

En la Sec. 5-7 hemos definido el corte con las siguientes condiciones: $I_E = 0, I_C = I_{CBO}$ e $I_B = -I_{CBO}$. En consecuencia, la Ec. (5-19) da la relación de los incrementos de la corriente de colector al variar la corriente de base desde el corte a I_B, y por tanto β *representa el valor negativo de la ganancia de corriente con gran señal de un transistor en emisor común.* Este parámetro es de importancia primordial en relación a la polarización y la estabilidad de los circuitos a transistores, como se estudiará en el capítulo 9.

Ganancia en corriente continua h_{FE}. En la Sec. 5-8 definimos la ganancia en corriente continua por:

$$\beta_{dc} \equiv \frac{I_C}{I_B} \equiv h_{FE} \tag{5-20}$$

En aquella sección observamos que h_{FE} es el más empleado para determinar si el transistor está o no saturado. En general, la corriente de base (y por tanto, la del colector) es grande comparada con I_{CBO}. En estas condiciones, las betas para grandes señales y para continua son aproximadamente iguales: es decir $h_{FE} \approx \beta$.

Ganancia de corriente con pequeña señal h_{fe}. La definiremos como la relación entre el incremento de la corriente de colector ΔI_C para pequeños cambios de la corriente de base ΔI_B (para un punto de trabajo dado y una tensión de colector-emisor fija V_{CE}), o sea:

$$\beta' \equiv \left.\frac{\partial I_C}{\partial I_B}\right|_{V_{CE}} = h_{fe} \tag{5-21}$$

Naturalmente, β' es (negativa) la ganancia de corriente para *pequeña señal.* Si β fuera independiente de la corriente, vemos por la Ec. (5-20) que $\beta' = \beta \approx h_{FE}$. No obstante, la Fig. 5-15 indica que β es una función de la corriente, y diferenciando la ecuación (5-16) con respecto a I_C, tendremos: (con $I_{CO} = I_{CBO}$):

$$1 = (I_{CBO} + I_B)\frac{\partial B}{\partial I_C} + \beta\frac{\partial I_B}{\partial I_C} \tag{5-22}$$

La ganancia β' en emisor común para pequeña señal se emplea para el análisis de circuitos amplificadores en esas condiciones y se designará por h_{fe} en el capítulo 8. Empleando la Ec. (5-21), y con $\beta' = h_{fe}$ y $\beta = h_{FE}$, la Ec. (5-22) se transformará en:

$$h_{fe} = \frac{h_{FE}}{1 - (I_{CBO} + I_B)(\partial h_{FE}/\partial I_C)} \tag{5-23}$$

Como el valor de h_{FE} en función de I_C, dado en la Fig. 5-15, muestra un máximo, h_{fe} es mayor que h_{FE} para corrientes pequeñas (a la izquierda del máximo) y h_{fe} es menor que h_{FE} para corrientes mayores de las que corresponden al máximo. En las condiciones más desfavorables de la Fig. 5-14, h_{fe} difiere de h_{FE} en menos de un 20 %.

Debemos hacer resaltar que la Ec. (5-23) sólo es válida en la región activa. En la Fig. 5-14 vemos que $h_{fe} \to 0$ en la región de saturación, ya que $\Delta I_C \to 0$ para pequeños incrementos de ΔI_B.

5-11. CONFIGURACION EN COLECTOR COMUN

La configuración del transistor, indicada en la Fig. 5-19, se conoce con el nombre de colector común. El circuito es, básicamente, el mismo que el de la Fig. 5-9, con la excepción de que la resistencia de carga está conectada al emisor en lugar de estarlo en el

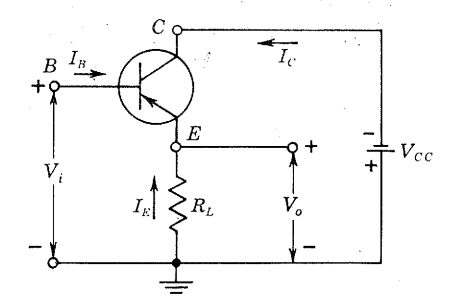


Fig. 5-19. Configuración del transistor en colector común

circuito del colector. Si seguimos determinando el funcionamiento del circuito en función de la corriente que circula, el sistema de colector común es prácticamente el mismo que el de emisor común. Cuando la corriente de base sea I_{CO}, la corriente de emisor será cero, y no circulará corriente por la carga. Como el transistor pierde su polarización inversa al aumentar la corriente de base, pasará a la región activa y finalmente alcanzará la saturación. En estas condiciones, toda la tensión de alimentación, excepto la pequeña caída en el transistor, aparecerá en la carga.

5-12. EXPRESIONES ANALITICAS DE LAS CARACTERISTICAS DEL TRANSISTOR

La ecuación que liga las corrientes del transistor con las tensiones de las uniones o viceversa, puede obtenerse partiendo de la Ec. (5-6), que vamos a repetir aquí para mayor comodidad:

$$I_C = -\alpha_N I_E - I_{CO}(\epsilon^{V_C/V_T} - 1) \tag{5-24}$$

Hemos agregado el subíndice N a α para indicar que estamos empleando el transistor de una forma *normal.* Debemos reconocer, no obstante, que no hay ninguna razón fundamental que nos impida emplear un transistor de forma *invertida*, es decir, intercambiando los papeles de las uniones del colector y del emisor. Desde un punto de vista práctico, este funcionamiento no sería tan efectivo como el *normal,* pero esto no nos concierne por ahora. Cuando funciona en forma inversa, podemos escribir, de acuerdo con la Ec. (5-24),

$$I_E = -\alpha_I I_C - I_{EO}(\epsilon^{V_E/V_T} - 1) \tag{5-25}$$

Aquí, α_I es la ganancia de corriente en base común *invertida,* de la misma forma que α_N, es en la Ec. (5-24), la ganancia de corriente en funcionamiento *normal.* I_{EO} es la corriente inversa de saturación de la unión del emisor, y V_E es la caída de tensión del lado p al lado n de dicha unión de emisor y es positiva para un emisor polarizado en sentido directo.

Las ecuaciones (5-24) y (5-25) se obtienen con un criterio deductivo. El análisis físico de las corrientes del transistor, por Ebers y Moll, justificará estas ecuaciones (Sec. 19-13). Este estudio cuantitativo revela que los parámetros α_N, α_I, I_{CO} e I_{EO} no son independientes, sino que están ligados por la siguiente relación

$$\alpha_I I_{CO} = \alpha_N I_{EO} \tag{5-26}$$

Los manuales de los fabricantes dan a menudo información de α_N, I_{CO} e I_{EO} por lo que se puede determinar α_I. Para muchos transistores, I_{EO} está comprendida dentro del margen de 0,5 I_{CO} a I_{CO}.

Puesto que la suma de las tres corrientes debe ser cero, la corriente de base viene dada por:

$$I_B = -(I_E + I_C) \tag{5-27}$$

Si se conocen tres de los cuatro parámetros $\alpha_N, \alpha_I, I_{CO}$ e I_{EO}, las ecuaciones dadas en esta sección permite calcular las tres corrientes para valores dados de las tensiones de las uniones V_C, V_E. Las expresiones explícitas para I_C e I_E en función de V_C y V_E se hallarán en la Sec. 19-13.

En la literatura, se emplean algunas veces α_R (alfa *inversa*) y α_F (alfa *directa*) en lugar de α_I y α_N respectivamente.

Polaridades de referencia. El símbolo $V_C(V_E)$ representa la caída de potencial en la unión del colector (emisor) y es positivo si la unión está polarizada en sentido directo. Las direcciones de referencia para las corrientes y las tensiones se indican en la Fig. 5-20. Como V_{CB} representa la caída de potencial entre terminales del colector y de la base, V_{CB} difiere de V_C en la caída óhmica de la resistencia de dispersión de la base $r_{bb'}$, o sea:

$$V_{CB} = V_C - I_B r_{bb'} \tag{5-28}$$

Modelo de Ebers - Moll. Las ecuaciones (5-24) y (5-25) tienen una interpretación sencilla aplicadas a un circuito conocido como *modelo de Ebers-Moll*[7]. Este modelo aparece en la Fig. 5-21 y corresponde a un transistor *p-n-p*. Vemos que equivale a dos diodos ideales colocados en oposición con corrientes inversas de saturación $-I_{EO}$ y $-I_{CO}$, además de

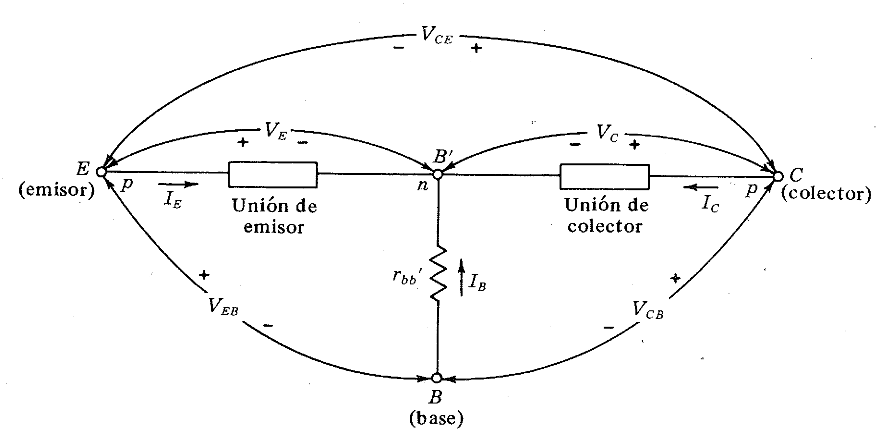


Fig. 5-20. Definición de las tensiones y corrientes empleadas en las ecuaciones de Ebers Moll. Para los dos transistores *p-n-p* o *n-p-n*, un valor positivo de la corriente significa que la carga positiva fluye hacia la unión, y una $V_E(V_C)$ positiva significa que la unión del emisor (colector) está polarizada en sentido directo (el lado *p* positivo respecto al lado *n*)

DEPARTAMENTO

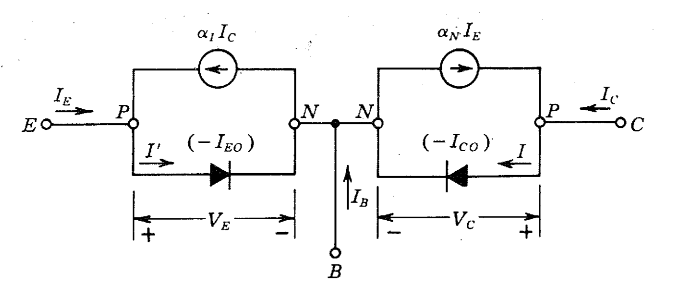


Fig. 5-21. Modelo de Ebers Moll para un transistor *p-n-p*

dos fuentes de corriente regulada, en paralelo con los diodos ideales. Para un transistor *p-n-p*, tanto I_{CO} como I_{EO} son negativas, con lo que $-I_{CO}$ y $-I_{EO}$ tienen valores positivos, que son los de las corrientes inversas de saturación de los diodos. Las fuentes de corriente sirven para transportar los portadores minoritarios a través de la base. Aplicando las leyes de Kirchhoff al nudo del colector de la Fig. 5-21, obtenemos:

$$I_C = -\alpha_N I_E + I = -\alpha_N I_E + I_o(\epsilon^{V_C/V_T} - 1)$$

en que la corriente I del diodo viene dada por la Ec. (3-9). Como I_o es el valor de la corriente inversa de saturación, $I_o = -I_{CO}$. Sustituyendo este valor de I_o en la ecuación precedente de I_C, obtendremos la Ec. (5-24).

Este modelo es válido tanto para la aplicación de tensiones directas como inversas estáticas en las uniones del transistor. Señalemos que se ha omitido la resistencia de dispersión de la base de la Fig. 5-20 y se ha despreciado la diferencia entre I_{CBO} e I_{CO}.

Obsérvese en la Fig. 5-21 que las fuentes de corriente pueden eliminarse de esta figura con la condición de que $\alpha_N = \alpha_I = 0$. Por ejemplo, haciendo la anchura de la base mucho mayor que la longitud de difusión de los portadores minoritarios en la base, todos los portadores minoritarios se recombinarán en propia base y ninguno de ellos llegará a alcanzar al colector. En este caso, la ganancia de corriente α será cero. En estas condiciones, la acción del transistor cesará, y tendremos simplemente dos diodos conectados en serie y en oposición. Esta explicación demuestra la imposibilidad de construir un transistor por la simple conexión de dos diodos separados (aislados) en oposición. Dos diodos *p-n* en cascada tienen las propiedades de transistor (por ejemplo, son capaces de amplificar) sólo si los portadores inyectados en una unión se *difunden* a través de la otra unión.

Tensiones en función de las corrientes. A partir de las ecuaciones (5-24) y (5-25), podemos resolver explícitamente las tensiones de las uniones en función de las corrientes, resultando:

$$V_E = V_T \ln\left(1 - \frac{I_E + \alpha_I I_C}{I_{EO}}\right) \tag{5-29}$$

$$V_C = V_T \ln\left(1 - \frac{I_C + \alpha_N I_E}{I_{CO}}\right) \tag{5-30}$$

Vamos a obtener ahora la expresión analítica de las características de emisor común de la Fig. 5-10. Las abscisas de esta figura son las tensiones colector-emisor $V_{CE} = V_E - V_C$ para un transistor *n-p-n* y $V_{CE} = V_C - V_E$ para un transistor *p-n-p* (recordemos que V_C y V_E son positivas en el lado *p* de la unión). Por lo tanto, las características de emisor común se hallarán restando las ecuaciones (5-29) y (5-30) y eliminando I_E con la Ec. (5-27). La ecuación resultante puede simplificarse suponiendo válidas las siguientes desigualdades: $I_B \gg I_{EO}$ e $I_B \gg I_{CO}/\alpha_N$. Después de algunas manipulaciones y empleando las ecuaciones (5-15) y (5-26), obtenemos (excepto para valores muy pequeños de I_B):

$$V_{CE} = \pm V_T \ln \frac{\dfrac{1}{\alpha_I} + \dfrac{1}{\beta_I}\dfrac{I_C}{I_B}}{1 - \dfrac{1}{\beta}\dfrac{I_C}{I_B}}, \tag{5-31}$$

en la que:

$$\beta_I \equiv \frac{\alpha_I}{1-\alpha_I} \text{ y } \beta_N \equiv \beta \equiv \frac{\alpha}{1-\alpha}. \tag{5-32}$$

Obsérvese que el signo + en la Ec. (5-31) se emplea para un transistor *n-p-n*, y el signo − para un elemento *p-n-p*. En un transistor de germanio del tipo *p-n-p*, para $I_C = 0$, $V_{CE} = -V_T \ln(1/\alpha_I)$ con lo que las *características en emisor común no pasan por el origen.* Para $\alpha_I = 0{,}78$ y $V_T = 0{,}026$ V, tenemos $V_{CE} \approx -6$ mV a la temperatura ambiente. Esta tensión tiene un valor tan pequeño que parece como si las curvas de la Fig. 5-10 pasaran por el origen, pero en realidad están desplazadas hacia la derecha unos pocos milivolt.

Si I_C aumenta, V_{CE} aumenta ligeramente hasta que I_C/I_B se aproxime a β. Por ejemplo, para $I_C/I_B = 0{,}9\,\beta = 90$ (para $\beta = 100$),

$$V_{CE} = -0{,}026 \ln \frac{1/0{,}78 + 90/3{,}5}{1-0{,}9} \approx -0{,}15 \text{ V}$$

Esta tensión apenas puede apreciarse a la escala en que está dibujada la Fig. 5-10, y, por tanto, cerca del origen parecerá como si la curva subiese verticalmente. No obstante, observaremos que la Fig. 5-14 confirma que se precisa una tensión del orden de 0,2 V para que I_C alcance un 0,9 de su valor máximo.

El valor máximo de I_C/I_B es β, y al acercarnos a este valor de I_C/I_B, $V_{CE} \to -\infty$. Por tanto, cuando I_C/I_B aumenta desde $0{,}9\,\beta$ hasta β, V_{CE} aumenta desde 0,15 V hasta infinito. En la Fig. 5-22 aparece indicada la curva teórica de la característica en emisor común. Vemos que, para un valor determinado de V_{CE}, la relación I_C/I_B es constante. De ahí que, a incrementos iguales de I_B, debamos obtener incrementos iguales de I_C, para cada valor de V_{CE} dado. Esta conclusión se satisface claramente en las curvas de la Fig. 5-10. No obstante, parece haber una contradicción en la curva de $I_B = 0$, ya que siendo I_C/I_B constante debería coincidir con el eje de las x, es decir $I_C = 0$. Esta discrepancia se debe a la aproximación hecha en la obtención de la Ec. (5-31), que no es válida para $I_B = 0$.

La curva teórica de la Fig. 22 es mucho más llana que las curvas de la Fig. 5-10, ya que lleva implícita la suposición de que α_N es verdaderamente constante. Conviene tener

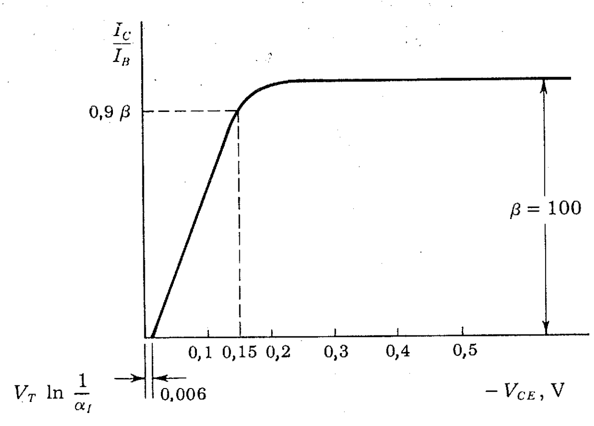


Fig. 5-22. Características de salida de un transistor *p-n-p* en emisor común, tal como se obtiene analíticamente

presente que el ligero crecimiento de α_N con V_{CE} da lugar a las pendientes de las características en emisor común.

5-13. MAXIMA TENSION ALCANZABLE[9]

Aunque no se alcance el valor de la máxima potencia disipable por el transistor, existe un límite superior para la tensión en la unión de colector, ya que para tensiones elevadas hay la posibilidad de una ruptura por tensión en el transistor. Se pueden tener dos tipos de ruptura: por *avalancha,* comentada en la Sec. 3-11, y por *perforación,* de la que trataremos a continuación.

Multiplicación de avalancha. La máxima tensión de polarización inversa que puede aplicarse entre los terminales de colector y de base de un transistor antes de que se produzca la ruptura, estando el emisor en circuito abierto, se representa con el símbolo de BV_{CBO}. Esta tensión disruptiva es característica de cada transistor. La ruptura puede suceder por la multiplicación por avalancha de la corriente I_{CO} que atraviesa la unión del colector. Como resultado de esta multiplicación, la corriente pasa a ser MI_{CO}, siendo M el factor por el que se ha multiplicado la corriente original I_{CO} por efecto de avalancha. (Despreciaremos la corriente de fugas, que no circula por la unión y por tanto no está sujeta al efecto de la multiplicación.) Para una tensión suficientemente elevada, llamémosla BV_{CBO}, el factor de multiplicación M pasa a ser infinito, llegándose a la región de ruptura, en donde la corriente crece bruscamente y los pequeños cambios de tensión aplicada vienen acompañados por grandes cambios de la corriente.

El factor de multiplicación por avalancha depende de la tensión V_{CB} entre colector y base. Lo consideraremos como:

$$M \equiv \frac{1}{1-(V_{CB}/BV_{CBG})^n}. \tag{5-33}$$

La ecuación (5-33) se emplea debido a que es una expresión sencilla que da un valor empírico de suficiente garantía para las características de ruptura de muchos tipos de transistores. El parámetro n está dentro del intervalo de 2 a 10, y determina la agudeza de la ruptura.

Si una corriente I_E atraviesa la unión del emisor, y despreciando el efecto de avalancha, una fracción αI_E alcanzará la unión del colector, siendo α la ganancia de corriente en base común. Teniendo en cuenta la multiplicación, I_C tiene el valor de $M\alpha I_E$. En consecuencia, vemos que, cuando tiene lugar la multiplicación por avalancha, el transistor se comporta como si su ganancia de corriente en base común fuera $M\alpha$.

El análisis[9] de la ruptura por avalancha para una configuración en emisor común indica que la tensión disruptiva colector-emisor *con el circuito de base abierto,* designada por BV_{CEO}, es:

$$BV_{CEO} = BV_{CBO}\sqrt[n]{\frac{1}{h_{FE}}}\ . \qquad (5\text{-}34)$$

Para un transistor de germanio *n-p-n,* se puede considerar como valor razonable obtenido experimentalmente el de $n = 6$. Si ahora tomamos $h_{FE} = 50$, encontramos que:

$$BV_{CEO} = 0{,}52\,BV_{CBO},$$

de tal forma que si $BV_{CBO} = 40$ V, BV_{CEO} es de alrededor de la mitad, o sea unos 20 V. Las características ideales de emisor común extendidas a la región disruptiva aparecen en la Fig. 5-23. Si la base no está en circuito abierto, esta característica disruptiva se modifica, estando la forma de las curvas determinada por las conexiones del circuito de base. En otras palabras, el máximo valor permisible de la tensión colector-emisor depende, no sólo del transistor, sino también del circuito en el que se emplee.

Perforación. El segundo mecanismo por el que el transistor queda fuera de servicio cuando aumenta la tensión de colector, se denomina *perforación,* y es el resultado de la ampliación de la anchura de la región de carga espacial de la unión del colector al incrementarse la tensión de la propia unión (efecto Early).

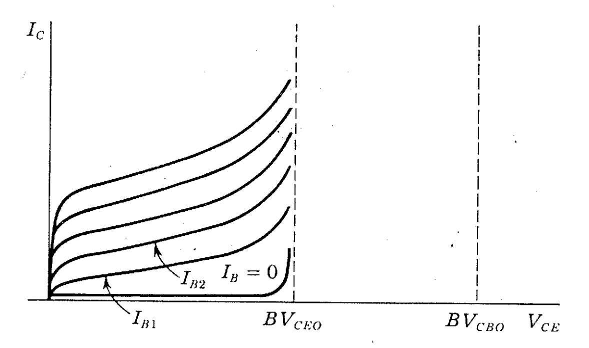


Fig. 5-23. Característica ideal en emisor común, extendida a la región de ruptura

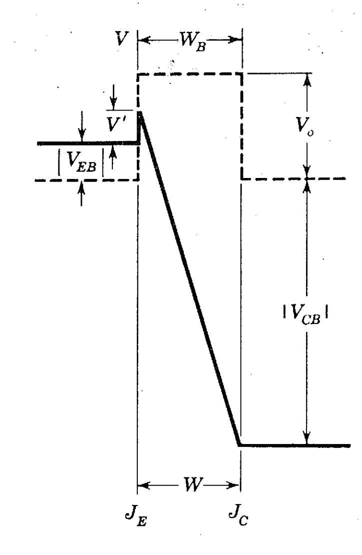


Fig. 5-24. La variación de potencial en un transistor *p-n-p* después de la "avalancha", cuando la anchura efectiva de la base (Fig. 5-8) $W'_B = W_B - W$ se ha reducido a cero. La barrera de emisor efectiva es V'.

La región de transición de una unión es la región de cargas sin equilibrar a uno y otro lado de la unión, ocupada por los átomos impurificados. A medida que la tensión aplicada en la unión aumenta, la región de transición penetra más hacia la base (Fig. 5-8*a*). Puesto que la base es muy delgada, es posible que, para tensiones moderadas, la región de transición complete toda la base y alcance la unión del emisor, como se indica en la Fig. 5-24, que deberemos comparar con la Fig. 5-8. La barrera del emisor ahora es V', que es menor que su valor normal $V_o - |V_{EB}|$, ya que la tensión del colector ha "perforado" la región de la base. Esta disminución de la tensión de la unión del emisor puede redundar en una corriente de emisor excesivamente elevada, por esta circunstancia se llega a un límite superior del valor de la tensión del colector.

La perforación difiere de la ruptura por avalancha en que tiene lugar a una tensión fija [dada por V_j en la Ec. (3-21), con $W = W_B$] entre colector y base, y no depende de la configuración del circuito. En un determinado transistor, el límite de la tensión está determinado bien por la perforación o bien por ruptura, según cual de ellas sea más baja.

5-14. EL FOTOTRANSISTOR

El fototransistor (denominado también fotoduodiodo) es un dispositivo semiconductor mucho más fotosensible que el fotodiodo. El fototransistor se conecta normalmente en emisor común con la base abierta, y la radiación se concentra en la región cercana a la unión del colector J_C, como en la Fig. 5-25*a*. El funcionamiento de este dispositivo puede entenderse si admitimos que la unión J_E está ligeramente polarizada en sentido directo (Fig. 5-16, base en circuito abierto), y que la unión J_C lo está en sentido inverso (es decir, el transistor está polarizado en la región activa). Supongamos perimero que no hay excitación radiante. En estas circunstancias, los portadores minoritarios están generados térmi-

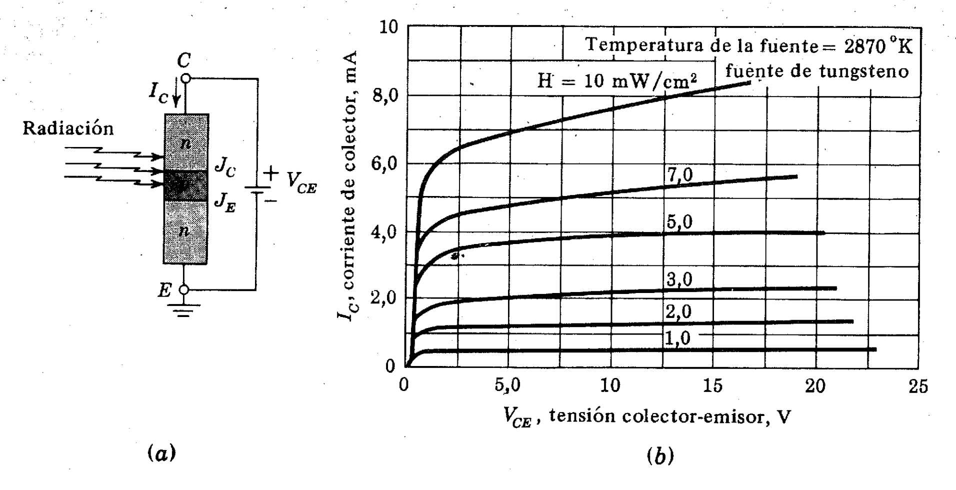


Fig. 5-25. (*a*) Fototransistor. (*b*) Características de salida del fototransistor de silicio *n-p-n* MRD 450. (Cortesía de Motorola Semiconductor Products Inc.)

camente, y los electrones que atraviesan de la base al colector, así como los huecos que pasan del colector a la base, constituyen la corriente inversa de saturación I_{CO} de colector (Sec. 5-2). La corriente de colector viene dada por la Ec. (5-16), con $I_B = 0$:

$$I_C = (\beta + 1)I_{CO} \tag{5-35}$$

Si se inyecta luz, se fotogeneran portadores minoritarios adicionales y contribuyen a la corriente de saturación inversa exactamente de la misma manera como los portadores minoritarios generados térmicamente. Si la componente de la corriente inversa de saturación debida a la luz se designa por I_L, la corriente total del colector será:

$$I_C = (\beta + 1)(I_{CO} + I_L) \tag{5-36}$$

Observamos que, debido a la acción del transistor, la corriente provocada por la radiación se multiplica por el factor $(\beta + 1)$, que es bastante grande.

En la Fig. 5-25*b* se muestra la característica tensión-corriente típica correspondiente a un fototransistor planar *n-p-n* con diferentes valores de intensidad de iluminación. Obsérvese la similitud entre esta familia de curvas y las de la Fig. 5-10 para las características de salida de un transistor en emisor común con la corriente de base en lugar de la iluminación como parámetro. También se puede inyectar una corriente I_B por el terminal de la base. Entonces la corriente I_C de la Ec. (5-36) se aumenta con el término βI_B.

REFERENCIAS

1. Shockley, W.: "The theory of *p-n* Junctions in Semiconductors and *p-n* Junction Transistors", *Bell System Tech. J.*, vol. 28, pp. 435-489, julio de 1949.

Middlebrook, R. D.: "An Introduction to Junction Transistor Theory", pp. 115-130, John Wiley & Sons, Inc., Nueva York, 1957.
Terman, F. E.: "Electronic and Radio Engineering", 4ª ed., pp. 747-760, McGraw-Hill Book Company, Nueva York, 1955.
Moll, J. L.: "Junction Transistor Electronics", *Proc. IRE,* vol. 43, pp. 1807-1819, diciembre de 1955.

2. Phillips, A. B.: "Transistor Engineering", cap. 1, McGraw-Hill Book Company, Nueva York, 1962.

3. Texas Instruments, Inc.: J. Miller (ed.), "Transistor Circuit Design", cap. 1, McGraw-Hill Book Company, Nueva York, 1963.

4. Early, J. M.: "Effects of Space-charge Layer Widening in Junction Transistors", *Proc. IRE,* vol. 40, pp. 1401-1406, noviembre de 1952.

5. Sah, C. T., R. N. Noyce y W. Shockley: "Carrier-generation and Recombination in *p-n* Junctions and *p-n* Junction Charactheristics", *Proc. IRE,* vol. 45, pp. 1228-1243, septiembre de 1957.
Pritchard, R. L.: "Advances in the Understanding of the P-N Junction Triode", *Proc. IRE,* vol. 46, pp. 1130-1141, junio de 1958.

6. Ref. 2, pp. 236-237.

7. Ebers J.J. y J.L. Moll: "Large signal Behavior of Junction Transistors", *Proc. IRE,* vol. 42, pp. 1761-1772, diciembre de 1954.

8. Millman J. y H. Taub: "Pulse, Digital and Switching Waveforms", p.196, McGraw-Hill Book Company, Nueva York, 1965.

9. Ref. 8, cap. 6.

TEMAS DE REPASO

5-1. Dibujar el símbolo del transistor *p-n-p* e indicar las direcciones de referencia para las tres corrientes y las polaridades de referencia para las tres tensiones.

5-2. Repetir la cuestión 5-1 para un transistor *n-p-n*.

5-3. Para un transistor *p-n-p* polarizado en la región activa dibujar (en las tres regiones Emisor, Base y Colector): (*a*) la variación de potencial, (*b*) la concentración de portadores minoritarios. (*c*) Explicar las formas de las curvas de (*a*) y de (*b*).

5-4. (*a*) Para un transistor *p-n-p* polarizado en la región activa, indicar las componentes de corrientes de electrones y huecos que atraviesan cada unión y entran (o dejan) el terminal de base. (*b*) ¿Cuál de las corrientes es proporcional al gradiente de p_n en J_E y en J_C respectivamente? (*c*) Repetir el apartado *b* substituyendo p_n por n_p. (*d*) ¿Cuál es el origen físico de las varias componentes de corriente que atraviesan el terminal de base?

5-5. (*a*) A partir de las corrientes indicadas en el tema anterior obtener una ecuación de la corriente de colector I_C. Definir cada símbolo de esta ecuación. (*b*) Generalizar la ecuación del apartado *a* para I_C, de manera que sea válida aun si el transistor no trabaja en la región activa.

5-6. (*a*) Definir la *ganancia de corriente* α oralmente y mediante una ecuación. (*b*) Repetir el apartado *a* para el parámetro α'.

5-7. Describir la fabricación de un transistor de aleación.

5-8. Para un transistor tipo *p-n-p* que trabaja en la región activa, ¿cuál es el signo (positivo o negativo) de I_E, I_C, I_B, V_{CB} y V_{EB}?

5-9. Repetir el tema anterior para un transistor *n-p-n.*

5-10. (*a*) Esbozar una familia de curvas características de salida en base común de un transistor. (*b*) Indicar las regiones activa, de corte y de saturación. (*c*) Explicar cualitativamente la forma de las curvas.

5-11. (*a*) Trazar una familia de curvas características de entrada en base común de un transistor. (*b*) Explicar cualitativamente la forma de las curvas.

5-12. Explicar la *modulación de la anchura de la base* (efecto de aproximación) con la ayuda de las curvas de potencial y de concentración de minoritarios a través de la región de la base.

5-13. Explicar cualitativamente tres consecuencias de la modulación de la anchura de la base.

5-14. Definir las siguientes regiones de un transistor: (*a*) activa, (*b*) saturación, (*c*) corte.

5-15. (*a*) Dibujar un circuito de transistores con la configuración en emisor común. (*b*) Esbozar las características de salida. (*c*) Indicar las regiones activa, de corte, y de saturación.

5-16. (*a*) Obtener la familia de características de entrada de emisor común. (*b*) Explicar cualitativamente la forma de las curvas.

5-17. (*a*) Deducir la expresión de I_C en función de I_B para un transistor en la configuración de emisor común en la región activa. (*b*) Para $I_B = 0$ ¿cuánto vale I_C?

5-18. (*a*) ¿Cuál es el orden de magnitud de la corriente de saturación inversa I_{CBO} de colector para un transistor de silicio? (*b*) ¿Cómo varía I_{CBO} con la temperatura?

5-19. Repetir el tema 5-18 para un transistor de germanio.

5-20. ¿Por qué I_{CBO} difiere de I_{CO}?

5-21. (*a*) Definir la *resistencia de saturación* para un transistor en emisor común. (*b*) ¿Cuál es su orden de magnitud?

5-22. (*a*) Definir la resistencia de dispersión de base de un transistor. (*b*) ¿Cuál es su orden de magnitud?

5-23. ¿Cuál es el orden de magnitud del coeficiente de temperatura de $V_{BE,\text{sat}}$, $V_{BC,\text{sat}}$, y $V_{CE,\text{sat}}$?

5-24. (*a*) Definir h_{FE}. (*b*) Dibujar h_{FE} en función de I_C.

5-25. (*a*) Dar el orden de magnitud de V_{BE} al corte, para un transistor de silicio. (*b*) Repetir el apartado (*a*) para un transistor de germanio. (*c*) Repetir los apartados *a* y *b* para la tensión umbral.

5-26. ¿$|V_{BE,\text{sat}}|$ es mayor o menor que $|V_{CE,\text{sat}}|$? Explicarlo.

5-27. ¿Cuál es la gama de tensiones para V_{BE} entre el umbral y la saturación en un transistor de silicio? (*b*)Repetir el apartado *a* para un transistor de germanio.

5-28. ¿Cuál es la corriente de colector relativa a I_{CO} en un transistor de silicio (*a*) si la base está cortocircuitada con el emisor? (*b*) ¿Y si está flotante? (*c*) Repetir los apartados *a* y *b* para el transistor de germanio.

5-29. Considérese el circuito de un transistor con resistencias R_b, R_c y R_e en la base, en el colector y en el emisor, respectivamente. Las tensiones de polarización son V_{BB} y V_{CC} en los circuitos de base y de colector respectivamente. (*a*) Relatar el método para encontrar las corrientes de reposo, suponiendo que el transistor trabaje en la región activa. (*b*) ¿Cómo se puede comprobar que la suposición es correcta?

5-30. Repetir el tema 5-29, suponiendo que el transistor esté en saturación.

5-31. Para un transistor en emisor común definir (*a*)' β; (*b*) $\beta_{de} = h_{FE}$; (*c*) $\beta' = h_{fe}$.

5-32. Obtener las relaciones entre h_{FE} y h_{fe}.

5-33. (*a*) ¿En qué condición $\beta \approx h_{FE}$? (*b*) ¿En qué condición $h_{FE} \approx h_{fe}$?

5-34. (*a*) Dibujar el circuito de un transistor en configuración de colector común. (*b*) Indicar los terminales de entrada y de salida.

5-35. ¿Qué significa la *forma invertida* de funcionamiento de un transistor?

5-36. (*a*) Escribir las ecuaciones de Ebers y Moll. (*b*) Esbozar el modelo de circuito que satisfaga estas ecuaciones.

5-37. Comentar las dos causas posibles de ruptura de un transistor cuando aumenta la tensión colector-emisor.

5-38. (*a*) Esbozar el circuito de un fototransistor. (*b*) ¿Cerca de qué unión está concentrada la radiación? Explicar por qué. (*c*) Describir la acción física de este dispositivo.

5-39. (*a*) Para un fototransistor en la región activa, escribir la ecuación de la corriente de colector. Definir todos los términos. (*b*) Esbozar la familia de características de salida.

6

Circuitos digitales

En la mayor parte de los sistemas digitales de gran escala, tales como calculadoras, procesadores de datos, control o sistema de comunicaciones digitales, sólo hay unas pocas operaciones básicas que deben llevarse a cabo. Estas operaciones deberán repetirse, a buen seguro, un gran número de veces. Los cuatro circuitos más empleados comúnmente para tales sistemas son: O, Y, NO y BIESTABLE*. Se denominan puertas o circuitos lógicos porque se emplean las ecuaciones del álgebra de Boole (como en seguida demostraremos). Este álgebra fue inventada a mediados del siglo XIX por G. Boole, para obtener un sistema de análisis matemático de la lógica.

Este capítulo trata con detalle los tres primeros circuitos lógicos básicos mencionados más arriba. Estas puertas básicas se combinan en el capítulo 17 formando circuitos biestables y otros bloques del sistema digital.

6-1. OPERACIONES DIGITALES (BINARIAS) DE UN SISTEMA

Un sistema digital funciona de una manera binaria. Emplea sistemas en que sólo son posibles dos estados. Un transistor se hace trabajar únicamente al corte o en saturación, pero no en la región activa. Cualquier nudo puede tener una tensión elevada, digamos de 4 ± 1 V, o una tensión baja, por ejemplo 0,2 ± 0,2 V, pero no se puede admitir ningún otro valor. Se emplean varias designaciones para estos dos estados cuantificados, y en la Tabla 6-1 se indica una lista de ellos. En lógica, una premisa se caracteriza como *verdadera* o *falsa*, y ésta es la primera clasificación binaria que figura en la tabla. Un interruptor puede estar *cerrado* o *abierto,* que corresponde a la anotación número 9, etc. Para la aritmética binaria o la manipulación matemática de interruptores o de funciones lógicas, se tiene la anotación de la tercera casilla, que implica los dos símbolos 0 (cero) y 1 (uno).

Para explicar el sistema binario de representación de números emplearemos la referencia del *sistema decimal.* En este último, la base es 10 (diez), y se necesitan diez cifras, 0,

* También se emplean los términos americanos OR, AND, NOT y FLIP-FLOP. (*N. del T.*)

TABLA 6-1 Terminología del estado binario

	1	2	3	4	5	6	7	8	9	10	11
Uno de los estados	Cierto	Alto	1	Subiendo	Impulso	Excitado	Desconectado	Caliente	Cerrado	Norte	Sí
El otro estado	Falso	Bajo	0	Bajando	No	No	Conectado	Frío	Abierto	Sur	No

1, 2, 3, ..., 9, para expresar un número cualquiera. Para escribir un número mayor que 9, asignaremos un significado a la posición de cada cifra en el número completo. Por ejemplo, el número 1.264 (mil doscientos sesenta y cuatro) significa:

$$1\,264 \equiv 1 \times 10^3 + 2 \times 10^2 + 6 \times 10^1 + 4 \times 10^0.$$

De esta forma, el dígito individual de un número representa el coeficiente de una serie de potencias de 10. El dígito de la derecha es el coeficiente de la potencia 0, el siguiente el de potencia 1, y así sucesivamente.

En el *sistema binario* de representación, la base es 2, y sólo se requieren dos cifras, el 0 y el 1, para representar un número. Las cifras 0 y 1 tienen el mismo significado que en el sistema decimal, pero difieren en cuanto a la situación que ocupan. En el sistema binario, el dígito individual representa el coeficiente de las potencias de *dos* en lugar de las de *diez* como sucede en el sistema decimal. Por ejemplo, el número decimal 19 se escribe en representación binaria como 10011, ya que:

$$10011 \equiv 1 \times 2^4 + 0 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 =$$
$$= 16 + 0 + 0 + 2 + 1 = 19$$

En la Tabla 6-2 se da una reducida lista de números equivalentes entre el sistema binario y el decimal.

TABLA 6-2 Equivalencias en notación decimal y binaria

Notación decimal	*Notación binaria*	*Notación decimal*	*Notación binaria*
0	00000	11	01011
1	00001	12	01100
2	00010	13	01101
3	00011	14	01110
4	00100	15	01111
5	00101	16	10000
6	00110	17	10001
7	00111	18	10010
8	01000	19	10011
9	01001	20	10100
10	01010	21	10101

TABLA 6-3 Conversión de decimal a binaria

Dividido por 2	0	1	2	4	9	19 decimal
Resto	1	0	0	1	1	Binario

En la Tabla 6-3 se indica un método general para convertir un número decimal en binario. El procedimiento es el siguiente: Colocar el número decimal (en nuestro ejemplo 19) en el extremo de la derecha. Seguidamente dividir por 2 y colocar el cociente (9) a la izquierda, y situar el resto (1) directamente debajo de él. Repetir este proceso (para la próxima columna 9 : 2 = 4 y el resto 1) hasta obtener el cociente 0. El conjunto de 1 y 0 de la segunda línea constituye la representación binaria del número decimal original. En nuestro ejemplo 19 (decimal) = 10011 (binario).

Un dígito binario (1 ó 0) se denomina *bit**. Un grupo de varios bit que tengan un determinado significado es una *información, palabra o código.* Por ejemplo, para representar los diez números (0, 1, 2, 3,..., 9) y 26 letras del alfabeto, se necesitan 36 combinaciones diferentes de 1 y 0. Como $2^5 < 36 < 2^6$, se precisa un nínimo de 6 bit por información para obtener todos los caracteres alfanuméricos. En este sentido, una información se denomina a veces *carácter,* y un grupo de uno o más caracteres es una *palabra.*

Sistemas lógicos. En un sistema de continua, o *nivel lógico,* un **bit** se caracteriza por uno de los dos niveles de tensión. Si, como en la Fig. 6-1*a*, la tensión más positiva es el nivel 1 y la otra es el nivel 0, se dice que el sistema emplea lógica *positiva.* En cambio, un sistema lógico *negativo,* como el de la Fig. 6-1*b*, es el que designa el estado de tensión más negativo del bit como nivel 1 y el más positivo como nivel cero. Cabría destacar que los valores absolutos de las dos tensiones no tienen significado en estas definiciones. Concretamente, el estado 0 no representa necesariamente el nivel de tensión 0 (aunque ello ocurra en algunos sistemas).

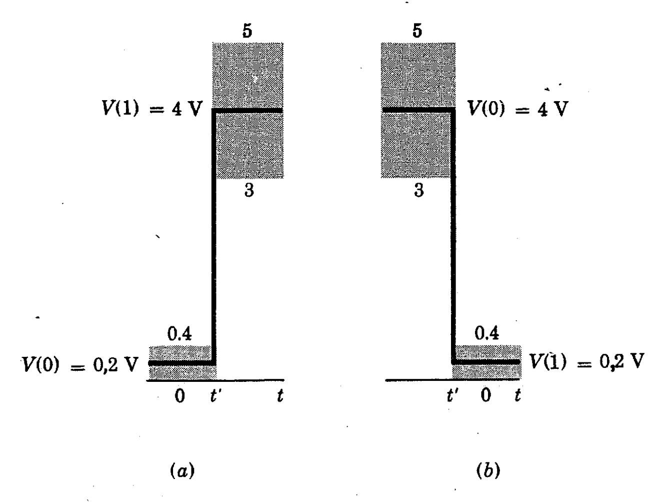


Fig. 6-1. Ilustración de las definiciones de (*a*) lógica positiva y (*b*) lógica negativa. La transición de un estado a otro ocurre a $t = t'$

Abreviatura de las palabras inglesas "Binary digit". (*N. del T.*)

Los parámetros de un dispositivo físico (por ejemplo $V_{CE,\text{sat}}$ de un transistor) no son idénticos de un elemento a otro, variando además con la temperatura. Además, puede haber rizado o picos en la fuente de alimentación o en los conductores de tierra, así como otras fuentes de señal indeseables que representan el *ruido* del circuito. Por esta razón, los niveles digitales no se especifican con precisión, sino que, como indica la región sombreada de la Fig. 6-1, cada estado se define con un margen de tensiones dentro de cada nivel, tales como 4 ± 1 V y 0,2 ± 0,2 V.

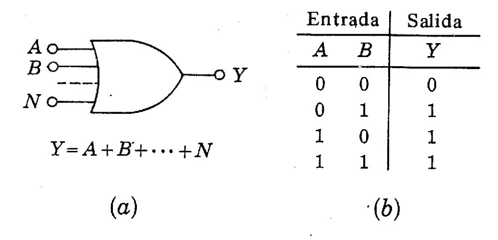
En un sistema *dinámico*, o de *lógica de impulsos,* el bit se reconoce por la presencia o ausencia de un impulso. Un 1 significa la existencia de un impulso positivo en un sistema dinámico de lógica positiva, y un impulso negativo indica 1 en un sistema dinámico de lógica negativa. En ambos sistemas, un 0 en una entrada (o salida) en un instante de tiempo dado, significa que no hay impulso alguno en ese momento particular.

6-2. PUERTA O[1]

Una puerta O tiene dos o más entradas y una sola salida, y funciona de acuerdo con la siguiente definición: *La salida de un O se halla en el estado 1 si una o más de las entradas está en 1.* Las n entradas de un circuito lógico las designaremos con las letras $A, B, \ldots, N$ y la salida por Y, con el bien entendido de que cada uno de estos símbolos puede suponer uno cualquiera de los dos estados lógicos, 0 ó 1. En la Fig. 6-2*a* viene dibujado el símbolo normalizado de un circuito O, junto con la expresión de Boole para tal puerta. Esta ecuación debe leerse: "Y igual a A ó B ó... ó N". En lugar de definir una operación lógica con palabras, se puede emplear el método de la *tabla de la verdad* que contiene una lista de todos los valores posibles de las entradas y sus correspondientes salidas. Debe quedar claro que la tabla de la verdad de dos entradas de la Fig. 6-2*b* equivale a la definición anterior del funcionamiento del O.

En el sistema de *lógica con diodos* (DL), las puertas lógicas se construyen empleando diodos. En la Fig. 6-3 cabe observar un O con diodos para lógica negativa. La resistencia del generador de alimentación se indica por R_s. Consideremos primero el caso en que la fuente de alimentación V_R tiene un valor igual a la tensión V(0) del estado 0 para la lógica en continua.

Si todas las entradas están en 0, la caída de potencial en cada diodo es $V(0) - V(0) = 0$. Puesto que para que un diodo conduzca es preciso que esté polarizado en sentido directo con un valor superior a la tensión umbral V_γ (Fig. 4-5), ninguno de los diodos conduce. Por lo tanto, la tensión de salida es $v_o = V(0)$, y Y se halla en el estado 0.



Entrada		Salida
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

(*b*)

Fig. 6-2. (*a*) Símbolo normalizado para una puerta O y su expresión de Boole; (*b*) tabla de la verdad para una puerta O de dos entradas

Si ahora la entrada A pasa al estado 1, lo cual para la lógica negativa significa el potencial $V(1)$ menos positivo que el estado 0, entonces $D1$ conducirá. La salida pasa a ser:

$$v_o = V(0) - [V(0) - V(1) - V_\gamma] \frac{R}{R + R_s + R_f} \tag{6-1}$$

donde R_f es la resistencia del diodo en sentido directo. Normalmente, R se elige mucho mayor que $R_s + R_f$. Con esta limitación:

$$v_o \approx V(1) + V_\gamma \,. \tag{6-2}$$

Por lo tanto, la tensión de salida sobrepasa el nivel más negativo $V(1)$ en V_γ (aproximadamente 0,2 V para el germanio o 0,6 V para el silicio). Por otra parte, el escalón de la tensión de salida es *menor* en V_γ que el cambio de la tensión de entrada.

A partir de ahora, si no se especifica lo contrario, supondremos que $R \gg R_s$ y que los diodos son ideales con $R_f = 0$ y $V_\gamma = 0$. La salida, para una entrada A excitada, vale $v_o = V(1)$, y el circuito responde a la siguiente lógica: si $A = 1, B = 0, \ldots, N = 0$, entonces $Y = 1$, lo que está de acuerdo con el funcionamiento como O.

Con la excitación anterior, la salida será $V(1)$, y todos los diodos estarán polarizados en sentido inverso, excepto el $D1$. De ahí que la presencia de una fuente de señal en $B, C, \ldots, N$ no dé como resultado una carga adicional al generador A. Debido a que la configuración O minimiza la interacción entre cada fuente y las demás, esta puerta se denomina a veces circuito *tampón.* Puesto que permite aplicar varias fuentes independientes al mismo nudo, muchas veces se denomina también puerta *mezcladora* (no lineal).

Si dos o más entradas están en estado 1, los diodos conectados con estas entradas conducen, y los demás permanecen polarizados en sentido inverso. La salida será $V(1)$, y nuevamente la función O queda satisfecha. Si, por cualquier razón, el nivel $V(1)$ no es idéntico para todas las entradas, *aparecerá en la salida el valor más negativo de V(1) (para la lógica negativa),* y ningún diodo, excepto uno, conducirá.

La lógica O positiva emplea la misma configuración que la Fig. 6-3, excepto que los diodos están colocados en sentido inverso. *La salida es ahora igual al nivel más positivo de*

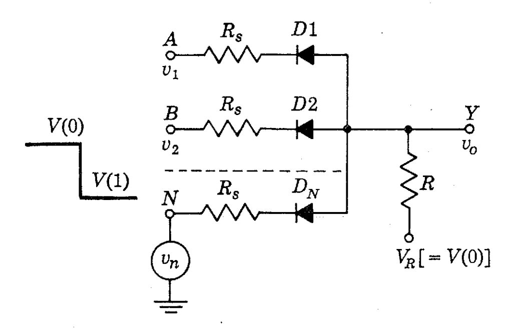


Fig. 6-3. Circuito O de diodos, para lógica negativa. (Se puede escoger también la fuente de tensión de tal manera que $V_R > V(0)$, pero este sistema tiene el inconveniente de conducir una corriente de reposo cuando todas las entradas se hallan en el estado 0.)

V(1) [o, para ser más exactos, es V_γ menor que el valor más positivo de $V(1)$]. Si se considera un sistema lógico dinámico, *el impulso de salida es* (aproximadamente) *igual al mayor impulso de entrada* (sin fijarse en cual de los dos sistemas es el empleado, si el de lógica positiva o el de negativa).

El circuito O de la Fig. 6-3 puede funcionar de una segunda forma si V_R se fija a una tensión más positiva que $V(0)$, en por lo menos V_γ. En esta condición *todos los diodos conducen en el estado 0, y* $v_o \approx V(0)$ si $R \gg R_s + R_f$. Si una o más entradas se excitan, el diodo conectado a la $V(1)$ más negativa conducirá, la salida será igual a este valor $V(1)$, y todos los demás diodos están polarizados en inversa. Naturalmente, la función O ha quedado cumplida.

Aún hay una tercera forma de trabajar el circuito O de la Fig. 6-3, que resultará si seleccionamos $V_R < V(0)$. Este montaje tiene el inconveniente de que la salida no responderá hasta que la entrada haya bajado lo suficiente para sobrepasar la polarización inversa inicial de los diodos.

Identidades de Boole. Se podrá verificar fácilmente que las siguientes ecuaciones pertenecen a O (+) si tenemos en cuenta que *A, B,* y *C* pueden tomar cualquiera de los valores 0 ó 1:

$$A + B + C = (A + B) + C = A + (B + C) \tag{6-3}$$

$$A + B = B + A \tag{6-4}$$

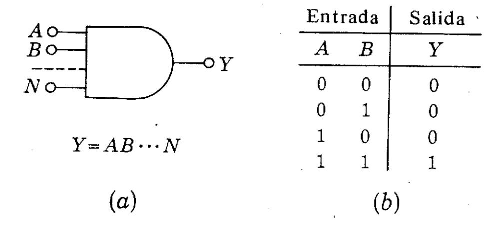
$$A + A = A \tag{6-5}$$

$$A + 1 = 1 \tag{6-6}$$

$$A + 0 = A \tag{6-7}$$

6-3. PUERTA Y[1]

Una puerta Y tiene dos o más entradas y una sola salida, y funciona de acuerdo con la siguiente definición: *La salida de una puerta* Y *estará en estado 1 sólo si están en estado 1 todas las entradas.* En la Fig. 6-4*a* se da el símbolo del circuito Y junto con la expresión de Boole para dicha puerta. La ecuación se lee Y igual a *A* y *B* y ... y *N*". [A veces se coloca un punto (.) o un aspa (x) entre los símbolos para indicar la operación Y.] Se puede comprobar que la tabla de la verdad de dos entradas de la Fig. 6-4*b* responde a la definición de la función Y.



Entrada		Salida
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

(*b*)

Fig. 6-4. (*a*) Símbolo normalizado para una puerta Y y su expresión de Boole; (*b*) tabla de la verdad para una puerta Y de dos entradas

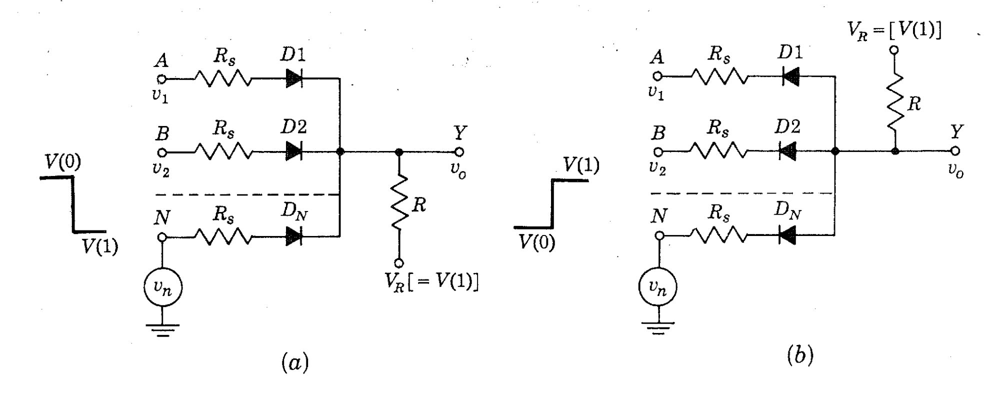


Fig. 6-5. Circuito lógico Y con diodos (*a*) lógica negativa y (*b*) lógica positiva

En la fig. 6-5*a* aparece una construcción lógica de diodos (*DL*) para una puerta Y negativa. Se debe suponer, para entender el funcionamiento del circuito, que inicialmente todas las resistencias de las fuentes R_s son nulas y que todos los diodos son ideales. Si una entrada *cualquiera* está en el nivel 0, $V(0)$, el diodo conectado a esa entrada conducirá y la salida estará limitada a la tensión $V(0)$, o sea $Y = 0$. En cambio, si *todas* las entradas están al nivel 1, $V(1)$, todos los diodos están polarizados en sentido inverso y $v_o = V(1)$, o sea $Y = 1$. Evidentemente se ha obtenido la función Y. La puerta Y se denomina también *circuito de coincidencia.*

La puerta lógica Y positiva emplea la misma construcción que la Fig. 6-5*a*, excepto que todos los diodos están invertidos. Este circuito está indicado en la Fig. 6-5*b* y debe compararse con la Fig. 6-3. Debe tenerse en cuenta que el símbolo $V(0)$ de la Fig. 6-3 indica la misma tensión que el $V(1)$ en la Fig. 6-5*b*, ya que ambos representan el nivel binario superior. En forma similar, $V(1)$ de la Fig. 6-3 es igual al $V(0)$ de la Fig. 6-5*b*, ya que ambos representan el nivel binario más bajo. Por tanto, estos dos circuitos son idénticos, y sacamos en consecuencia que *una puerta* O *negativa tiene el mismo circuito que una puerta* Y *positiva.* Este resultado no queda restringido a la lógica con diodos sino que, empleando el álgebra de Boole, veremos en la sección 6-8 que es válido independientemente del material empleado para construir el circuito.

En la Fig. 6-5*b* se puede elegir V_R más positiva que $V(1)$. Si se introduce esta condición, todos los diodos conducirán cuando haya coincidencia (todas las entradas en estado 1) y la salida estará limitada a $V(1)$. En esta forma de trabajo, la impedancia de salida es baja e igual a $(R_s + R_f)/n$ en paralelo con *R*.

Si $V_R = V(1)$, todos los diodos están cortados y la impedancia de salida es elevada (igual a *R*). Si por cualquier razón no todas las entradas tienen el mismo nivel superior $V(1)$, la salida de la puerta Y positiva de la Fig. 6-5*b* será igual a $V(1)_{min}$, o sea el valor menos positivo de $V(1)$. Obsérvese que el diodo conectado a $V(1)_{min}$ conduce, limita la salida al mínimo valor de $V(1)$ y mantiene los otros diodos en polarización inversa. Si, en cambio, V_R es menor que todas las entradas $V(1)$, todos los diodos estarán coincidiendo en el corte y todas las salidas alcanzarán la tensión V_R. Igualmente, si las entradas son impulsos, el impulso de salida tendrá una amplitud igual a la amplitud de entrada menor [considerando que V_R sea mayor que $V(1)_{min}$].

Identidades de Boole. Como A, B y C sólo pueden tener los valores de 0 y 1, cabe verificar que las expresiones siguientes implican el funcionamiento como Y:

$$ABC = (AB)C = A(BC) \tag{6-8}$$

$$AB = BA \tag{6-9}$$

$$AA = A \tag{6-10}$$

$$A1 = A \tag{6-11}$$

$$A0 = 0 \tag{6-12}$$

$$A(B + C) = AB + AC \tag{6-13}$$

Estas ecuaciones pueden comprobarse haciendo referencia a la definición de Y, a la tabla de la verdad, o al comportamiento de los circuitos Y vistos anteriormente. También, empleando las ecuaciones (6-11), (6-13) y (6-6) cabe demostrar que:

$$A + AB = A \tag{6-14}$$

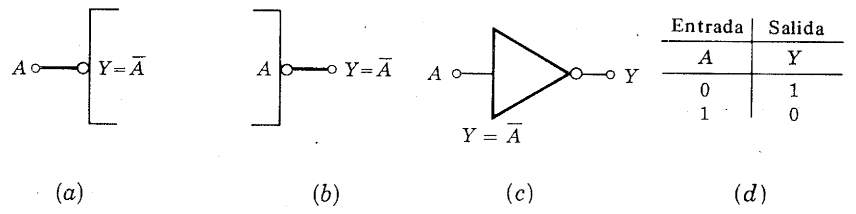
Igualmente, de las ecuaciones (6-13), (6-10) y (6-6):

$$A + BC = (A + B)(A + C) \tag{6-15}$$

Tendremos ocasión de referirnos a estas dos últimas ecuaciones más adelante.

6-4. CIRCUITO NO, O INVERSOR

Los circuitos NO tienen una sola entrada y una sola salida, y responden a la *negación lógica* de acuerdo con la siguiente definición: *La salida de un circuito* NO *tiene el estado 1 sólo si la entrada no toma el estado 1.* La norma para indicar una *negación lógica* es un pequeño círculo en el punto en que la línea de señal se une a un símbolo lógico. La negación en la entrada de un bloque lógico se indica en la Fig. 6-6*a*, y a la salida en la Fig. 6-6*b*. El símbolo de una puerta NO y la expresión de Boole para la negación vienen dados en la Fig. 6-6*c*. La ecuación se lee "Y igual a NO A" o bien, "Y es el complemento de A". [A veces se emplea una vírgula (′) en lugar de un guión (-) para indicar la operación NO]. La tabla de la verdad se indica en la Fig. 6-6*d*.



Entrada	Salida
A	Y
0	1
1	0

Fig. 6-6. Negación lógica en: (*a*) entrada y (*b*) salida, de un bloque lógico; (*c*) símbolo empleado a menudo para una puerta NO y su expresión en álgebra de Boole; (*d*) tabla de la verdad

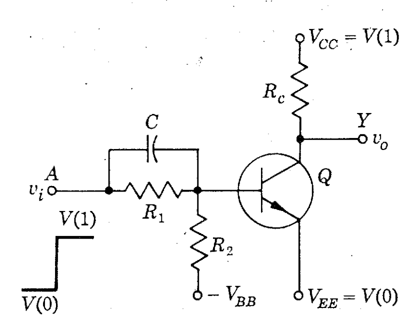


Fig. 6-7. Inversor para lógica positiva. Un circuito similar con un transistor *p-n-p*, se utiliza para lógica negativa O

Al circuito que cumple la negación lógica se le denomina NO, pero, como invierte el sentido de la salida con respecto a la entrada, también se le conoce con el nombre de *inversor.* La salida de un INVERSOR es relativamente más positiva si, y sólo si, la entrada es relativamente menos positiva. En un verdadero sistema binario, sólo se reconocen dos niveles $V(0)$ y $V(1)$, y la salida, así como la entrada, del inversor deben funcionar entre estos dos potenciales. Cuando la entrada está en $V(0)$, la salida debe ser $V(1)$, y viceversa. En el caso ideal, un circuito NO invierte la señal conservando su forma y los niveles binarios entre los que trabaja la señal.

El circuito del transistor de la Fig. 6-7 presenta un inversor para lógica positiva, con un estado 0 de $V(0) = V_{EE}$ y un estado 1 para $V(1) = V_{CC}$. Si la entrada es baja, $v_i = V(0)$, y entonces los parámetros se eligen para que Q esté en corte, y por lo tanto $v_o = V_{cc} = V(1)$. Por otra parte, si la entrada es alta, $v_i = V(1)$, y los parámetros del circuito se toman para que Q esté en saturación y entonces $v_o = V_{EE} = V(0)$, siempre y cuando despreciemos la tensión de saturación de colector-emisor, $V_{CE,\text{sat}}$. En el siguiente ejemplo se hace un detallado estudio de las condiciones en reposo.

Ejemplo. Si el transistor de silicio de la Fig. 6-8 tiene un valor mínimo de h_{FE} igual a 30, hallar los niveles de salida para los de entrada de 0 y 12 V.

SOLUCION. Para $v_i = V(0) = 0$, la tensión de la base en circuito abierto V_B será:

$$V_B = -12 \times \frac{15}{100 + 15} = -1.56 \text{ V}$$

Ya que una polarización de 0 V es la indicada para el corte de una unión de emisor del silicio (Tabla 5-1), Q está realmente en corte. Por lo tanto, $v_o = 12$ V para $v_i = 0$.

Para $v_i = V(1) = 12$ V, comprobemos el supuesto de que Q esté en saturación. La corriente mínima de base para la saturación es:

$$(I_B)_{\min} = \frac{I_C}{h_{FE}}$$

Consideraremos suficiente precisión empleando los valores aproximados de la tensión de saturación de la unión dados en la Tabla 5-1, los cuales, para el silicio son, $V_{BE,\mathrm{sat}} = 0{,}8$ V y $V_{CE,\mathrm{sat}} = 0{,}2$ V. Con estos valores:

$$I_C = \frac{12 - 0{,}2}{2{,}2} = 5{,}36 \text{ mA} \qquad (I_B)_{\min} = \frac{5{,}36}{30} = 0{,}18 \text{ mA}$$

$$I_1 = \frac{12 - 0{,}8}{15} = 0{,}75 \text{ mA} \qquad I_2 = \frac{0{,}8 - (-12)}{100} = 0{,}13 \text{ mA}$$

y

$$I_B = I_1 - I_2 = 0{,}75 - 0{,}13 = 0{,}62 \text{ mA}$$

Como este valor sobrepasa $(I_B)_{\min}$, Q está realmente en saturación y la caída de potencial en el transistor será $V_{CE,\mathrm{sat}}$. En consecuencia, $v_o = 0{,}2$ V para $v_i = 12$ V, y el circuito responde al funcionamiento como NO.

Si la entrada al inversor se obtiene de la salida de una puerta similar, los niveles de entrada serán $V(0) = V_{CE,\mathrm{sat}} = 0{,}2$ V y $V(1) = 12$ V. Los niveles de salida correspondientes son 12 y 0,2 V, respectivamente.

En la Fig. 6-7 se añade un condensador C en paralelo con R_1 para mejorar la respuesta transitoria del inversor. Este condensador ayuda a la eliminación de la carga de los portadores minoritarios almacenada en la base, cuando la señal cambia bruscamente entre los estados lógicos. En la siguiente sección se estudiará este fenómeno, incluyendo el tiempo de subida, el tiempo de bajada y el tiempo de almacenamiento. El orden de magnitud de C es de 100 pF, pero su valor exacto depende del transistor.

Limitaciones del transistor. Hay ciertas características del transistor, así como determinadas propiedades del circuito, que deben ser tenidas en cuenta, particularmente en el diseño de los inversores de transistores.

1. *La tensión de polarización inversa V_{EB} de la unión de emisor.* Esta tensión no debe sobrepasar la de ruptura emisor-base BV_{EBO} indicada por el fabricante. Por ejemplo, para el tipo 2N914, $BV_{EBO} = 5$ V, y para el 2N1304, $BV_{EBO} = 25$ V. No obstante, para algunos transistores (de base por difusión), BV_{EBO} puede ser bastante pequeño (menos de 1 V).

2. *Ganancia de corriente en continua h_{FE}.* Como h_{FE} disminuye con la temperatura, el circuito debe diseñarse para que el transistor permanezca en saturación aun a las temperaturas más bajas que puedan esperarse. El valor máximo de R_1 está determinado principalmente por esta condición.

3. *La corriente inversa de saturación de colector I_{CBO}.* Ya que $|I_{CBO}|$ aumenta aproximadamente el 7 %/° C (se duplica cada 10°, tanto para el germanio como para el silicio), no es posible seguir despreciando el efecto de I_{CBO} para temperaturas elevadas. La corriente de emisor al corte es cero y la corriente de la base I_{CBO} (en sentido opuesto al indicado como I_B en la Fig. 6-8). Calculemos el valor de I_{CBO} tal que justamente lleve al transistor al punto de corte. Si suponemos, como en la Tabla 5-1, que en el corte, $V_{BE} = 0$ V, entonces $I_1 = 0$ y la diferencia de potencial en la resistencia de 100 K será:

$$100\, I_{CBO} = 12 \text{ V} \quad \text{o sea} \quad I_{CBO} = 0{,}12 \text{ mA}$$

Fig. 6-8. Cálculo de un inversor

La temperatura en la que $I_{CBO} = 0{,}12$ mA $= 120\,\mu$ A es la máxima temperatura a la que el inversor funcionará satisfactoriamente. Un transistor de silicio puede trabajar a temperaturas por encima de 185° C.

Identidades de Boole. A partir de la definición básica del NO Y, y O pueden comprobarse las siguientes identidades de Boole:

$$\bar{\bar{A}} = A \tag{6-16}$$

$$\bar{A} + A = 1 \tag{6-17}$$

$$\bar{A}A = 0 \tag{6-18}$$

$$A + \bar{A}B = A + B \tag{6-19}$$

Ejemplo. Comprobar la Ec. (6-19).

SOLUCION. Como $B + 1 = 1$ y $A1 = A$, tendremos:

$$A + \bar{A}B = A(B+1) + \bar{A}B = AB + A + \bar{A}B = (A + \bar{A})B + A = B + A$$

en que empleamos la Ec. (6-17).

6-5. TIEMPOS DE CONMUTACION DEL TRANSISTOR[2]

Si se aplica un impulso a un inversor, el transistor actúa como un conmutador, ya que pasa desde la región de corte a la de saturación y vuelve luego al corte. Detengamos nuestra atención en el comportamiento del transistor inversor, cuando hace la transición de un estado a otro. Vamos a considerar el circuito indicado en la Fig. 6-9*a*, excitado por un impulso cuya forma aparece representada en la Fig. 6-9*b*. Esta onda tiene dos niveles de tensión V_2 y V_1. En V_2, el transistor está al corte, y en V_1 está en saturación. La onda de entrada v_i se aplica entre base y emisor a través de una resistencia en serie R_s, que representa $R_1 \| R_2$ de la Fig. 6-7 (suponiendo que no existe C).

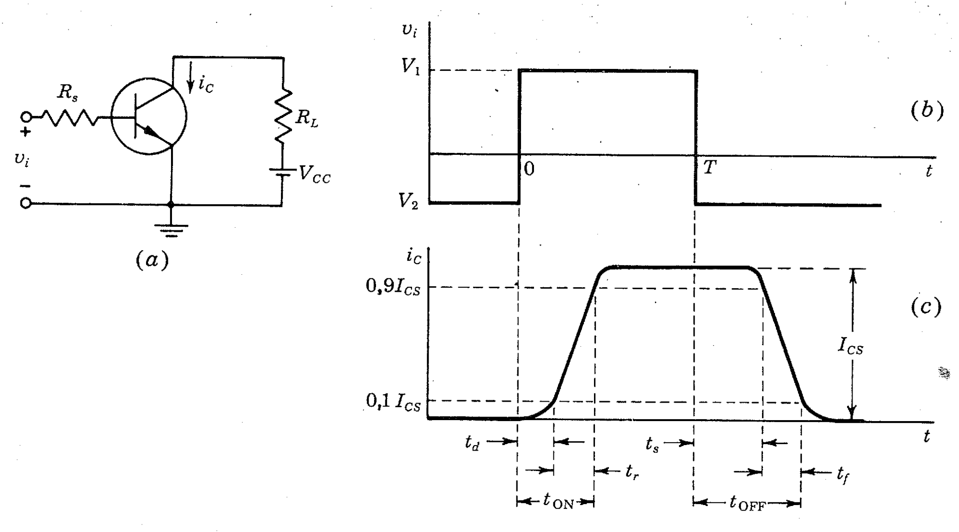


Fig. 6-9. La forma de onda del impulso en (*b*) lleva el transistor de (*a*) desde el corte a la saturación y otra vez al corte. (*c*) Respuesta de la corriente de colector al impulso excitador

La respuesta de la corriente de colector i_c a la onda de entrada, siempre con respecto al tiempo, aparece en la Fig. 6-9*c*. La curva no responde inmediatamente a la señal de entrada, sino con un cierto retraso que se denomina *tiempo de retardo* t_d, considerándolo siempre hasta que la corriente alcanza el 10 % de su máximo valor (saturación): $I_{CS} \approx V_{CC}/R_L$. La onda tiene un *tiempo de subida* no nulo, que es el que precisa la corriente para alcanzar, pasando por la región activa, del 10 al 90 % de I_{CS}. El tiempo total de *conexión* t_{ON} es la suma de los tiempos de retraso y de subida, $t_{ON} \equiv t_d + t_r$. Cuando la señal de entrada vuelve a su estado inicial al cabo de $t = T$, la corriente tampoco responde inmediatamente. El intervalo que transcurre entre la transición de la entrada y el instante en que i_C baja al 90 % de I_{CS}, se denomina *tiempo de almacenamiento* t_s. Al tiempo de almacenamiento le sigue un *tiempo de caída* t_f, que es el que se precisa para que i_C descienda del 90 al 10 % de I_{CS}. El *tiempo de apertura* t_{OFF} se define como la suma de los tiempos de almacenamiento y de caída, $t_{OFF} \equiv t_s + t_f$. Vamos a considerar ahora las razones físicas para la existencia de cada uno de estos tiempos. El cálculo completo de estos intervalos (t_d, t_r, t_s y t_f) resulta complejo, y el lector puede acudir a la referencia 2. Los valores numéricos de los tiempos de retraso, subida, almacenamiento y caída para el transistor de silicio planar epitaxial *n-p-n* 2N3830 de la Texas Instruments, en condiciones especificadas, pueden llegar a ser tan pequeños como: $t_d = 10$ ns, $t_r = 50$ ns, $t_s = 40$ ns y $t_f = 30$ ns.

Tiempo de retardo. Contribuyen a esta coyuntura tres factores. Primero: cuando se aplica la señal de excitación a la entrada del transistor, se precisa un tiempo no nulo para cargar la capacidad de transición de la unión de emisor para que el transistor pueda llegar del corte a la región activa. Segundo: cuando los portadores minoritarios empiezan a atravesar la unión del emisor tardan un cierto tiempo en llegar a la unión del colector para formar parte de la corriente de colector. Finalmente, también se precisa algo de tiempo para que la corriente de colector alcance el 10 % de su valor máximo.

Tiempos de subida y de caída. Ambos son debidos al hecho de que, al emplear un impulso de corriente de base para saturar el transistor o regresarlo de la saturación al corte, la corriente de colector debe atravesar la región activa. La corriente de colector aumenta o disminuye de forma exponencial cuya constante de tiempo puede demostrarse que vale $\tau_r = h_{FE}(C_c R_c + 1/\omega_T)$, donde C_c es la capacidad de transición del colector y ω_T es la frecuencia en radianes a la que la ganancia de corriente es la unidad (Sec. 11-3).

Tiempo de almacenamiento. La no respuesta del transistor durante t_s a la anulación del impulso de excitación (indicado en la Fig. 6-9*c*) proviene de que el transistor en saturación tiene una carga en exceso de portadores minoritarios almacenados en la base. El transistor no puede responder hasta que este exceso de carga de saturación se haya eliminado. La densidad de carga almacenada en la base se indica en la Fig. 6-10, para varias condiciones de funcionamiento.

La concentración de portadores minoritarios en la región de la base disminuye linealmente desde $p_{no}\epsilon^{V_E/V_T}$ a $x = 0$ hasta $p_{no}\,\epsilon^{V_C/V_T}$ a $x = W$, tal como indica la Fig. 6-11*b*. En la región de corte, V_E y V_C son negativos, y p_n es casi cero en cualquier punto. En la región activa, V_E es positivo y V_C negativo, siendo p_n grande para $x = 0$ y casi cero para $x = W$. Finalmente, en la región de saturación, donde V_E y V_C son ambas positivas, p_n es elevada en cualquier punto, y por lo tanto se almacena gran cantidad de portadores minoritarios en la base. Estas densidades están dibujadas en la Fig. 6-10.

Consideraremos que el transistor está en su región de saturación y que en $t = T$ se aplica un impulso de entrada para pasar el transistor al corte, tal como aparece en la Fig. 6-9. Como el proceso de desconexión no puede empezar hasta que la anormal densidad de portadores (región fuertemente sombreada en la Fig. 6-10) haya desaparecido, tiene lugar un retraso relativamente grande de almacenamiento t_s antes de que el transistor responda a la señal de corte de la entrada. En el caso extremo, este tiempo de retraso de almacenamiento puede ser de dos o tres veces el tiempo de subida o de bajada a través de la región activa. Está claro que, cuando se emplean transistores de conmutación en lugares en que la velocidad es de verdadero interés, la mayor ventaja se alcanza cuando se reduce el tiempo de almacenamiento. Añadiendo un condensador C en paralelo con la

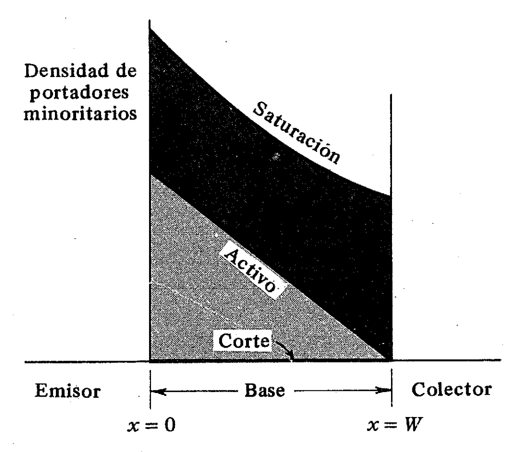


Fig. 6-10. Concentración de portadores minoritarios en la base en las condiciones de funcionamiento de corte, activo y saturación

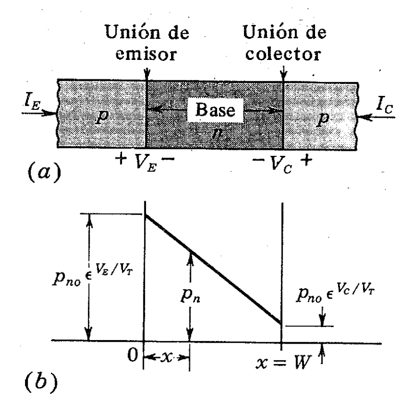


Fig. 6-11. Densidad de portadores minoritarios en la región de la base. Las concentraciones en $x = 0$ y en $x = W$ están gobernadas por las leyes de la unión (Ec. 3-4)

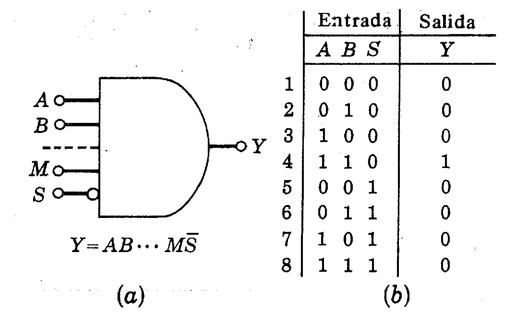
resistencia de base (Fig. 6-7), fluye un impulso de corriente de la base en el instante T al final del impulso de entrada. Si C es elegido apropiadamente[3], esta corriente reducirá instantáneamente t_s a cero. En la Sec. 7-13, se da un método para evitar que un transistor entre en la saturación, y por tanto eliminar el tiempo de almacenamiento.

6-6. FUNCION DE INHIBICION (Y HABILITACION)

Un circuito NO que preceda un terminal (S) de una puerta Y actúa como *inhibidor.* Este circuito Y modificado da lugar a la siguiente relación lógica: *Si* $A = 1, B = 1, \ldots, M = 1$, *entonces* $Y = 1$ *siempre que* $S = 0$. *En cambio, si* $S = 1$, *entonces la coincidencia de* $A, B, \ldots, M$ *se inhibe e* $Y = 0$. Esta configuración corresponde a un circuito denominado también *anticoincidencia.* El símbolo lógico se representa en la Fig. 6-12*a*, junto con su expresión de Boole. La ecuación se lee: "*Y igual a A y B y ... y M y no S*". La tabla de la verdad para la puerta Y de tres entradas con un terminal inhibidor (S) está indicada en la Fig. 6-12*b*.

El terminal S se denomina también *entrada de inhibición.* El bit $S = 0$, da lugar a una puerta Y, mientras que el bit $S = 1$ consigue que la salida permanezca en 0, independientemente del valor de los demás bit de entrada.

En la Fig. 6-13 se indica una combinación del circuito Y de la Fig. 6-5*b* y el INVERSOR de la Fig. 6-8 y que satisface a la tabla de la verdad de la Fig. 6-12*b*. Si las entradas A o B o ambas están en el estado 0, $V(0) = 0$ V, por lo menos uno de los diodos $D1$ ó $D2$ conducirá y llevará la salida a 0 V, o $Y = 0$. Esta argumentación justifica todas las posibilidades de la tabla de la verdad, excepto las de las líneas 4 y 8. Vamos a considerar ahora la situación cuando hay coincidencia entre A y B. Si S está en el estado 0, Q está al corte, y la salida del circuito NO es $\bar{S} = 1$ (12 V). Por lo tanto, los tres diodos están polarizados en sentido inverso y la salida alcanza los 12 V, o sea $Y = 1$, lo que corresponde a la línea 4 de la tabla de la verdad. (Si A, B, V_{R1}, y V_{R2} no tuvieran todas la misma tensión, la salida alcanzaría el menor de estos valores.) Finalmente, vamos a considerar la condición de la línea 8 de la Fig. 6-12*b*. Si C está en el estado 1, Q estará en saturación, y la salida del transistor bajará a 0 V (idealmente). Por lo tanto, $\bar{S} = 0$, $D3$ conduce, e $Y = 0$, lo cual es la lógica de la última línea de la tabla de la verdad.



	Entrada A B S	Salida Y
1	0 0 0	0
2	0 1 0	0
3	1 0 0	0
4	1 1 0	1
5	0 0 1	0
6	0 1 1	0
7	1 0 1	0
8	1 1 1	0

Fig. 6-12. (*a*) Bloque lógico y expresión de Boole para un Y con un terminal S. (*b*) La tabla de la verdad para $Y = AB\bar{S}$. La columna de la izquierda numera las ocho posibles combinaciones de entrada

Es posible un Y con dos entradas, una de ellas inhibidora. Este circuito satisface la lógica: "La salida es verdad (1) si la entrada A es cierta (1), siempre y cuando B no sea verdad (0) [o de forma parecida, siempre y cuando B sea falso (0)]". Cabe lograr otras configuraciones con más de un terminal inhibidor en un circuito Y.

En un sistema dinámico, si se quiere conseguir un impulso inhibidor que impida que cualquier señal se transmita a la puerta, es preciso que tal impulso comience antes y termine después que el impulso de la señal.

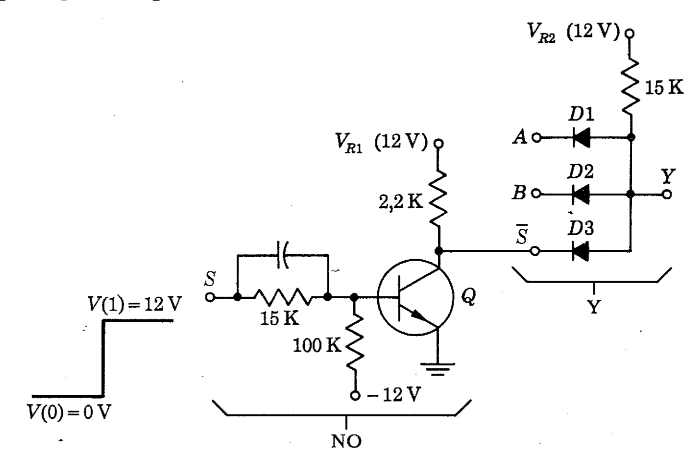


Fig. 6-13. Circuito Y con lógica positiva, con una negación en un terminal

6-7. CIRCUITO O EXCLUSIVO

La puerta O EXCLUSIVO responde a la siguiente definición: *La salida de un* O EXCLUSIVO *de dos entradas permanece en estado* 1 *si una, y sólo una, de las entradas está en estado* 1. El símbolo normalizado para un O EXCLUSIVO aparece en la Fig. 6-14*a*, y la

$Y = A \oplus B$

(a)

Entrada A	Entrada B	Salida Y
0	0	0
0	1	1
1	0	1
1	1	0

(b)

Fig. 6-14. (*a*) Símbolo normalizado para una puerta O EXCLUSIVO y su expresión de Boole; (*b*) tabla de la verdad

tabla de la verdad en la Fig. 6-14*b*. El circuito de la Sec. 6-2 se refiere a un O INCLUSIVO si se desea distinguirlo del O EXCLUSIVO.

La definición anterior es equivalente a la frase: "Si $A = 1$ ó $B = 1$ pero no simultáneamente, $Y = 1$". En la notación de Boole,

$$Y = (A + B)\,(\overline{AB}) \tag{6-20}$$

Esta función se indica en forma de diagramas lógicos en la Fig. 6-15*a*.

Una segunda frase lógica para la definición del O EXCLUSIVO es la siguiente: "Si $A = 1$ y $B = 0$, o si $B = 1$ y $A = 0$, entonces $Y = 1$". La expresión de Boole será:

$$Y = A\bar{B} + B\bar{A} \tag{6-21}$$

El diagrama en bloques que satisface esta lógica está indicado en la Fig. 6-15*b*.

Un O EXCLUSIVO se emplea dentro de la sección aritmética de una calculadora. Otra aplicación es la de *comparador de desigualdad, circuito de apareamiento* o *detector*, ya que, como puede verse por la tabla de la verdad, $Y = 1$ sólo si $A \neq B$. Esta propiedad se emplea para probar la desigualdad entre dos bit. Si el bit A no es idéntico al bit B, entonces se obtiene una salida. Igualmente "Si A y B son ambos 1 o si A y B son ambos 0, no se obtiene salida, e $Y = 0$". Esta última premisa puede proponerse en forma de Boole:

$$Y = \overline{AB + \bar{A}\bar{B}} \tag{6-22}$$

Esta ecuación nos lleva a una tercera forma de bloques para el O EXCLUSIVO que está indicada en diagramas lógicos en la Fig. 6-16*a*. Un *detector de igualdad* da una salida $Z =$

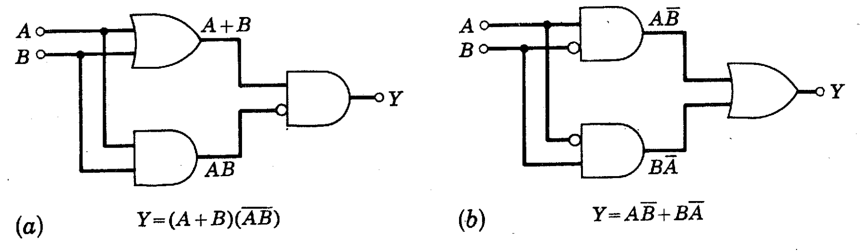


Fig. 6-15. Dos diagramas de bloques lógicos para una puerta O EXCLUSIVO

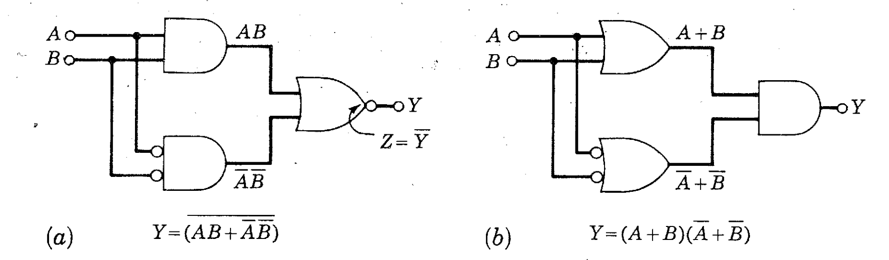


Fig. 6-16. Otros dos diagramas de una puerta O EXCLUSIVO

1 si A y B son ambos 1 o si A y B son ambos 0, y por lo tanto:

$$Z = \bar{Y} = AB + \bar{A}\bar{B} \tag{6-23}$$

en que se ha empleado la Ec. (6-16). Si deseamos la salida Z se puede omitir la negación de la Fig. 6-16*a* o agregar un inversor en cascada con la salida del O EXCLUSIVO.

Una cuarta posibilidad para esta puerta será:

$$Y = (A + B)\,(\bar{A} + \bar{B}) \tag{6-24}$$

que puede deducirse de la definición o de la tabla de la verdad. Esta lógica se representa en la Fig. 6-16*b*.

Hemos demostrado que a veces hay varios caminos para llegar a un circuito lógico. En la práctica, hay uno que puede realizarse con determinadas ventajas respecto a los demás. El álgebra de Boole se emplea a menudo para manipular la ecuación lógica y transformarla de tal manera que sea la mejor desde el punto de vista de la construcción real. En la próxima sección comprobaremos, mediante el empleo del álgebra de Boole, que las cuatro expresiones anteriores del O EXCLUSIVO son equivalentes.

Lógica de dos niveles. El diseño digital a menudo está constituido por varias puertas (Y, O, o combinaciones de ellas) actuando sobre una puerta O (o Y). Tal combinación se conoce como *lógica de dos niveles.* Los circuitos O EXCLUSIVO de las Figs. 6-15 y 6-16 son ejemplo de lógica de dos niveles. En la explicación de los sistemas digitales del capítulo 17, veremos que la mayor parte de los sistemas lógicos están constituidos por varios Y que alimentan a un O seguidos de una puerta NO. Esta serie de puertas se denomina Y-O-INVERSOR (AOI)*. La topología detallada del circuito AOI está representada en la Fig. 17-2.

6-8. LEYES DE MORGAN

La afirmación "Si todas las entradas son ciertas, y sólo si lo son todas, (1), la salida es verdadera (1)" es lógicamente equivalente a "Si por lo menos una de las entradas es falsa (0), la salida es falsa (0)". En notación de Boole, esto equivale a escribir:

$$ABC \ldots = \overline{\bar{A} + \bar{B} + \bar{C} + \ldots} \tag{6-25}$$

* De las voces inglesas And-Or-Inverter. (*N. del T.*)

Si tomamos el complemento de ambos lados de esta ecuación y empleamos la Ec. (6-16), obtendremos:

$$\overline{ABC\ldots} = \bar{A} + \bar{B} + \bar{C} + \ldots \tag{6-26}$$

Esta ecuación y su dual:

$$\overline{A + B + C + \ldots} = \bar{A}\bar{B}\bar{C}\ldots \tag{6-27}$$

(que puede probarse de manera parecida), se conocen con el nombre de leyes de Morgan. Estas completan la lista de las identidades básicas de Boole. Para referenciarlas fácilmente en lo sucesivo, resumiremos estas relaciones en la Tabla 6-4.

TABLA 6-4 Resumen de las identidades básicas de BOOLE

Leyes fundamentales

O	Y	NO
$A + 0 = A$	$A0 = 0$	$A + \bar{A} = 1$
$A + 1 = 1$	$A1 = A$	$A\bar{A} = 0$
$A + A = A$	$AA = A$	$\bar{\bar{A}} = A$
$A + \bar{A} = 1$	$A\bar{A} = 0$	

Leyes asociativas

$(A + B) + C = A + (B + C) \qquad (AB)C = A(BC)$

Leyes conmutativas

$A + B = B + A \qquad AB = BA$

Leyes distributivas

$A(B + C) = AB + AC$

Leyes de Morgan

$\overline{AB\cdots} = \bar{A} + \bar{B} + \cdots$

$\overline{A + B + \cdots} = \bar{A}\bar{B}\cdots$

Identidades auxiliares

$A + AB = A \qquad A + \bar{A}B = A + B$

$(A + B)(A + C) = A + BC$

Con la ayuda del álgebra de Boole, demostraremos la equivalencia entre los cuatro circuitos de O EXCLUSIVO de la sección precedente. Empleando la Ec. (6-26), aparece evidente que la Ec. (6-21) es equivalente a la Ec. (6-24). Ahora, la última ecuación puede explicarse con la ayuda de la Tabla 6-4:

$$(A + B)(\bar{A} + \bar{B}) = A\bar{A} + B\bar{A} + A\bar{B} + B\bar{B} = B\bar{A} + A\bar{B} \tag{6-28}$$

Este resultado demuestra que el O EXCLUSIVO de la Ec. (6-21) es equivalente al de la Ec. (6-24). Finalmente, aplicando la Ec. (6-27) a la Ec. (6-22) da:

$$\overline{AB + \bar{A}\bar{B}} = (\overline{AB})(\overline{\bar{A}\bar{B}}) \tag{6-29}$$

De la Ec. (6-26) tenemos:

$$(\overline{AB})(\overline{\bar{A}\bar{B}}) = (\bar{A} + \bar{B})(\bar{\bar{A}} + \bar{\bar{B}}) = (\bar{A} + \bar{B})(A + B) \tag{6-30}$$

$Y = \overline{(\bar{A} + \bar{B})} \longleftrightarrow Y = AB$

(*a*)

$Y = \overline{(\bar{A}\bar{B})} \longleftrightarrow Y = A + B$

(*b*)

Fig. 6-17. (*a*) Un O se convierte en un Y, invirtiendo todas las entradas y todas las salidas. (*b*) Un Y se transforma en un O si se complementan todas las entradas y salidas

donde empleamos la identidad $\bar{\bar{A}} = A$. Comparando las ecuaciones (6-29) y (6-30), vemos que el O EXCLUSIVO de la Ec. (6-22) es equivalente al de la Ec. (6-24).

Con la ayuda de las leyes de Morgan podemos demostrar que *un circuito* Y *en lógica positiva funciona como una puerta* O *con lógica negativa.* Sea una salida Y y unas entradas $A, B, \ldots, N$ de un Y positiva de tal forma que:

$$Y = AB\ldots N \tag{6-31}$$

Entonces de la Ec. (6-26):

$$\bar{Y} = \bar{A} + \bar{B} + \ldots + \bar{N} \tag{6-32}$$

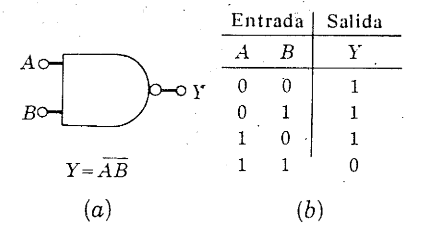
Si la salida y todas las entradas de un circuito se complementan para que el 1 se convierta en 0 y viceversa, entonces la lógica positiva se permuta por lógica negativa (tomar como referencia la Fig. 6-1). Puesto que Y e $\bar{Y}$ representan el *mismo* terminal de salida, A y $\bar{A}$ el *mismo* terminal de entrada, etc., el circuito que funciona como Y en lógica positiva Ec. (6-31) también funciona como puerta O negativa en la Ec. (6-32). Cabe emplear razonamientos similares para verificar que un circuito Y de lógica negativa es lo mismo que un circuito O de lógica positiva, según como se definan los niveles binarios. Ya hemos verificado este resultado para la lógica con diodos de la Sec. 6-3, pero la prueba presente es independiente de como está formado el circuito.

Veamos ahora claramente que en realidad no es necesario emplear las tres conexiones O, Y y NO. Nos bastará con el O y el NO, ya que según las leyes de Morgan de la Ec. (6-25), el Y puede obtenerse a partir de un O y un NO, tal como se indica en la Fig. 6-17*a*. Igualmente, el Y y el NO pueden elegirse como circuitos lógicos básicos, y, a partir de las leyes de Morgan de la Ec. (6-27), el O puede construirse como indica la Fig. 6-17*b*. Esta figura pone de manifiesto una vez más que un O (Y) con entradas y salidas negadas equivale a una lógica Y (O).

6-9. PUERTAS LOGICAS NAND Y NOR(*) CON DIODOS Y TRANSISTORES (DTL)

En la Fig. 6-15*a*, la negación antes del segundo Y puede igualmente ponerse a la salida del primer Y sin cambiar la lógica. Esta secuencia Y-NO también está presente en la

* Contracción de las voces americanas NOT-AND (NAND) y NOT-OR (NOR). (*N. del T.*)



Entrada		Salida
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

Fig. 6-18. (*a*) Símbolo lógico y expresiones de Boole para una puerta NAND de dos entradas. (*b*) Tabla de la verdad

Fig. 6-17*b* y en otras muchas operaciones lógicas. Este Y negado se denomina NAND. En la Fig. 6-18 se da su símbolo lógico, expresión de Boole y tabla de la verdad. El NAND puede construirse colocando un circuito NO de transistores después del Y de diodos de la Fig. 6-13. Esta trasposición se indica en la Fig. 6-19. Los circuitos que contienen diodos y transistores como el de la Fig. 6-19 se denominan *puertas lógicas con diodos y transistores* (DTL).

Ejemplo. (*a*) Comprobar que el circuito de la Fig. 6-19 es un NAND positivo para los niveles binarios de 0 y 12 V. Despréciese la impedancia de la fuente, la tensión de saturación y la de los diodos en sentido directo. Encontrar el mínimo h_{FE}. (*b*) Si la caída de potencial de un diodo en conducción es de 0,7 V y si la suma de las resistencias de la fuente y del diodo es de 1 kΩ, ¿se satisface la lógica NAND? (*c*) ¿Funcionará el circuito adecuadamente si las entradas se obtienen desde las salidas de una puerta NAND similar? Supónganse los transistores y diodos de silicio y despréciense la resistencia de saturación del colector y la resistencia directa de los diodos.

SOLUCION. *a.* Si alguna entrada está a 0 V, el punto *P* de unión de los diodos está a 0 V, ya que un diodo conduce y reduce la tensión de este punto a V(0) = 0. La tensión de la base del transistor será pues:

$$V_B = -(12)\left(\frac{15}{112}\right) = -1{,}56 \text{ V}$$

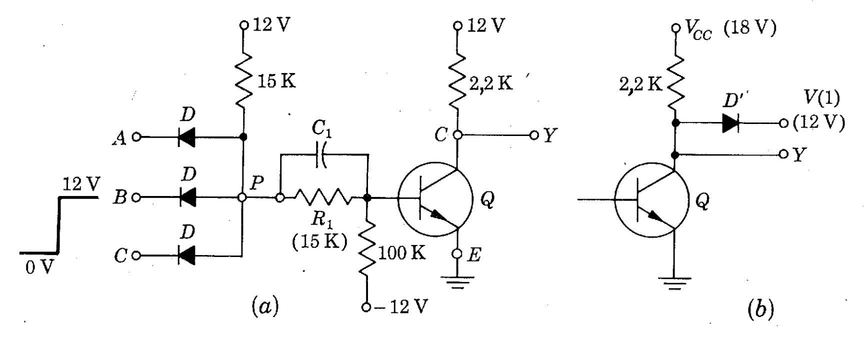


Fig. 6-19. Una NAND positiva de tres entradas (o NOR negativa); (*b*) se puede emplear un diodo limitador para mejorar las características del circuito de salida

Por lo tanto, *Q* está al corte e *Y* está a 12 V, o sea *Y* = 1. Este resultado confirma las tres primeras líneas de la tabla de la verdad de la Fig. 6-18*b*.

Si todas las entradas están a *V*(1) = 12 V, se supone que todos los diodos están polarizados en sentido inverso y que el transistor está en saturación. Vamos a comprobar estas suposiciones. Si *Q* está en saturación, entonces con $V_{BE} = 0$, la tensión en *P* es (12) (15/30) = 6 V. En consecuencia, con 12 V en cada entrada, todos los diodos están polarizados en sentido inverso en 6 V. Como sea que los diodos no conducen, las dos resistencias de 15 K están en serie y la corriente de base de *Q* será:

$$\frac{12}{30} - \frac{12}{100} = 0{,}40 - 0{,}12 = 0{,}28 \text{ mA.}$$

Como la corriente de colector es:

$$I_C = \frac{12}{2{,}2} = 5{,}45 \text{ mA} \quad \text{y} \quad (h_{FE})_{\min} = \frac{5{,}45}{0{,}28} = 19$$

Q estará verdaderamente en saturación si $h_{FE} \geqslant 19$. En estas circunstancias, la salida está a tierra, o sea *Y* = 0, lo que confirma la última línea de la tabla de la verdad.

b. El transistor debe estar en corte si por lo menos una de las entradas es 0. El peor de los casos ocurre cuando todos los diodos, excepto uno, están polarizados en sentido inverso, ya que entonces la tensión en *P* es máxima. En este caso, el equivalente de Thévenin desde *P* a tierra, tendrá, a partir de la Fig. 6-20*a*, una tensión de:

$$(12)\left(\frac{1}{16}\right) + (0{,}7)\left(\frac{15}{16}\right) = 0{,}75 + 0{,}66 = 1{,}41 \text{ V}$$

en serie con una resistencia de (1) (15/16) = 0,94 kΩ. La tensión en la base del transistor en circuito abierto será partiendo de la Fig. 6-20*b*:

$$V_B = -(12)\left(\frac{15{,}9}{115{,}9}\right) + (1{,}41)\left(\frac{100}{115{,}9}\right) = -1{,}65 + 1{,}21 = -0{,}44 \text{ V.}$$

Esta tensión es mayor que la necesaria para polarizar a la inversa *Q*, y por lo tanto se satisface la lógica NAND.

c. Si las entradas son elevadas, la situación es exactamente igual que en el apartado *a*. Respecto al mantenimiento de una tensión baja en el nudo de la base, cuando no haya coincidencia la situación más desfavorable tiene lugar cuando todas las entradas, excepto una, están a tensión elevada. La entrada inferior proviene ahora de un transistor en

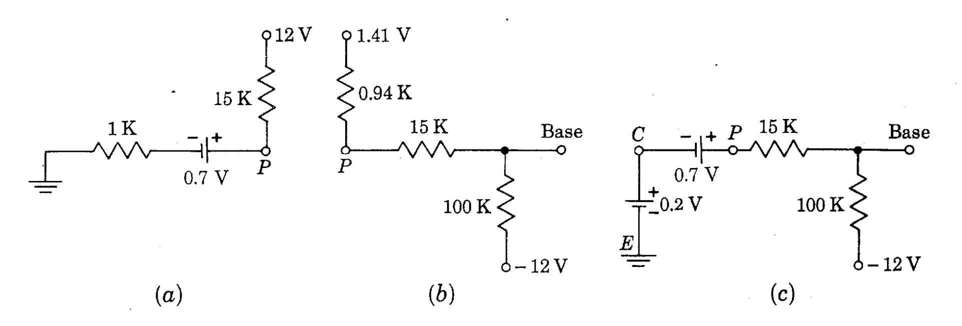


Fig. 6-20. Relativo al cálculo de la tensión de la base del transistor del circuito de la Fig. 6-19

saturación y $V_{CE,sat} \approx 0{,}2$ V. La tensión en circuito abierto de la base de Q es, considerando la Fig. 6-20*c*:

$$V_B = -(12)\left(\frac{15}{115}\right) + (0{,}9)\left(\frac{100}{115}\right) = -0{,}78 \text{ V},$$

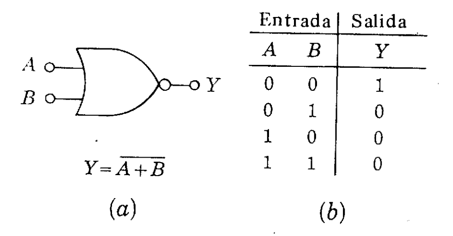
que corta a Q e $Y = 1$, como queríamos demostrar.

Si despreciamos las limitaciones de velocidad inherentes al transistor, el tiempo de subida de la salida, cuando Q está al corte, depende de la capacidad en paralelo C_s y de la resistencia de colector R_C. Si V_{CC} se incrementa, siendo fijos C_s y R_c, se precisa menos tiempo para alcanzar una determinada tensión a la cual se conmute la próxima etapa (se lleve a saturación). Si se emplea un valor incrementado de V_{CC} [$> V$ (1)], muchas veces se añade un diodo de limitación, tal como se indica en la Fig. 6-19*b*. Este diodo limita la tensión del colector de Q a $V(1)$ y también evita que la siguiente etapa se lleva a saturación excesiva. Como efecto secundario, el diodo ayuda a reducir el tiempo de descarga de C_s cuando Q se lleva a saturación, dando lugar a una tensión umbral de colector menor.

Puerta NOR. Un O seguido de una negación se denomina puerta NOR . En la Fig. 6-21 se indican el símbolo lógico, la expresión de Boole y la tabla de la verdad. Un circuito NOR de lógica positiva está formado por un O de diodos y un INVERSOR de transistores.

Los circuitos de las Figs. 6-13 y 6-19 emplean *lógica de transistores y diodos* (DTL). Cabe también construir el NAND y el NOR, con otros sistemas, tal como indicaremos en las secciones 6-12 y 6-14. Con la ayuda de las leyes de Morgan, puede demostrarse que, prescindiendo del sistema de construcción, un NAND positivo es también un NOR negativo, a la vez que un NAND negativo es igual a un NOR positivo.

Es evidente que un NAND de una sola entrada es un NO. Asimismo, un NAND seguido de un NO es un Y. En la Sec. 6-8 vimos que toda la lógica puede construirse empleando sólo dos conexiones Y y NO. Por tanto podemos sacar la consecuencia de que, empleando repetidamente circuitos NAND, cabe llevar a cabo cualquier función lógica. Podríamos argumentar lo mismo para deducir que toda la lógica podría hacerse sólo con circuitos NOR.



Entrada A	Entrada B	Salida Y
0	0	1
0	1	0
1	0	0
1	1	0

(*b*)

Fig. 6-21. (*a*) Símbolo lógico y expresión de Boole para una puerta NOR de dos entradas; (*b*) tabla de la verdad

---

Ejemplo. Comprobar que la topología Y-O de dos niveles es equivalente a un sistema NAND-NAND.

SOLUCION. En la Fig. 6-22*a* se indica la lógica Y-O. Como puede cambiarse X por $\bar{\bar{X}}$, entonces, invirtiendo la salida de un Y y negando simultáneamente la entrada del siguiente O la lógica no cambiará. Estas modificaciones se hacen en la Fig. 6-22*b*. También hemos negado la salida de la puerta O, y al mismo tiempo hemos añadido un inversor en la Fig. 6-22*b*; de esta forma, la lógica tampoco queda afectada. Una puerta O con los terminales negados es un circuito Y (Fig. 6-17*a*). Como un Y seguido de un INVERSOR es un NAND, la Fig. 6-22*c* es equivalente a la Fig. 6-22*b*. Por lo tanto, el NAND-NAND de la Fig. 6-22*c* es equivalente a la Y-O de la Fig. 6-22*a*.

Si cualquiera de las entradas de la Fig. 6-22 se obtuviera de la salida de otra puerta, entonces la topología resultante se denominaría *lógica de tres niveles*.

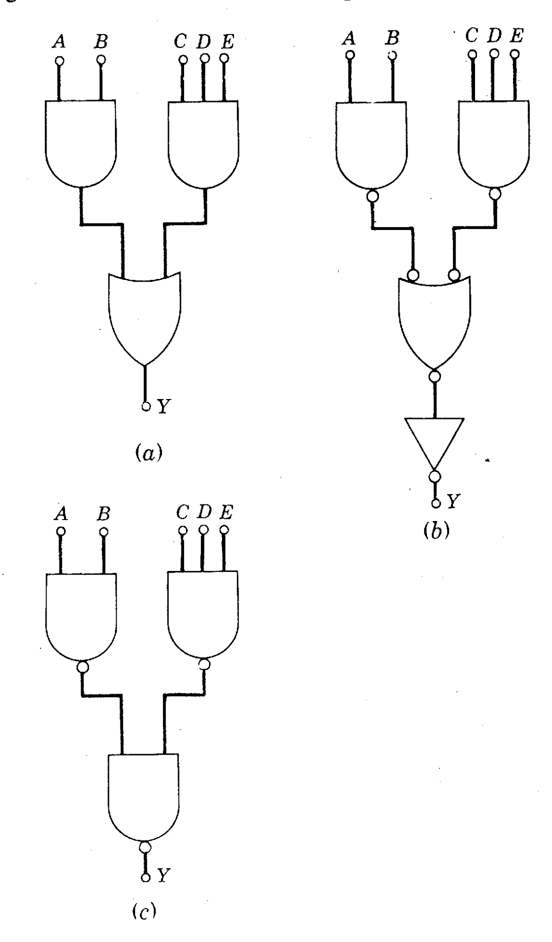


Fig. 6-22. Un Y-O de dos niveles es equivalente a un NAND-NAND

6-10. PUERTAS DTL MODIFICADAS (CIRCUITOS INTEGRADOS)[5]

La mayor parte de las puertas lógicas se fabrican en *circuitos integrados* (CI). El procedimiento empleado se describe en el próximo capítulo, en el que se demuestra que todos los transistores, diodos, resistencias y condensadores de un circuito francamente complicado, pueden concentrarse dentro de un pequeño monocristal de silicio (de aproximadamente 1 250 μ por 1 250 μ de superficie y 25 μ de grueso). Hay que tener en cuenta, no obstante, que valores elevados de resistencia (superiores a 30 K) y de condensadores (sobre los 100 pF) no pueden fabricarse económicamente. En cambio, los transistores y diodos pueden fabricarse extraordinariamente baratos. En vista de esto, la puerta NAND de la Fig. 6-19 se modifica al aplicarla a circuitos integrados eliminando el condensador C_1, reduciendo drásticamente los valores de la resistencia, y empleando diodos o transistores en lugar de resistencias mientras ello sea posible. Al mismo tiempo, la alimentación necesaria se simplifica empleando solamente 5 V (en lugar de las tres tensiones separadas de la Fig. 6-19*b*). En la Fig. 6-23 se indica el circuito resultante.

El funcionamiento de esta puerta NAND positiva se entiende fácilmente de manera cualitativa. Si por lo menos una de las entradas es baja (en el estado 0), el diodo D conectado a esta entrada conduce y la tensión V_P del punto P es baja. Por lo tanto, los diodos $D1$ y $D2$ no conducirán, $I_B = 0$, y el transistor está en corte. En consecuencia, la salida de Q es alta e $Y = 1$. Esta lógica satisface las tres primeras líneas de la tabla de la verdad de la Fig. 6-18. Consideremos ahora el caso de que todas las entradas sean elevadas (1), de tal manera que todos los diodos estén al corte. Entonces V_P trata de alcanzar V_{CC}, y da lugar a una determinada corriente de base I_B. Si I_B es suficientemente elevada, Q se lleva a saturación y la salida Y cae a su estado inferior (0), lo cual satisface la cuarta línea de la tabla de la verdad.

Esta puerta NAND la consideraremos cuantitativamente en el siguiente ejemplo. Se añadirá la explicación de la necesidad de emplear dos diodos en serie $D1$ y $D2$. Los transitorios de conmutación, los picos de la fuente de alimentación (ruido), el acoplamiento entre conductores, etc., pueden dar lugar a lógicas falsas. Calcularemos también el margen de ruido que este circuito puede tolerar.

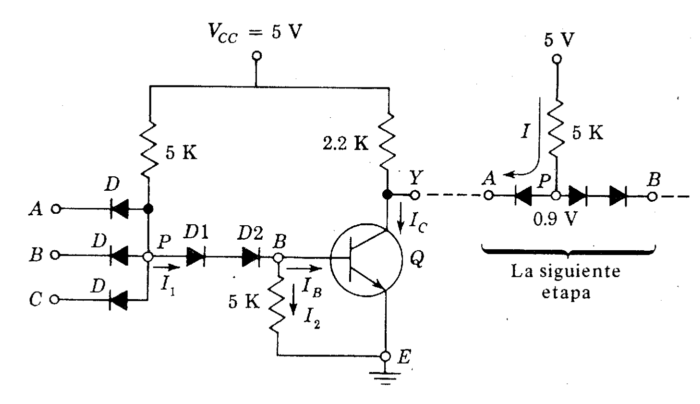


Fig. 6-23. Puerta integrada positiva DTL NAND

EJEMPLO. (*a*) Para el transistor de la figura 6-23, supóngase (Tabla 5-1) que $V_{BE,\text{sat}} = 0{,}8$ V, $V_\gamma = 0{,}5$ V y $V_{CE,\text{sat}} = 0{,}2$ V. La caída de potencial en un diodo conductor es de 0,7 V y V_γ (diodo) = 0,6 V. Las entradas de este conmutador se obtienen de las salidas de otras puertas similares. Comprobar que el circuito funciona como un NAND positivo y calcular $(h_{FE})_{\min}$. (*b*) ¿Funcionará el circuito correctamente si no se emplea el $D2$? (*c*) Si todas las entradas son elevadas, ¿cuál será el valor de la tensión de ruido a la entrada que provocará el mal funcionamiento de la puerta? (*d*) Repetir el apartado *c* si por lo menos una de las entradas es baja. Supóngase, por el momento, que Q no está cargado con la siguiente etapa.

SOLUCION. *a.* Los niveles lógicos son $V_{CE,\text{sat}} = 0{,}2$ V para el estado 0 y $V_{CC} = 5$ V para el estado 1. Si por lo menos una de las entradas está en el estado 0, su diodo conducirá y $V_P = 0{,}2 + 0{,}7 = 0{,}9$ V. Puesto que, para que $D1$ y $D2$ sean conductores, se precisa una tensión de 2. 0,7 = 1,4 V, estos diodos estarán al corte y $V_{BE} = 0$. Como la tensión umbral de Q es de $V_\gamma = 0{,}5$ V, Q estará en corte, la salida alcanzará 5 V, e $Y = 1$. Esto confirma las tres primeras líneas de la tabla de la verdad NAND.

Si todas las entradas están a $V(1) = 5$ V, supondremos que todos los diodos están en corte, que $D1$ y $D2$ conducen, y que Q está en saturación. Si estas condiciones son ciertas, la tensión en P será la suma de la caída de potencial en los dos diodos más $V_{BE,\text{sat}}$ o $V_P = 0{,}7 + 0{,}7 + 0{,}8 = 2{,}2$ V. La caída de potencial en cada diodo de entrada será de 5 − 2,2 = 2,8 V en el sentido inverso, lo que justifica la suposición de que D está en corte. Vamos ahora a hallar $(h_{FE})_{\min}$ para poner Q en saturación.

$$I_1 = \frac{V_{CC} - V_P}{5} = \frac{5 - 2{,}2}{5} = 0{,}56 \text{ mA}$$

$$I_2 = \frac{V_{BE,\text{sat}}}{5} = \frac{0{,}8}{5} = 0{,}16 \text{ mA}$$

$$I_B = I_1 - I_2 = 0{,}56 - 0{,}16 = 0{,}40 \text{ mA}$$

$$I_C = \frac{V_{CC} - V_{CE,\text{sat}}}{2{,}2} = \frac{5 - 0{,}2}{2{,}2} = 2{,}18 \text{ mA}$$

y

$$(h_{FE})_{\min} = \frac{I_C}{I_B} = \frac{2{,}18}{0{,}40} = 5{,}5$$

Si $h_{FE} > (h_{FE})_{\min}$, entonces $Y = V(0)$ para todas las entradas en $V(1)$, lo cual confirma la última línea de la tabla de la verdad de la Fig. 6-18.

b. Si por lo menos una de las entradas está a $V(0)$, entonces $V_P = 0{,}2 + 0{,}7 = 0{,}9$ V. Por lo tanto, si sólo se emplea un diodo $D1$ entre P y B, entonces $V_{BE} = 0{,}9 - 0{,}6 = 0{,}3$ V, donde 0,6 V representa la tensión umbral del diodo. Como la tensión umbral de la base es $V_\gamma = 0{,}5$ V, teóricamente Q está al corte. No obstante, resulta un diseño no muy conservador, ya que un pequeño ruido (> 0,24) pondrá Q en conducción. Para un diseño con mayor seguridad, se ponen tres diodos en serie en lugar de los dos indicados en la Fig. 6-23.

c. Si todas las entradas son altas, entonces, apoyándonos en el apartado *a*, $V_P = 2{,}2$ V y cada diodo de entrada está polarizado en sentido inverso con 2,8 V. Un diodo empieza a conducir cuando su polarización directa es de 0,6 V. En consecuencia, sería preciso una punta negativa de 2,8 + 0,6 = 3,4 V en la entrada para que el circuito funcionara incorrectamente. Un ruido de tan elevado valor no es muy probable.

d. Si, una de las entradas, por lo menos, es baja, entonces, partiendo nuevamente del apartado *a*, $V_P = 0{,}9$ V y Q está en corte. Si una punta de ruido lleva a Q justamente hasta la región activa, $V_{BE} = V_\gamma = 0{,}5$ V y V_P deberá alcanzar $0{,}5 + 0{,}6 + 0{,}6 = 1{,}7$ V. Por lo tanto, el margen de ruido será $1{,}7 - 0{,}9 = 0{,}8$ V. Si sólo se empleara uno de los diodos $D1$, la tensión de ruido se reduciría en 0,6 V (la caída de potencial en $D2$) o sea $0{,}8 - 0{,}6 = 0{,}2$ V. Esto confirma el valor obtenido en el apartado *b*.

Fan-out*. En la anterior explicación, hemos supuesto, desde un punto de vista no realista, que la puerta NAND no está cargada. Si excita N puertas similares, diremos que el número es N. El transistor de salida actuará entonces como un almacén para las corrientes de las entradas a las puertas excitadas. En otras palabras, cuando Q esté en saturación ($Y = 0$), la corriente de entrada I de la Fig. 6-23 de una etapa subsiguiente se añadirá a la corriente de colector de Q. Supongamos que todos los diodos de entrada a una etapa subsiguiente (que se considera ahora como una *fuente de corriente*) están altos excepto uno, el conducido por Q. Entonces la corriente en este diodo es $I = (5 - 0{,}9)/5 = 0{,}82$ mA, y esta corriente se denomina *carga normalizada*. La corriente total de colector de Q es ahora $I_C = 0{,}82\,N + 2{,}18$ mA, siendo 2,18 mA la corriente de colector sin carga que hemos hallado en el apartado *a* del ejemplo anterior. Como que la corriente de base es casi independiente de la carga, I_B permanece en su primitivo valor de 0,4 mA. Si suponemos un valor razonable de 30 para $(h_{FE})_{\min}$ el fan-out viene dado por $I_C = h_{FE} I_B$, o sea:

$$I_C = 0{,}82\,N + 2{,}18 = (30)\,(0{,}40) = 12{,}0 \text{ mA} \qquad (6\text{-}33)$$

y $N = 12$. Evidentemente la corriente nominal de Q debe exceder de 12,0 mA si excitamos 12 puertas.

El fan-out puede aumentar considerablemente sustituyendo $D1$ por un transistor $Q1$, tal como se indica en la Fig. 6-24. Cuando $Q1$ está conduciendo, se encuentra en su región activa y *no* en saturación. Esta conclusión se obtiene por el hecho de que, en la resistencia de 2 K, la corriente está en la dirección de la polarización inversa de la unión del colector del transistor *n-p-n* $Q1$. Ya que la corriente de emisor de $Q1$ alimenta la corriente de base de $Q2$, éste está excitado por una corriente de base mucho mayor que el Q de la Fig. 6-23. Para la misma $(h_{FE})_{\min}$ de los transistores de salida de las figuras 6-23 y 6-24, se observa claramente que el último circuito tiene una corriente de colector mucho mayor, y por tanto un fan-out mayor.

Ejemplo. Si $(h_{FE})_{\min} = 30$, calcúlese el fan-out N de la puerta NAND, en la figura 6-24. De la Tabla 5-1, $V_{BE,\text{activa}} = 0{,}7$ V.

SOLUCION. Como en el caso del circuito de la Fig. 6-23, si una entrada cualquiera está a la tensión inferior, entonces $V_P = 0{,}9$ V, y ambos $Q1$ y $D2$ están en corte. Por lo tanto, $V_{BE2} = 0$, $Q2$ está en corte, e $Y = 1$. Si, en cambio, todas las entradas están en su valor superior, los diodos de entrada están en corte, $Q2$ se satura, y:

$$V_P = V_{BE1,\text{activa}} + V_{D2} + V_{BE2,\text{sat}} = 0{,}7 + 0{,}7 + 0{,}8 = 2{,}2 \text{ V}$$

* La voz inglesa "Fan-out" equivalente a "salida en abanico" sugiere una salida ramificada en forma de abanico, cada una de cuyas ramas alimenta una nueva puerta. (*N. del T.*)

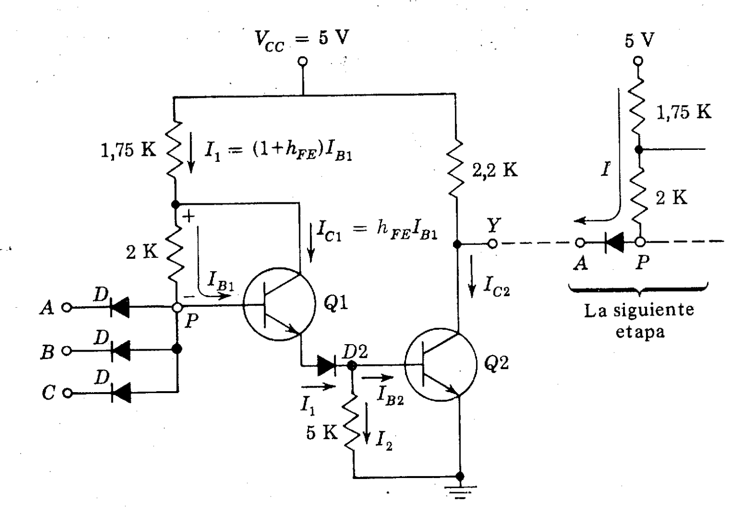


Fig. 6-24. Una puerta DTL NAND integrada positiva con fan-out aumentado

Puesto que $Q1$ está en su región activa, $I_{C1} = h_{FE} I_{B1}$. Como aparece indicado en la Fig. 6-24, la corriente en la resistencia de 2 K es I_{B1} (recuérdese que cada diodo D está al corte) y la corriente en la resistencia de 1,75 K es $I_1 = I_{B1} + I_{C1} = (1 + h_{FE})\,I_{B1}$. Aplicando las leyes de Kirchhoff entre V_{CC} y V_P, tenemos, para $h_{FE} = 30$,

$$5 - 2{,}2 = (1{,}75)\,(31)\,I_{B1} + 2I_{B1} \qquad (6\text{-}34)$$

o sea:

$$I_{B1} = 0{,}050 \text{ mA} \qquad I_1 = (31)\,(0{,}050) = 1{,}55 \text{ mA}$$

$$I_2 = 0{,}8/5 = 0{,}16 \text{ mA} \qquad I_{B2} = 1{,}55 - 0{,}16 = 1{,}39 \text{ mA}$$

La corriente de colector sin carga de $Q2$ es $(5 - 0{,}2)/2{,}2 = 2{,}18$ mA. Por *cada* puerta que conduzca, $Q2$ debe suministrar una carga normalizada de:

$$I = \frac{5 - 0{,}7 - 0{,}2}{1{,}75 + 2} = 1{,}10 \text{ mA}$$

Como la corriente del colector es $h_{FE} I_{B2}$, tendremos:

$$I_{C2} = (30)\,(1{,}39) = 1{,}10N + 2{,}18 = 41{,}7 \text{ mA,} \qquad (6\text{-}35)$$

y $N = 36$. El fan-out ha sido incrementado a 36 para la misma h_{FE} que daba 12 en el circuito de la Fig. 6-22.

Los cálculos anteriores suponen que la corriente alcanzable por $Q2$ era por lo menos de 41,7 mA. Por otra parte, si $(I_{C2})_{\max}$ se limita, digamos a 15 mA, entonces $1{,}10N + 2{,}18 = 15$, o sea $N \approx 11$. Para excitar estas 11 puertas, se necesita que $h_{FE,\min} = I_{C2}/I_{B2} = 15/1{,}39 = 10{,}8$, que es un número mucho menor.

El número de entradas (*fan-in*) M de una puerta lógica, da el número de entradas al conmutador. Por ejemplo, en la Fig. 6-24, $M = 3$.

Interconexión lógica. Se pueden conectar entre sí las salidas de varias puertas *DTL*, como en la Fig. 6-25, dando lugar a una lógica adicional sin mayor complicación de construcción. Es decir, si $Y_1 = 1$ e $Y_2 = 1$, entonces $Y = 1$, mientras que si $Y_1 = 0$ y/o $Y_2 = 0$, entonces $Y = 0$.

El circuito de la Fig. 6-24 representa también una puerta NOR negativa y, conectando entre sí dos salidas como en la Fig. 6-25, representa una lógica negativa O interconectada. Si Y_1 y/o Y_2 están en su valor inferior (lo cual significa ahora el estado 1), entonces Y estará también en el estado inferior ($Y = 1$), mientras que si Y_1 e Y_2 están ambos en su valor superior (el estado 0), Y estará también alto ($Y = 0$).

Consideremos dos puertas NAND positivas interconectadas en Y como en la Fig. 6-25*b*. Entonces $Y_1 = AB$ y $Y_2 = CDE$, y por lo tanto:

$$Y = Y_1 Y_2 = (\overline{AB})(\overline{CDE}) = \overline{AB + CDE}, \tag{6-36}$$

haciendo uso de las leyes de Morgan. Obsérvese que la interconexión Y nos ha llevado a construir una lógica de dos niveles AOI (Sec. 6-7). Debido al signo + de la Ec. (6-36), la conexión de la Fig. 6-25 se considera a menudo, erróneamente, como interconexión O positiva.

Obsérvese que la conexión Y emplea las resistencias de colector de la Fig. 6-25*a* en paralelo. Esta reducción de la resistencia aumenta la disipación de potencia en estado de conducción. Para evitar esta condición, se aconsejan puertas de *colector abierto*, específicamente para la interconexión Y.

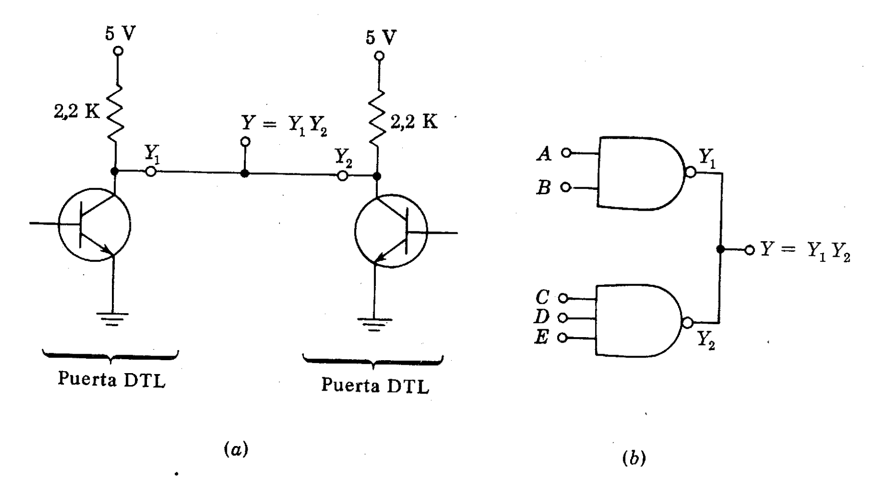


Fig. 6-25. (*a*) La interconexión lógica Y se obtiene conectando entre sí las salidas de las puertas NAND positivas. (*b*) Una puerta NAND de dos entradas y otra de tres entradas interconectadas Y para cumplir la lógica de la Ec. (6-36)

6-11. PUERTA LOGICA DE UMBRAL ELEVADO (HTL)[5] *

En ambientes industriales, el nivel de ruido suele ser elevado debido a la presencia de motores, conmutadores de alta tensión, conexión y desconexión de circuitos de control, etc. Si se emplea una fuente de alimentación elevada (15 V en lugar de 5 V) y un diodo zener de 6,9 V en lugar de $D2$ en la puerta DTL de la Fig. 6-24, el circuito queda convertido en una puerta de elevada inmunidad al ruido (Fig. 6-26). En la Fig. 6-26, las resistencias aumentan respecto a las de la Fig. 6-24 para obtener la misma corriente en ambos circuitos. El margen de ruido normalmente obtenido en este circuito es de 7 V. (Probl. 6-44).

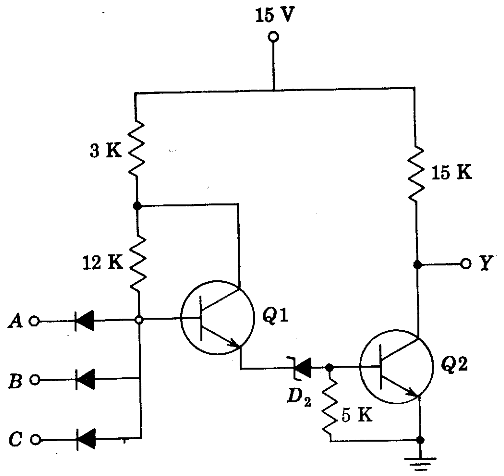


Fig. 6-26. Puerta lógica NAND de umbral elevado

6-12. PUERTA LOGICA TRANSISTOR - TRANSISTOR (TTL)[6] **

El circuito lógico de saturación más rápida es el de la puerta lógica transistor-transistor (TTL o T^2L) mostrada en la Fig. 6-27. Este conmutador emplea un transistor con emisor múltiple que se fabrica, fácil y económicamente, empleando la técnica de los circuitos integrados (Sec. 7-7). El circuito TTL tiene una topología como la del circuito DTL de la Fig. 6-23, con las uniones de emisor de $Q1$ actuando como diodos de entrada D de la puerta *DTL* y la unión de colector de $Q1$ reemplazando el diodo $D1$ de la Fig. 6-23. El diodo emisor-base de $Q2$ sustituye el diodo $D2$ de la puerta *DTL*, y ambos circuitos tienen un transistor de salida ($Q3$ o Q).

Las explicaciones del funcionamiento de las puertas TTL son parejas a las de los conmutadores DTL. Por tanto, si por lo menos una de las entradas están en $V(0) = 0{,}2$ V, tendremos:

$$V_P = 0{,}2 + 0{,}7 = 0{,}9 \text{ V}$$

* De las voces inglesas High-Threshold-Logic. (*N. del T.*)
** De las voces inglesas Transistor-Transistor-Logic. (*N. del T.*)

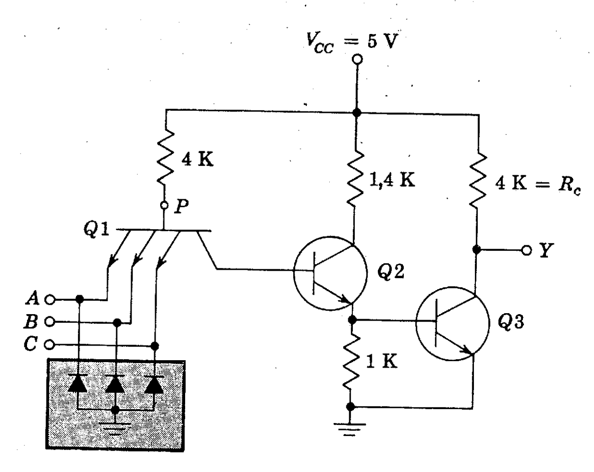


Fig. 6-27. Puerta NAND TTL integrada. (Despreciar los diodos del bloque sombreado.)

Para que la unión del colector de $Q1$ esté polarizada en sentido directo y para que $Q2$ y $Q3$ estén en conducción, se necesitan aproximadamente 0,7 + 0,7 + 0,7 = 2,1 V. Por lo tanto, estará en corte, y la salida alcanzará los $V_{CC} = 5$ V, e $Y = V(1)$. Por otra parte, si todas las entradas están en su valor elevado (5 V), los diodos de entrada (las uniones de los emisores) están polarizados en sentido inverso y V_P sube hasta V_{CC} y lleva a $Q2$ y $Q3$ hasta saturación. Entonces la salida será $V_{CE,\text{sat}} = 0,2$ V, e $Y = V(0)$ (y V_P alcanza aproximadamente 2,3 V).

La explicación anterior indica que $Q1$ actúa como dos diodos aislados en oposición, y no como un transistor. No obstante, podemos ver ahora que, durante la conmutación, $Q1$ se comporta como un transistor al reducir considerablemente el tiempo de almacenamiento (Sec. 6-5). Obsérvese que la tensión de la base de $Q2$, que es igual a la tensión de colector de $Q1$, es de 0,8 + 0,8 = 1,6 V durante la saturación de $Q2$ y $Q3$. Si ahora cualquier entrada cae a 0,2 V, entonces $V_P = 0,9$ V, y por lo tanto la base de $Q1$ estará a 0,9 V. En este momento, la unión del colector está polarizada en sentido inverso en una cuantía de 1,6 – 0,9 = 0,7 V, la unión del emisor está polarizada en sentido directo, y $Q1$ está en su región activa. La elevada corriente de colector de $Q1$ elimina rápidamente la carga almacenada en $Q2$ y $Q3$. Esta acción de transistor es lo que da a la TTL mayor velocidad que la de cualquier otra lógica saturada.

Los diodos de limitación (mostrados en el bloque sombreado de la Fig. 6-27) se colocan normalmente entre cada entrada y tierra con el ánodo a tierra. Estos diodos están efectivamente fuera de servicio para señales de entrada positivas, pero limitan las tensiones negativas en la entrada a un valor conocido y seguro. Estas señales negativas pueden nacer de las oscilaciones en los circuitos resonantes formados por las capacidades en paralelo y las inductancias de los conductores.

6-13. ETAPAS DE SALIDA

En los terminales de salida de las puertas DTL o TTL, hay una carga capacitiva C_L, formada por la capacidad de los diodos polarizados en sentido inverso de las puertas

siguientes y por las capacidades parásitas de los conductores. Si la resistencia del circuito de colector del inversor es R_C, cuando la salida cambia desde el estado bajo al alto, el transistor de salida se corta y la capacidad se carga exponencialmente desde $V_{CE,\text{sat}}$ hasta V_{CC}. La constante de tiempo $R_C C_L$ de esta onda puede introducir un retraso de tiempo prohibitivo en el funcionamiento de la puerta.

El retraso de la salida puede reducirse disminuyendo R_C, pero esto aumenta la disipación de potencia cuando la salida está en su estado bajo y la caída de potencial en R_c es $V_{CC} - V_{CE,\text{sat}}$. En la Fig. 6-28 se indica una solución mejor para este problema, en la

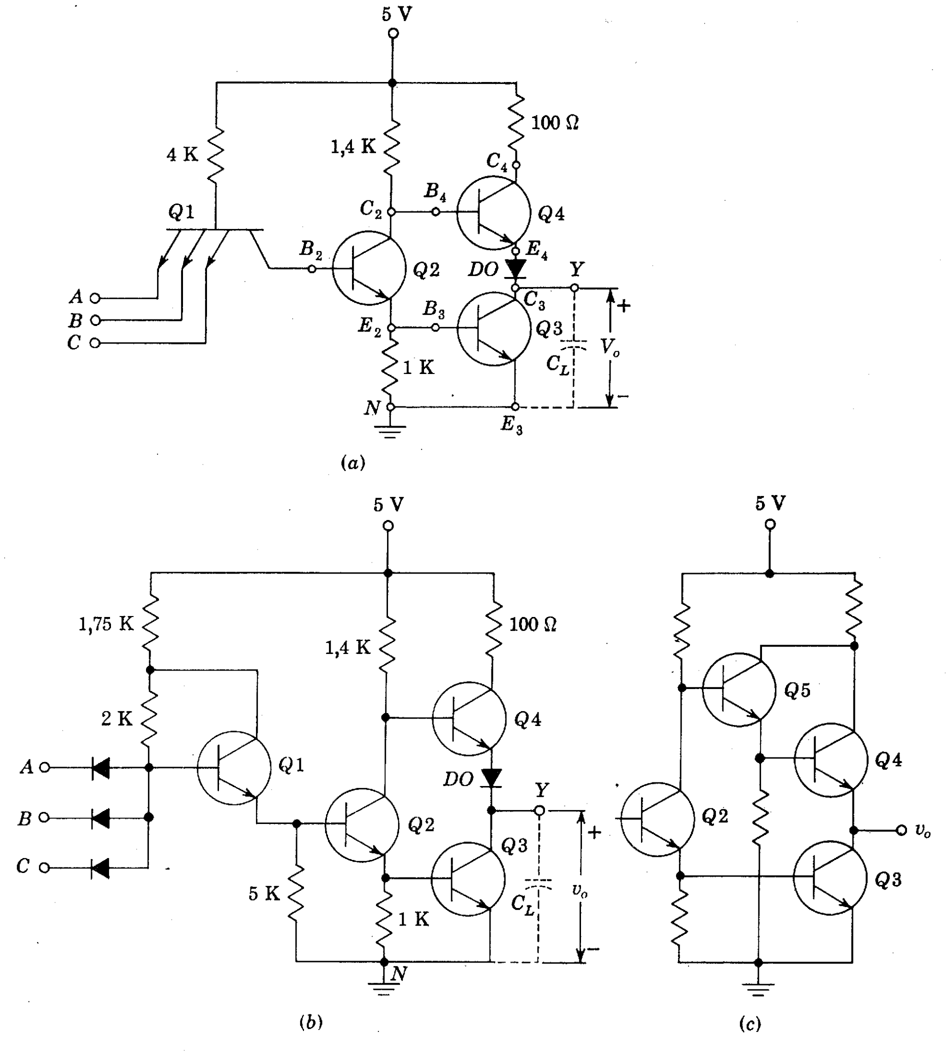


Fig. 6-28. (*a*) Puerta TTL y (*b*) puerta DTL con salida en totem. (*c*) Configuración modificada del circuito de salida. [El circuito a la izquierda de $Q2$ es idéntico al de la TTL de (*a*) y al de la DTL de (*b*).]

que un transistor reemplaza a la resistencia R_c. Esta configuración de salida se denomina a veces amplificador en "totem" ya que el transistor $Q4$ "se asienta" sobre $Q3$. También se le denomina etapa de salida impulsora, o separadora de potencia.

El transistor $Q2$ actúa como un *divisor de fase*, ya que la tensión de emisor está fuera de fase respecto a la tensión del colector (al aumentar la corriente de base, la tensión del emisor aumenta y la del colector disminuye). Vamos a explicar ahora, con todo detalle, el funcionamiento de este circuito excitador, haciendo referencia a la puerta TTL de la fig. 6-28*a*.

La salida se halla en el estado de tensión baja cuando $Q2$ y $Q3$ están en saturación. En este estado deseamos que $Q4$ esté cortado. ¿Lo estará? Observemos que la tensión V_{CN2} del colector de $Q2$ con respecto a tierra viene dada por:

$$V_{CN2} = V_{CE2,\text{sat}} + V_{BE3,\text{sat}} = 0{,}2 + 0{,}8 = 1{,}0 \text{ V} \qquad (6\text{-}37)$$

Como la base de $Q4$ está unida al colector de $Q2$, entonces $V_{BN4} = V_{CN2} = 1{,}0$ V. *Si el diodo de salida DO desapareciera,* la tensión base-emisor de $Q4$ sería:

$$V_{BE4} = V_{BN4} - V_{CE3,\text{sat}} = 1{,}0 - 0{,}2 = 0{,}8 \text{ V}$$

lo que llevaría $Q4$ a saturación. En estas circunstancias, la corriente a través de $Q4$ valdría:

$$\frac{V_{CC} - V_{CE4,\text{sat}} - V_{CE3,\text{sat}}}{100} = \frac{5 - 0{,}2 - 0{,}2}{100} \text{ A} = 46 \text{ mA} \qquad (6\text{-}38)$$

que sería excesiva y malgastada. Ahora se observa claramente la necesidad del diodo *DO*. Estando en su lugar, la suma de V_{BE4} y V_{DO} es de 0,8 V. Por lo tanto, $Q4$ y *DO* están al corte. En resumen, si C_L está a una tensión alta $V(1)$ y se excita la puerta, $Q4$ y *DO* llegan a cortarse y $Q3$ conduce. Debido a su gran corriente en la región activa, $Q3$ descarga rápidamente C_L y, al aproximarse v_o a $V(0)$, $Q3$ entra en saturación. El transistor inferior $Q3$ del "totem" se comporta como un *sumidero de corriente,* que descarga a C_L.

Supongamos ahora que, con la salida en $V(0)$, hay un cambio de estado debido a que una de las entradas ha caído a su nivel inferior. Entonces se corta $Q2$, lo cual da lugar a que $Q3$ también se corte debido a que V_{BE3} desciende a 0. La salida v_o permanece momentáneamente a 0,2 V, debido a que la diferencia de potencial entre las placas de C_L no puede cambiar instantáneamente. Ahora $Q4$ llega a saturación y *DO* conduce, como podemos comprobar:

$$V_{BN4} = V_{BE4,\text{sat}} + V_{DO} + v_o = 0{,}8 + 0{,}7 + 0{,}2 = 1{,}7 \text{ V}$$

y las corrientes de base y de colector de $Q4$ son:

$$I_{B4} = \frac{V_{CC} - V_{BN4}}{1{,}4} = \frac{5 - 1{,}7}{1{,}4} = 2{,}36 \text{ mA}$$

$$I_{C4} = \frac{V_{CC} - V_{CE4,\text{sat}} - V_{DO} - v_o}{0{,}1} = \frac{5 - 0{,}2 - 0{,}7 - 0{,}2}{0{,}1} = 39{,}0 \text{ mA}$$

Por lo tanto, si h_{FE} excede a $(h_{FE})_{\min} = I_{C4}/I_{B4} = 39{,}0/2{,}36 = 16{,}5$, $Q4$ estará en saturación. El transistor $Q4$ se comporta como una *fuente,* suministrando corriente a C_L. Mientras $Q4$ permanezca en saturación, la tensión de salida subirá exponencialmente hacia V_{CC} con una constante de tiempo muy pequeña $(100 + R_{CS4} + R_f)\, C_L$, en que R_{CS4} es la resistencia de saturación (Sec. 5-8) de $Q4$, y donde R_f (de pocos ohm) es la resistencia de un diodo en sentido directo. A medida que v_o aumenta, decrecerá la corriente de $Q4$ que perderá la saturación; finalmente, v_o alcanzará su valor de régimen permanente cuando $Q4$ esté en sus condiciones de umbral. De ahí que el valor final de la tensión de salida sea:

$$v_o = V_{CC} - V_{BE4,\text{umbral}} - V_{DO,\text{umbral}} \approx 5 - 0{,}5 - 0{,}6 = 3{,}9 \text{ V} = V(1) \qquad (6\text{-}39)$$

Si se eliminara la resistencia de 100 Ω, daría lugar a un cambio más rápido de la salida desde $V(0)$ hasta $V(1)$. No obstante, la resistencia de 100 Ω resulta necesaria para limitar la corriente transitoria de conexión y de desconexión. En particular, $Q3$ no se cortará con tanta rapidez (debido al tiempo de almacenamiento) como se conecta $Q4$. Debido a que los dos transistores del totem conducen simultáneamente, la tensión de alimentación se cortocircuitaría si no estuviera la resistencia de 100 Ω. Los picos de corriente en la fuente de alimentación durante los transitorios están limitados a $I_{C4} + I_{B4} = 39 + 2{,}4 \approx 41$ mA si se utiliza la resistencia de 100 Ω. Estos picos de corriente producen ruido en el sistema de distribución de la fuente de alimentación, y aumentan el consumo de potencia con frecuencias elevadas.

Interconexión lógica. Hemos de destacar que la interconexión Y no debe emplearse con un circuito en totem. Si la salida de una puerta está alta mientras que la de una segunda puerta está baja, y si estas dos salidas están unidas entre sí, tendríamos exactamente la misma situación que acabamos de ver con respecto a los picos de corriente de los transitorios. Por lo tanto, si se empleara una interconexión Y, la fuente de alimentación suministraría una corriente permanente de 41 mA en estas circunstancias.

Otras etapas de salida. De la explicación anterior es evidente que el diodo *DO* puede cambiarse desde el emisor a la base de $Q4$. Esta configuración la emplean algunos fabricantes.

El diodo en la base de $Q4$, al que nos hemos referido en el párrafo precedente, puede ser el diodo base-emisor de un transistor adicional, como el $Q5$ de la Fig. 6-28*c*. La combinación de $Q5$ y $Q4$ se denomina *par Darlington,* y la comentaremos en la Sec. 8-6. Estos dos transistores tienen en conjunto una ganancia de corriente extremadamente elevada y una resistencia de salida muy baja, lo que da como resultado una puerta de elevada velocidad. En el Probl. 6-30 aparece otra forma de salida de potencia.

El tiempo de almacenamiento se elimina empleando *transistores Schottky* (evitando su saturación, Sec. 7-12) en lugar de los transistores de la Fig. 6-28.

6-14. LOGICA DE TRANSISTORES Y RESISTENCIA (RTL) Y LOGICA DE TRANSISTORES DIRECTAMENTE ACOPLADOS (DCTL)*

En 1972, la TTL fue la familia más popular y absorbió cerca del 45 % del mercado de los circuitos integrados. Otro 30 %, aproximadamente, correspondió al DTL, y el 25 %

* De las voces inglesas Resistor-Transistor Logic (RTL) y Direct Coupled Transistor Logic (DCTL). (*N. del T.*)

restante se dividió entre otras varias familias denominadas *lógica de transistor-resistencia* (RTL) y *lógica de transistores directamente acoplados* (DCTL), *lógica de emisores acoplados* (ECL) y *lógica de los semiconductores-metal-óxido* (MOS). Como la lógica MOS emplea transistores de efecto de campo (FET), el comentario sobre estas puertas se pospone hasta el capítulo 10, en el que se introduce el MOSFET. Debido a que la ECL precisa del conocimiento del *amplificador diferencial,* este tipo de lógica (no saturada) se tomará en consideración en la Sec. 16-17, después de que se haya estudiado el amplificador diferencial. Vamos a discutir ahora los RTL y los DCTL.

Lógica de transistor resistencia (RTL)[5]. Esta estructura se indica en la Fig. 6-29*a*, en la que se representa una puerta NOR positiva de tres entradas con número fan-out 5. Si cualquiera de sus entradas está alta, el transistor correspondiente se excita a saturación y la salida queda baja, $v_o = V_{CE,\text{sat}} \approx 0{,}2$ V. En cambio, si todas las entradas están bajas, todos los transistores están al corte, ya que $V_\gamma - V(0) = 0{,}5 - 0{,}2 = 0{,}3$ V y la salida v_o está alta. (Obsérvese el pequeño margen de ruido.) Las dos premisas anteriores confirman que la puerta corresponde a una lógica NOR positiva (o NAND negativa).

El valor de v_o depende del fan-out. Por ejemplo, si $N = 5$, la salida de la puerta NOR está cargada por cinco resistencias de 450 Ω en paralelo (o sea 90 Ω), la cual está conectada a $V_{BE,\text{sat}} \approx 0{,}8$ V, como se muestra en la Fig. 6-29*b*. En estas circunstancias (empleando la superposición):

$$v_o = \frac{3{,}6 \times 90}{90 + 640} + \frac{0{,}8 \times 640}{90 + 640} = 1{,}14 \text{ V} \tag{6-40}$$

Esta tensión debe ser bastante grande para que la corriente de base pueda atacar cada uno de los cinco transistores hasta su saturación. Como que:

$$I_B = \frac{1{,}14 - 0{,}8}{0{,}45} = 0{,}755 \text{ mA} \qquad I_C = \frac{3{,}6 - 0{,}2}{0{,}64} = 5{,}31 \text{ mA}$$

Fig. 6-29. (*a*) Puerta RTL positiva NOR con fan-in 3 y fan-out 5. (*b*) Circuito equivalente para poder calcular v_o en el estado alto

el circuito trabajará correctamente si $h_{FE} > (h_{FE})_{\min} = 5{,}31/0{,}76 = 7{,}0$.

La lógica transistor-resistencia ocupa el mínimo espacio (para una función digital normalizada) sobre una oblea de silicio, y por tanto es muy económica.

Lógica de transistores directamente acoplados (DCTL)[7]. La estructura es la misma que en los *RTL*, excepto que las resistencias de las bases se eliminan. En la Fig. 6-30, el número de puertas de entrada es 3 y el de fan-out 2.

Para comprobar que el circuito responde a una lógica NOR positiva, consideremos primeramente que todas las entradas están en el estado 0. Debido a que esta baja tensión de una entrada (digamos la $Q1$) proviene de un transistor saturado de una etapa precedente Q',

$$v_1 = V_{CE,\text{sat}} = V(0)$$

Como esta tensión es de 0,2 V para un transistor de silicio saturado, y como la tensión umbral es de $V_\gamma = 0{,}5$ V, $Q1$ conducirá muy poco (por otra parte, el margen de ruido, como en la lógica RTL, es sólo de $0{,}5 - 0{,}2 = 0{,}3$ V). Puesto que la corriente en $Q1$ es casi cero, la salida Y tiende a alcanzar V_{CC} y $Q4$ y $Q5$ sa saturan. Por lo tanto, la salida Y está limitada a:

$$V_{BE,\text{sat}} = V(1) \approx 0{,}8 \text{ V}$$

para el silicio. Por consiguiente, con todas las entradas en el estado bajo, la salida está en el estado alto. Obsérvese que el estado alto es de tan sólo 0,8 V independientemente de V_{CC}.

Consideremos que por lo menos una entrada v_1 está en su estado alto. Como $Q1$ se alimenta desde Q', Q' estará al corte y $Q1$ será llevado a saturación. En estas circunstancias, la salida Y será $V_{CE,\text{sat}} = V(0)$. Si se excita más de una entrada, la salida estará con certeza en la tensión inferior. Por lo tanto, hemos confirmado que se satisface la función NOR.

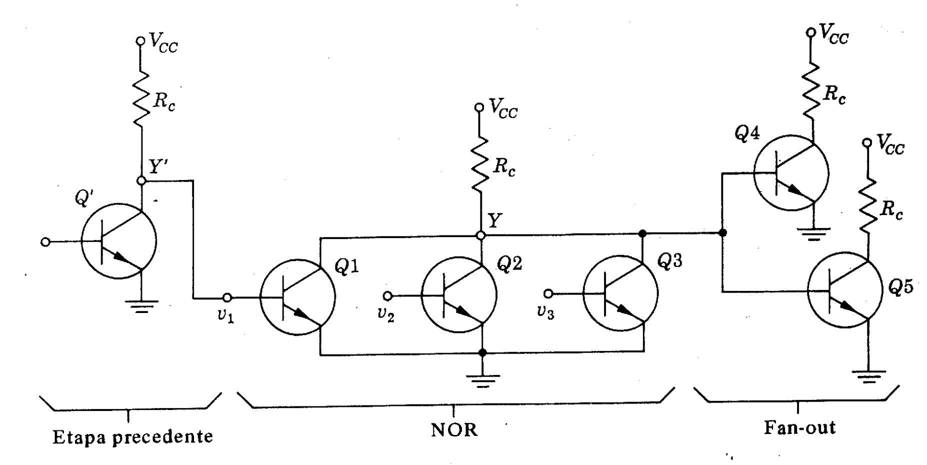


Fig. 6-30. Puerta NOR positiva DCTL

Existen varios inconvenientes en los DCTL: (1) Las corrientes inversas de saturación de todos los transistores de entrada se suman en la resistencia R_c del circuito de colector común. A temperaturas suficientemente elevadas, la caída total $I_{CBO}R_C$ puede ser tan grande, que la salida Y sea demasiado baja para llevar a los transistores de salida a saturación. (2) Debido a la conexión directa, la corriente de base es casi igual a la corriente de colector (para $V_{CC} \gg V_{CE,\text{sat}}$ y $V_{CC} \gg V_{BE,\text{sat}}$). Con un transistor fuertemente saturado, resulta una carga de base almacenada muy grande, en detrimento de la velocidad de conmutación. (3) Como los niveles de tensión son tan bajos —el escalón total de salida es de sólo 0,6 V para el silicio— las espurias (ruidos) pueden perturbar el buen funcionamiento. (4) Las bases de los transistores de salida están conectadas entre sí. Como las características de entrada nunca pueden ser idénticas, supongamos que $Q4$ tiene un V_{BE} mucho menor que $Q5$ para una I_B dada. En estas circunstancias, $Q4$ "atraerá hacia sí" la mayor parte de la corriente de base, y es posible que $Q5$ no llegue siempre a saturación. Por lo tanto, los transistores aconsejables para DCTL deben tener un control muy estricto en cuanto a la uniformidad de las características de entrada, valores muy bajos de I_{CBO} y una diferencia lo más grande posible entre $V_{BE,\text{sat}}$ y $V_{CE,\text{sat}}$, un h_{FE} elevado y un tiempo de almacenamiento pequeño.

Las ventajas del sistema DCTL son: (1) Solamente se precisa una fuente de alimentación de baja tensión (puede funcionar con 1,5 V); (2) cabe emplear transistores con tensiones de ruptura baja con entera seguridad, y (3) la potencia de disipación es pequeña.

Son posibles circuitos NOR y NAND con técnica DCTL, utilizando transistores en serie (en totem) en lugar de en paralelo como en la Fig. 6-30. Debido a las dificultades mencionadas anteriormente, la DCTL no se emplea muy a menudo con transistores bipolares, pero en cambio es una lógica normalizada con transistores de efecto campo (Sec. 10-6).

6-15. COMPARACION DE FAMILIAS LOGICAS

Se han mencionado algunas de las ventajas e inconvenientes de las familias lógicas estudiadas. La comparación exhaustiva resulta extremadamente difícil debido a que es preciso tener en cuenta las siguientes características: (1) velocidad (retraso del tiempo de propagación), (2) inmunidad al ruido, (3) capacidades de entrada y de salida, (4) necesidades de las fuentes de alimentación, (5) potencia de disipación por puerta, (6) posibilidad de su fabricación integrada, (7) margen de temperatura de funcionamiento, (8) número de funciones asequibles, y (9) el coste. También debe tenerse en cuenta el prejuicio personal del proyectista, que está fuertemente influenciado siempre por su experiencia. Los apartados 1 y 8 precisan alguna explicación; los restantes se definen por sí mismos.

Retraso de la propagación. En la Fig. 6-9, el tiempo de puesta en marcha t_{ON} de un inversor (*n-p-n*) se define como el intervalo comprendido entre la aplicación de un impulso ideal de entrada y el momento en que la corriente de salida alcanza el 90 % (o la caída de tensión el 10 %) de su valor final. Esta definición *no* se emplea comúnmente para el retraso de la propagación, por dos razones. Primero, la entrada a la puerta no es un impulso cuadrado, sino que tiene una forma de onda con tiempo de subida no nulo. Segundo, la entrada no necesita alcanzar el 90 % de su valor antes de que la puerta cambie de estado. Por lo tanto, definiremos el *retraso de la propagación de conexión a* T_{ON} (para distinguirlo de t_{ON}) como veremos a continuación.

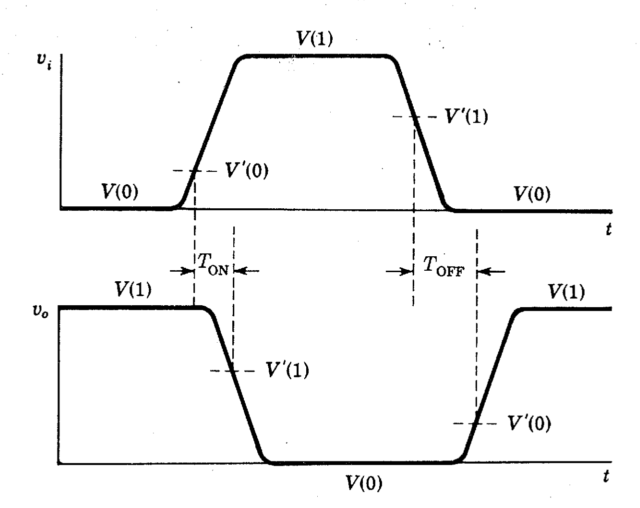


Fig. 6-31. Pertenece a las definiciones del retraso del tiempo de propagación

Como la tensión de entrada para un NAND positivo va desde $V(0)$ hasta $V(1)$, habrá una *tensión umbral de conmutación* determinada $V'(0)$ (Fig. 6-31) para la que las condiciones interiores de la puerta se modifican y se inicia el cambio de la salida desde $V(1)$ hasta $V(0)$. Igualmente, cuando la tensión de entrada cae desde $V(1)$ hasta $V(0)$, habrá otra tensión en la que se produce la conmutación $V'(1)$, teniendo lugar el comienzo del cambio de estado desde $V(0)$ hasta $V(1)$. Vamos a definir ahora (como en la Fig. 6-31) el retraso de propagación de conexión T_{ON} como el intervalo de tiempo entre el instante en que la entrada v_i alcanza $V'(0)$ y la salida baja a $V'(1)$. Asimismo, el retraso de la propagación de desconexión T_{OFF} se define como el intervalo entre el instante en que la entrada se iguala a $V'(1)$ y la salida alcanza $V'(0)$. Debido al tiempo de almacenamiento de los portadores minoritarios, $T_{ON} \neq T_{OFF}$. Por lo tanto, el tiempo de retraso de propagación T_{PD} se define como la media de estos dos tiempos, o sea:

$$T_{PD} = \frac{1}{2}(T_{ON} + T_{OFF}) \tag{6-41}$$

Algunos autores suponen arbitrariamente que las dos tensiones de umbral son iguales: $V'(0) = V'(1) = ½\,[V(0) + V(1)]$.

Funciones. Las puertas básicas Y, O, NAND y NOR se combinan de varias formas en un módulo integrado para constituir una funcionalidad específica. Este sistema constructivo en bloques será tratado en el capítulo 17, incluyendo los biestables, contadores, funciones aritméticas, decodificadores, registradores de desplazamiento, etc.

Deberemos aclarar que una misma configuración lógica no es siempre lo más conveniente para todas las aplicaciones. En la Tabla 6-5 se comparan las familias de lógicas digitales con circuitos integrados.

TABLA 6-5 Comparación entre las principales familias lógicas digitales integradas[8]

Parámetro / Lógica	RTL	DTL	HTL	TTL	ECL	MOS	CMOS
Puerta básica[a]	NOR	NAND	NAND	NAND	O-NOR	NAND	NOR O NAND
N.º de puertas atacables[b]	5	8	10	10	25	20	>50
Potencia disipada[c] por puerta en mW	12	8–12	55	12–22	40–55	0,2–10	0,01 estática 1 a 1 MHz
Inmunidad al ruido	Nominal	Buena	Excelente	Muy buena	Buena	Nominal	Muy buena
Retraso de propagación por puerta[d] en nseg	12	30	90	12–6	4–1	300	70
Ritmo del reloj,[e] M Hz	8	12–30	4	15–60	60–400	2	5
Número de funciones	Alta	Bastante alta	Nominal	Muy alta	Alta	Baja	Baja
Referencia	Sec. 6-14	Sec. 6-10	Sec. 6-11	Sec. 6-12	Sec. 16-17	Sec. 10-7	Sec. 10-7

a Lógica positiva.
b Número de entradas que la puerta puede excitar en el peor de los casos.
c Típicos; afectados por la temperatura y la frecuencia de trabajo.
d Típico para el número nominal de puertas atacables.
e Frecuencia máxima de funcionamiento de los flip-flop. La cadencia normal del reloj está comprendida entre la mitad a la décima parte de la frecuencia indicada.
f Los fabricantes añaden continuamente nuevas funciones, excepto en el caso de DTL. No obstante, las funciones TTL son compatibles con las DTL.

REFERENCIAS

1. Chen, T. C.:"Diode Coincidence and Mixins Circuits in Digital Computers", *Proc. IRE,* vol. 38, pp. 511-514, mayo de 1950.
   Hussey, L. W.: "Semiconductor Diode Gates", *Bell System Tech. J.,* vol. 32, n.º 5, pp. 1137-1154, septiembre de 1953.

2. Millman J. y H. Taub: "Pulse, Digital and Switching Waveforms". cap. 20, McGraw-Hill Book Company, Nueva York, 1965.

3. Ref. 2, sec. 20-19.

4. Masher, D. P.: "The Design of Diode-Transistor NOR Circuits", *IRE Traps. Electron. Computers,* vol. EC-9, n.º 1, pp. 15-24, marzo de 1960.
   Todd, C. R.: "An Annotated Bibliography on NOR and NAND Logic", *IEEE Trans. Electron. Computers,* vol. EC-12, n.º 5, pp. 462-464, octubre de 1963.

5. Garrett, L. S.: "Integrated-circuit Digital Logic Families", Parte I, dispositivos RTL, DTL y HTL, *IEEE Spectrum,* vol. 7, pp. 46-56, octubre de 1970.

6. Garrett, L. S.: "Integrated-circuit Digital Logic Families", Parte II, dispositivos TTL, *IEEE Spectrum,* vol. 7, pp. 63-72, noviembre de 1970.

7. Beter, R. H., W. E. Bradley, R. B. Brown y M. Rubinoff: *Electronics,* Vol. 28, n.º 6, pp. 132-136, junio de 1965.

8. Garrett, L. S.: "Integrated-circuit Digital Logic Families", Parte III, dispositivos ECL y MOS, *IEEE Spectrum.* Vol. 7, p. 41, diciembre de 1970.

TEMAS DE REPASO

6-1 Expresar los siguientes números decimales en forma binaria: (*a*) 28; (*b*) 100; (*c*) 5 127.
6-2 Definir: (*a*) *Lógica positiva* (*b*) *Lógica negativa.*
6-3 Definir una puerta O y determinar su tabla de la verdad.
6-4 Dibujar una puerta O positiva con diodos y explicar su funcionamiento.
6-5 Valorar las siguientes expresiones: (*a*) $A + 1$; (*b*) $A + A$; (*c*) $A + 0$.
6-6 Definir una puerta Y y determinar su tabla de la verdad.
6-7 Dibujar una puerta Y positiva con diodos y explicar su funcionamiento.
6-8 Valorar las siguientes expresiones: (*a*) $A1$; (*b*) AA; (*c*) $A0$; (*d*) $A + AB$.
6-9 Definir una puerta NO y determinar su tabla de la verdad.
6-10 Dibujar una puerta NO de lógica positiva y explicar su funcionamiento.
6-11 Valorar las siguientes expresiones: (*a*) $\bar{\bar{A}}$; (*b*) $\bar{A}A$; (*c*) $\bar{A} + A$.
6-12 Una onda de impulso lleva un transistor *n-p-n* desde el corte a la saturación, y posteriormente lo vuelve al corte. (*a*) Dibujar la onda de la corriente de salida, correlacionando el tiempo con la tensión de entrada. (*b*) Determinar en el gráfico los siguientes tiempos: *retraso, subida, conducción, almacenamiento, bajada* y *corte.*
6-13 (*a*) ¿Cuál es el origen físico del *tiempo de almacenamiento*? (*b*) ¿Es importante para el cambio del transistor de conducción a corte? Explíquese. (*c*) Representar la concentración de portadores minoritarios en la base; en la región activa y en saturación.
6-14 Definir un INHIBIDOR y determinar su tabla de la verdad para $AB\bar{C}$.
6-15 Definir un O EXCLUSIVO y determinar su tabla de la verdad.
6-16 Trazar dos diagramas de bloques lógicos para un O EXCLUSIVO.
6-17 Comprobar que las siguientes expresiones de Boole representan un O EXCLUSIVO: (*a*) $A\bar{B} + \bar{A}B$; (*b*) $(A + B)(\bar{A} + \bar{B})$.
6-18 Indicar las dos formas de las leyes de Morgan.
6-19 Demostrar cómo se consigue un Y con puertas O y NO.
6-20 Demostrar cómo se consigue una O con puertas Y y NO.
6-21 Definir una puerta NAND y determinar su tabla de la verdad.
6-22 Dibujar una puerta NAND positiva con diodos y un transistor (DTL), y explicar su funcionamiento.
6-23 Definir la puerta NOR y determinar su tabla de la verdad.
6-24 Repetir la cuestión 6-22 para una puerta NOR.
6-25 Dibujar el circuito de una puerta DTL integrada y explicar su funcionamiento.
6-26 Definir (*a*) fan-out; (*b*) fan-in; (*c*) *carga normal*; (*d*) *almacén de corriente,* y (*f*) *fuente de corriente.*
6-27 ¿Qué lógica se obtiene si las salidas de dos puertas DTL se conectan entre sí? Explíquese.
6-28 ¿En qué se diferencia una lógica de alto umbral (HTL) de la DTL?
6-29 Dibujar el circuito de una puerta TTL y explicar su funcionamiento.
6-30 Dibujar una salida en totem con una puerta TTL. Explicar su funcionamiento.
6-31 Repetir el tema 6-30 para una puerta DTL.
6-32 Dibujar el circuito de una puerta RTL y explicar su funcionamiento para lógica positiva.
6-33 Repetir la cuestión 6-32 para lógica negativa.
6-34 Dibujar un circuito DCTL y explicar su funcionamiento.

6-35 Cítense tres ventajas y tres inconvenientes de las puertas DCTL.

6-36 Definir (*a*) dos *tensiones umbral*; (*b*) *tiempo de retraso de propagación de conexión*; (*c*) *tiempo de retraso de propagación de desconexión*; (*d*) *tiempo de retraso de propagación*.

6-37 Dar el orden de magnitud que se puede aplicar a cualquiera de las familias lógicas estudiadas en este capítulo, para (*a*) fan-out; (*b*) potencia de disipación por puerta; (*c*) retraso de propagación por puerta.

7

Circuitos integrados: fabricación y características

Un circuito integrado está constituido por un monocristal de silicio, normalmente de 1250 por 1250 μm de sección, que contiene elementos activos y pasivos y sus conexiones. Estos circuitos se fabrican por los mismos procesos empleados para los transistores individuales y los diodos, y que consisten en el crecimiento epitaxial, difusión de impurezas con máscara, crecimiento del óxido y eliminación del mismo, empleando medios fotolitográficos para la definición de cada modelo. Se emplea un procedimiento múltiple que ofrece una excelente identidad de resultados y es adaptable a la producción en serie de un elevado número de circuitos integrados a bajo coste. En este capítulo vamos a describir el procedimiento de fabricación de los circuitos integrados.

7-1. TECNOLOGIA DE LOS CIRCUITOS INTEGRADOS

La fabricación de los circuitos integrados se basa en los mismos principios de materiales, procesos y diseño que constituyen la tecnología, altamente desarrollada, de los semiconductores (difusión planar). En la Fig. 7-1*b*, está indicada la estructura básica de un circuito integrado, que consiste en cuatro capas distintas de material. La capa inferior ① (de 150 μm de grosor) es de silicio tipo *p* y sirve como *sustrato* sobre el que se construirá el circuito integrado. La segunda capa ② es muy delgada (normalmente 25 μm) y de material del tipo *n* que crece como una extensión monocristal del sustrato. Todos los componentes, pasivos y activos, se construyen dentro de la delgada capa de tipo *n* empleando una serie de pasos de difusión. Estos componentes son transistores, diodos, condensadores y resistencias, y se construyen mediante la difusión de impurezas del tipo *p* y del *n*. El componente más complicado es el transistor, y todos los demás elementos se construyen por uno o más de los procesos necesarios para la fabricación del transistor. Al fabricar cualquiera de los elementos citados, es necesario distribuir las impurezas en ciertas regiones perfectamente definidas dentro de la segunda capa (de tipo *n*). La difusión selectiva de impurezas se consigue empleando SiO_2 como protección de las partes

que no interesa que sean impurificadas. En consecuencia, la tercera capa ③ de material es de dióxido de silicio, que al mismo tiempo proteje la superficie del semiconductor contra la contaminación. En las regiones en las que deba haber difusión, se elimina la capa de silicio, quedando el resto protegido contra dicha difusión. Para lograr una eliminación selectiva, la capa de silicio debe someterse a un proceso de fotolitografía, descrito en la Sec. 7-4. Finalmente, la cuarta capa ④ es metálica (aluminio) y se añade para conseguir las interconexiones necesarias entre los componentes.

El sustrato de tipo p que se necesita como fundamento del circuito integrado, se obtiene por formación de un lingote (de 3 a 4 cm de diámetro y unos 25 cm de longitud) de silicio fundido con un determinado número de impurezas. El lingote se corta posteriormente en obleas circulares de unas 150 μm de grosor y una de las caras de la oblea se pule y lapida para eliminar las imperfecciones superficiales.

Veamos algunas de las ventajas más significativas de la tecnología de los circuitos integrados. Consideremos una oblea de unos 7 cm^2 dividida en 400 fragmentos, denominados "chips" de una superficie de 1 250 × 1 250 μm. Vamos a demostrar en este capítulo que el área normal que ocupa un componente (digamos un transistor) es de 31.250 μm^2. Por lo tanto, cada chip (cada circuito integrado) contiene 50 componentes separados, y en la oblea habrá 50 × 400 = 20.000 componentes.

Si fabricamos 10 obleas de una sola vez, hemos conseguido 4.000 circuitos integrados simultáneamente, que a su vez, contendrán 200.000 componentes. Existirán algunos fallos debidos a imperfecciones del proceso de fabricación, pero a pesar de ello la producción útil (porcentaje de elementos sin faltas) es extremadamente grande.

Comparando la tecnología de los circuitos integrados con los componentes discretos interconectados por técnicas convencionales, cabe observar las siguientes ventajas:

1. Bajo coste (debido a las grandes cantidades de producción).
2. Tamaño reducido.
3. Elevada fiabilidad. (Todos los componentes se fabrican simultáneamente, y no hay puntos de soldadura.)
4. Mejor rendimiento. (Debido a su bajo coste, se pueden emplear circuitos más complejos para obtener mejores características funcionales.)

En las secciones siguientes examinaremos el proceso necesario para fabricar un circuito integrado.

7-2. CIRCUITOS INTEGRADOS MONOLITICOS BASICOS[1,2]

Vamos a examinar con detalle las diversas técnicas y procesos inherentes a la obtención del circuito de la Fig. 7-1*a* en forma integrada, tal como indica la Fig. 7-1*b*. Esta configuración se denomina circuito integrado monolítico, debido a que está formado por una sola pieza de silicio. La palabra "monolítico" proviene etimológicamente del griego: *monos*, "solo, único"; y *lithos*, "piedra". Por lo tanto, un circuito monolítico está construido sobre una piedra única, o cristal singular.

En esta sección vamos a describir cualitativamente el proceso completo de fabricación por difusión epitaxial de circuitos integrados. En las siguientes secciones, examinaremos con más detalle los procesos de difusión, epitaxial, y fotográfico. El circuito lógico de la Fig. 7-1*a* se elige como ejemplo debido a que contiene los componentes típicos: resistencia, diodos y transistor. Estos elementos (así como los condensadores de pequeña capaci-

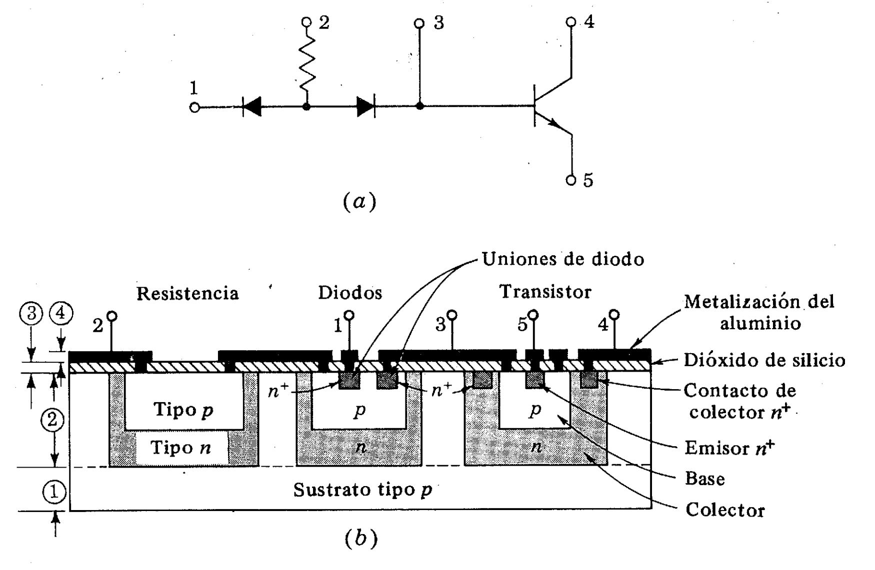


Fig. 7-1. (*a*) Circuito conteniendo una resistencia, dos diodos y un transistor. (*b*) Vista en sección del circuito (*a*) cuando se ha transformado en forma monolítica (no está dibujada a escala). Las cuatro capas son: ① sustrato, ② cristal tipo n que contiene el circuito integrado, ③ dióxido de silicio, y ④ metalización del aluminio. (Según Phillips.[2] No está dibujado a escala.)

dad) son los componentes que figuran dentro de los circuitos integrados. El circuito monolítico se forma siguiendo los pasos indicados en la Fig. 7-2 y descritos a continuación.

1.^{er} paso. Crecimiento epitaxial. Una capa epitaxial de tipo n, normalmente de 25 μm de grosor, crece sobre el sustrato de tipo p que tiene una resistividad normal de 10 Ω cm, que corresponde a $N_A = 1{,}4 \times 10^{15}$ átomos/cm^3. El proceso epitaxial descrito en la Sec. 7-3 indica que la resistividad de la capa epitaxial tipo n puede ser elegida independientemente de la del sustrato. Se toman valores de 0,1 Ω cm a 0,5 Ω cm para la capa tipo n. Después de la limpieza y el pulido, se recubre toda la oblea con una delgada película de óxido de silicio SiO_2 (0,5 μm = 5 000 Å), tal como indica la Fig. 7-2*a*. La sílice se deposita por exposición de la capa epitaxial a una atmósfera de oxígeno, calentándola a unos 1 000° C. El dióxido de silicio tiene la propiedad fundamental de evitar la difusión de impurezas a su través. En los siguientes pasos se emplea esta propiedad.

2.° paso. Difusión del aislamiento. En la Fig. 7-2*b*, la oblea aparece con la capa de óxido eliminada en cuatro lugares diferentes de su superficie. Este proceso de eliminación se consigue mediante un sistema fotolitográfico descrito en la Sec. 7-4. El SiO_2 que permanece sirve como máscara impidiendo la difusión de impurezas aceptadoras (en este caso, boro). La oblea se somete entonces a lo que se denomina *difusión de aislamiento*, que tiene lugar a la temperatura y durante el tiempo precisos para que las impurezas de tipo p penetren en la capa epitaxial de tipo n y alcancen el sustrato de tipo p. En la Fig. 7-2*b* aparecen sombreadas las regiones de tipo n. Estas regiones se denominan *islas*,

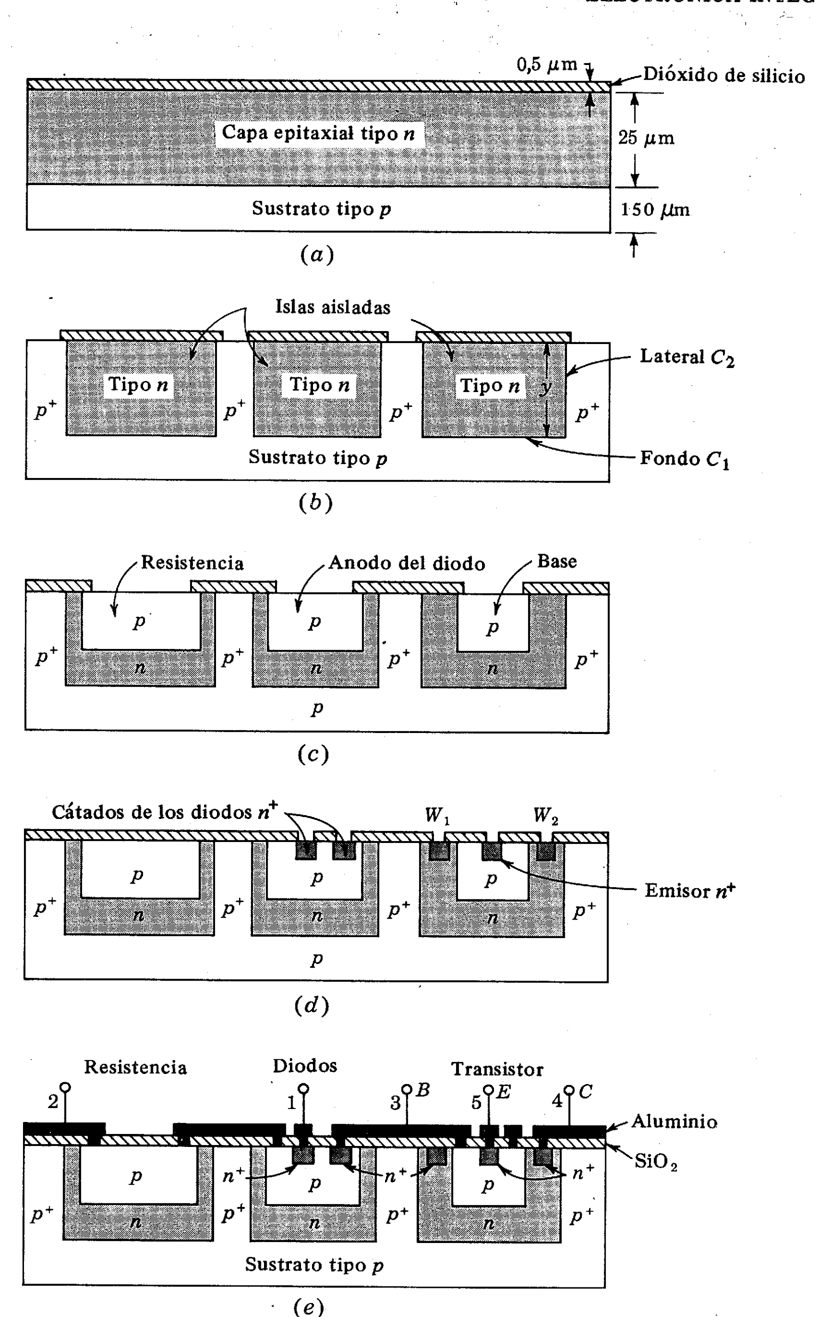


Fig. 7-2. Los pasos que comporta la fabricación de un circuito monolítico (no dibujado a escala). (*a*) Crecimiento epitaxial; (*b*) difusión de aislamiento; (*c*) difusión de base; (*d*) difusión del emisor; (*e*) metalización de aluminio

porciones aisladas o *regiones aisladas,* debido a que están separadas por dos uniones *p-n* en sentido opuesto. Su objeto es aislar eléctricamente los diferentes componentes del circuito. Por ejemplo, como veremos más adelante en esta sección, debe usarse una región de aislamiento distinta para los colectores de cada transistor individual. El sustrato de tipo *p* siempre debe tener un potencial negativo con respecto a las regiones aisladas para que las uniones *p-n* estén polarizadas en sentido inverso. Si estos diodos estuvieran polarizados en sentido directo durante el funcionamiento del circuito, el aislamiento se perdería.

Hemos de observar que la concentración de átomos aceptadores ($N_A \approx 5 \times 10^{20}$ cm^{-3}) en la región comprendida entre las porciones aisladas será generalmente mucho mayor (y por lo tanto lo indicaremos p^+), que en el sustrato de tipo *p*. La razón de esta mayor densidad es evitar que la región de deplexión de la unión aislamiento-sustrato con polarización inversa se extienda al material de tipo p^+ (Sec. 3-7) y la posible conexión de dos regiones aisladas.

CAPACIDADES PARASITAS

Es importante subrayar que estas regiones aisladas, o uniones, están conectadas por una barrera significativa, o capacidad de transición C_{Ts}, al sustrato de tipo *p*, cuya capacidad puede afectar al funcionamiento del circuito. Como C_{Ts} es un subproducto indeseable del proceso de aislamiento, se le denomina *capacidad parásita.*

La capacidad parásita es la suma de dos componentes, la capacidad C_1 desde la parte inferior de la región de tipo *n* al sustrato (Fig. 7-2*b*) y C_2 de los lados de las regiones aisladas a la región de tipo p^+. La componente inferior C_1 proviene de una unión abrupta debida funcionalmente al crecimiento epitaxial (Sec. 7-3), y por tanto varía inversamente a la raíz cuadrada de la tensión V entre la región aislada y el sustrato (Sec. 3-7). La capacidad lateral C_2 está relacionada con una unión de difusión gradual, y varía con la función $V^{-1/3}$. Para estas componentes, el área de la unión es igual al perímetro de la región aislada multiplicado por el grosor y de la capa epitaxial tipo n. La capacidad total es del orden de unos pocos picofaradios.

3.^er^ **paso. Difusión de la base.** Durante este proceso se forma una nueva capa de óxido sobre la oblea, y el proceso fotolitográfico se emplea nuevamente para crear las porciones abiertas indicadas en la Fig. 7-2*c*. Las impurezas de tipo *p* (boro) se difunden a través de estas aberturas. De este modo se forma la base de los transistores, las resistencias, el ánodo de los diodos, y, los condensadores de unión (si los hay). Es muy importante controlar la profundidad de esta difusión para evitar que llegue al sustrato. La resistividad de la capa de base, es, generalmente, mucho mayor que la de las regiones aisladas.

4.º **paso. Difusión del emisor.** Se forma otra vez una capa de óxido sobre toda la superficie, y se emplea nuevamente el proceso de la máscara para abrir unas ventanas en las regiones de tipo *p*, tal como indica la Fig. 7-2*d*. A través de estas aberturas se difunden impurezas tipo *n* (fósforo) para la formación de los emisores de los transistores, las regiones de los cátodos de los diodos, y los condensadores de unión.

Se agregan a menudo ventanas (como W_1 y W_2 en la Fig. 7-2*d*) en las regiones tipo *n* que deban conectarse al exterior, empleando aluminio para el contacto óhmico, o para la interconexión. Durante la difusión del fósforo, se forma una fuerte concentración (denominada n^+) en los puntos en los que deberán hacerse los contactos con el aluminio. El aluminio es un impurificador de tipo *p* en el silicio, y una elevada concentración de fósforo evita la formación de uniones *p-n* cuando el aluminio se alea para formar el contacto óhmico.[4]

5.° paso. Metalización con aluminio. Todas las uniones *p-n* y las resistencias de la Fig. 7-1*a* se han construido en los pasos anteriores. Ahora es necesario interconectar entre sí los diversos componentes del circuito integrado para formar el circuito deseado. Para hacer estas conexiones, se practica una cuarta apertura de ventanas en una nueva capa de SiO_2, tal como indica la Fig. 7-2*e*, en los puntos en los que se deben realizar los contactos. Las interconexiones se hacen depositando primero al vacío una capa completa de aluminio delgada sobre toda la oblea. Se emplea luego la técnica de la foto-resina para eliminar todas las áreas no necesarias, dejando las zonas precisas para las interconexiones mostradas en la Fig. 7-2*e* entre resistencias, diodos y transistores.

En una sola oblea, se fabrica simultáneamente un elevado número (varios cientos) de circuitos idénticos al de la Fig. 7-1*a*. Después de completado el proceso de metalización, la oblea se corta con una herramienta puntiaguda de diamante y se separa en porciones (chips) individuales. Cada chip se monta entonces en una cápsula cerámica y se coloca en un cabezal adecuado. El conjunto de terminales se conecta al circuito integrado por un conductor[1], de oro o de aluminio, de 25 μm, desde el terminal del circuito al de la cápsula (Fig. 7-27).

Resumen. En esta sección se ha descrito el método de difusión epitaxial de fabricación de circuitos integrados, y hemos podido ver los siguientes procesos:

1. Crecimiento de un sustrato de cristal.
2. Epitaxis.
3. Crecimiento del dióxido de silicio.
4. Fotoeliminación.
5. Difusión.
6. Evaporación del aluminio al vacío.

Empleando estas técnicas, es posible fabricar los siguientes elementos sobre un mismo chip: transistores, diodos, resistencias, condensadores y conexiones de aluminio.

7-3. CRECIMIENTO EPITAXIAL[1]

El proceso epitaxial da lugar a una delgada película de silicio monocristal partiendo de la etapa de gas, sobre una oblea existente de cristal del mismo material. La capa epitaxial puede ser indistintamente de tipo *p* o tipo *n*. En la Fig. 7-3 aparece el crecimiento de una película epitaxial de silicio con impurezas de átomos de boro que son absorbidas en el crecimiento de la película.

La reacción química básica empleada para el crecimiento epitaxial del silicio puro es la reducción con hidrógeno del tetracloruro de silicio:

$$SiCl_4 + 2H_2 \underset{}{\overset{1200^oC}{\rightleftarrows}} Si + 4HCl \qquad (7\text{-}1)$$

Cuando se necesita producir una película epitaxial con una determinada concentración de impurezas, es preciso introducir drogantes tales como compuestos de fósforo para el tipo *n* o de boro para el tipo *p*, en la atmósfera de gas de tetracloruro de silicio y de hidrógeno. En la Fig. 7-4 se muestra un aparato para la producción de una capa epitaxial. En este sistema, una bobina de inducción en radio frecuencia envuelve un tubo de cuarzo largo cilíndrico. Las obleas de silicio se colocan en una reglilla de grafito denominado *barquilla*.

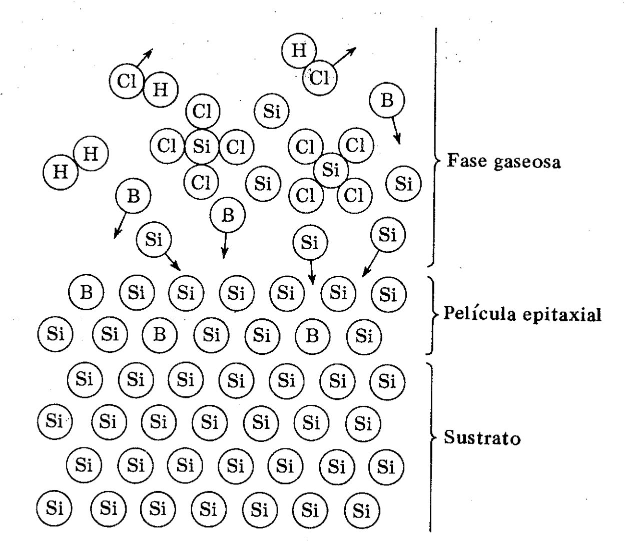


Fig. 7-3. Crecimiento epitaxial de una película epitaxial mostrando los átomos de impureza (boro) atrapados en el crecimiento de la película. (Cortesía de Motorola, Inc.[1])

La barquilla se inserta en la cámara de reacción y el grafito se calienta por inducción hasta unos 1200° C. En la entrada de la cámara de reacción, un distribuidor de control permite la introducción de los distintos gases requeridos para el crecimiento de las capas epitaxiales apropiadas. Con ello es posible formar una unión *p-n* bastante abrupta, igual que la indicada en la Fig. 3-10.

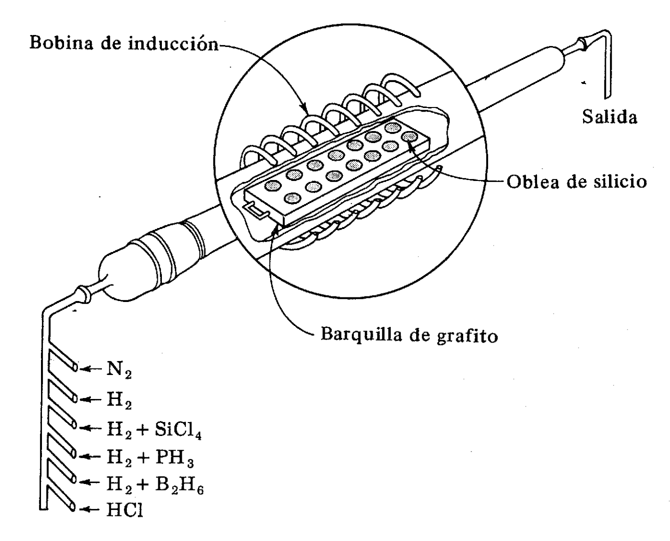


Fig. 7-4. Representación esquemática del sistema de crecimiento de la película epitaxial de silicio. (Cortesía de Motorola, Inc.[1])

7-4. ENMASCARADO Y CORROSION[1]

La técnica monolítica descrita en la Sec. 7-2 requiere una eliminación selectiva de SiO_2 para formar aberturas por donde se difundan las impurezas. La fotoeliminación o fotocorrosión es el método más apropiado y está ilustrado en la Fig. 7-5. Durante el proceso de fotolitografía, la oblea se recubre con una película uniforme de emulsión fotosensible (como por ejemplo la *fotorresistiva* Kodak KPR). Se dibuja una representación ampliada, en blanco y negro, de las zonas abiertas y cerradas que se deseen, y luego se reduce fotográficamente. Este negativo, con las dimensiones adecuadas, se coloca como una máscara sobre la fotorresistencia, tal como indica la Fig. 7-5*a*. Exponiendo la KPR a los rayos ultravioleta a través de la máscara, la foto-resina se polimeriza bajo las regiones transparentes del negativo. Se elimina seguidamente la máscara, y la oblea se "revela" empleando un producto químico (tal como el tricloroetileno), que disuelve las porciones no expuestas (no polimerizadas) de la película de foto-resina, y deja la superficie parcelada como muestra la Fig. 7-5*b*. La emulsión que no se ha eliminado en el revelado se *fija* ahora, para que se transforme en el elemento resistente a la corrosión que se empleará a continuación. El chip se sumerge en una solución corrosiva de ácido fluorhídrico, que elimina el óxido de las áreas en las que se van a difundir los drogadores. Las porciones de SiO_2 protegidas por la fotorresistencia no quedan afectadas por el ácido. Después de la corrosión y difusión de impureza, la máscara resistiva se elimina con un disolvente químico (tal como SO_4H_2 caliente) y mediante un proceso de abrasión mecánica.

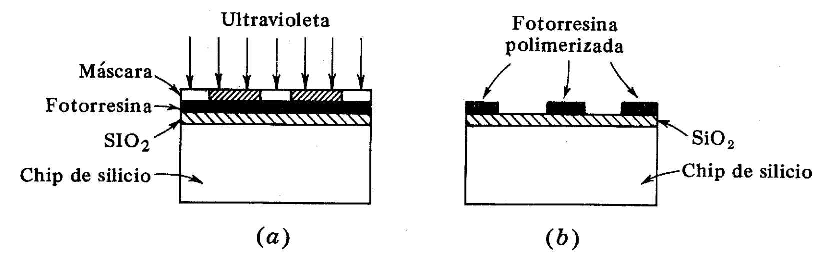


Fig. 7-5. Técnica de la fotocorrosión. (*a*) Máscara y exposición a la radiación ultravioleta. (*b*) Fotorresina después del revelado

7-5. DIFUSION DE IMPUREZAS[5]

El proceso más importante en la fabricación de circuitos integrados es la difusión de impurezas en el silicio. Vamos ahora a examinar la teoría básica inherente a este proceso. La solución de la ecuación de la difusión muestra el efecto de la temperatura y del tiempo en la distribución de la difusión.

Ley de difusión. La ecuación que gobierna la difusión de átomos neutros es:

$$\frac{\partial N}{\partial t} = D \frac{\partial^2 N}{\partial x^2} \tag{7-2}$$

donde N es la concentración en átomos por unidad de volumen en función de la distancia x desde la superficie y del tiempo t, y D es la constante de difusión en área por unidad de tiempo.

Función complementaria de error. Si una oblea de silicio intrínseco se expone a un volumen de un gas con una concentración uniforme N_o de átomos de impurezas tipo n por unidad de volumen, tales como el fósforo, estos átomos se difunden en el cristal de silicio, y su distribución adquirirá la forma indicada en la Fig. 7-6*a*. Si la difusión se prolonga durante un tiempo extremadamente largo, el silicio quedará uniformemente drogado con N_o átomos de fósforo por unidad de volumen. El supuesto fundamental del que se parte es que la concentración de átomos de impureza en la superficie permanece igual a N_o en todo momento de la difusión, y que $N(x) = 0$ a $t = 0$ para $x > 0$.

Si se resuelve la Ec. (7-2) y se aplican las condiciones citadas:

$$N(x, t) = N_o \left(1 - \text{erf}\,\frac{x}{2\sqrt{Dt}}\right) = N_o\, \text{erfc}\,\frac{x}{2\sqrt{Dt}} \tag{7-3}$$

donde erfc y significa la función complementaria de error de y, y la función de error y se define por:

$$\text{erf}\, y \equiv \frac{2}{\sqrt{x}} \int_0^y \epsilon^{-\lambda_2}\, d\lambda \tag{7-4}$$

y se tabula en la Ref. 3. Esta función erfc $y = 1 - \text{erf}\, y$ se representa en la Fig. 7-7.

Distribución de Gauss. Si se deposita en una cara de la oblea un número determinado de átomos de impureza por unidad de superficie y si posteriormente se calienta el material, los átomos de impurezas se difundirán en el silicio. Cuando se aplican las condiciones

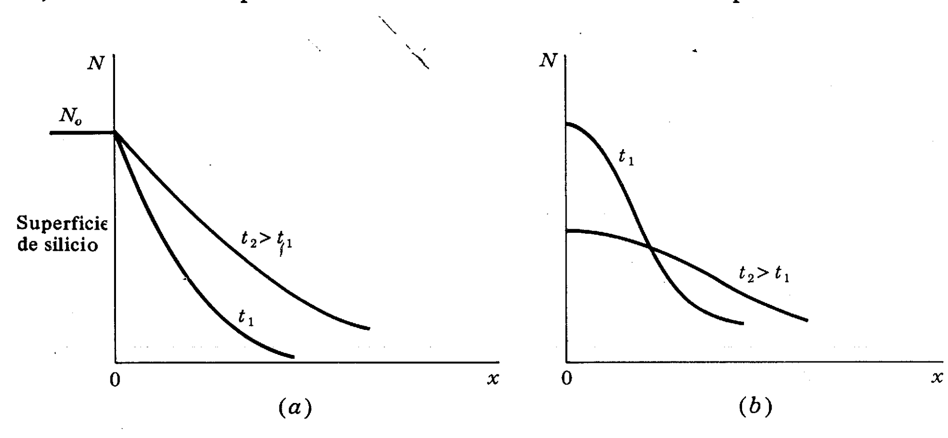


Fig. 7-6. Concentración N en función de la distancia x dentro del chip de silicio para dos valores t_1 y t_2 del tiempo de difusión. (*a*) La concentración en la superficie constante es igual a N_o por unidad de volumen. (*b*) El número total de átomos en la superficie es constantemente igual a Q por unidad de superficie

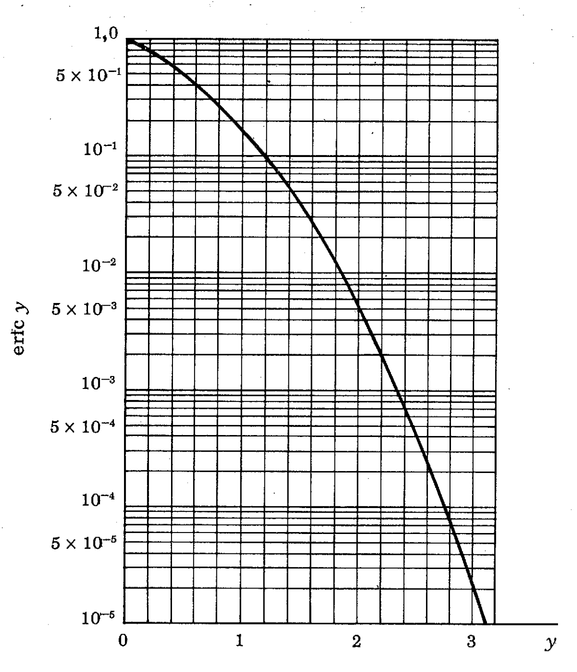


Fig. 7-7. Función complementaria de error dibujada en papel semilogarítmico

límites $\int_0^\infty N(x)\,dx = Q$ para todos los instantes y se hace $N(x) = 0$ a $t = 0$ para $x > 0$ a la ecuación (7-2), encontraremos:

$$N(x, t) = \frac{Q}{\sqrt{\pi Dt}} \epsilon^{-x^2/4Dt} \qquad (7\text{-}5)$$

La ecuación (7-5) se conoce con el nombre de distribución de Gauss, y en la figura 7-6*b* aparecen dos curvas correspondientes a dos tiempos distintos. Observemos en la figura que, a medida que el tiempo aumenta, la concentración en la superficie disminuye. El área bajo cada curva es la misma; por lo tanto, este área representa la cantidad total de impurezas que se han difundido, y es una constante de valor Q. Obsérvese que en las ecuaciones (7-3) y (7-5) el tiempo t y la constante de difusión D sólo aparecen como producto Dt.

Solubilidad del sólido.[1,6] Al diseñar circuitos integrados se puede pretender la producción de un determinado perfil de difusión (digamos, la función complementaria de error de una impureza tipo *n*). Para decidir cuál de las impurezas asequibles (tales como fósforo, arsénico, antimonio) debe emplearse, es necesario conocer si el número de átomos por unidad de volumen requerido por el perfil determinado por la Ec. (7-3) es menor que la *solubilidad del sólido* que se difunde. La solubilidad del sólido se define como la máxima concentración N_o del elemento que puede disolverse en el silicio sólido a una temperatura dada. La figura 7-8 muestra la solubilidad del sólido de algunas impurezas. Puede verse

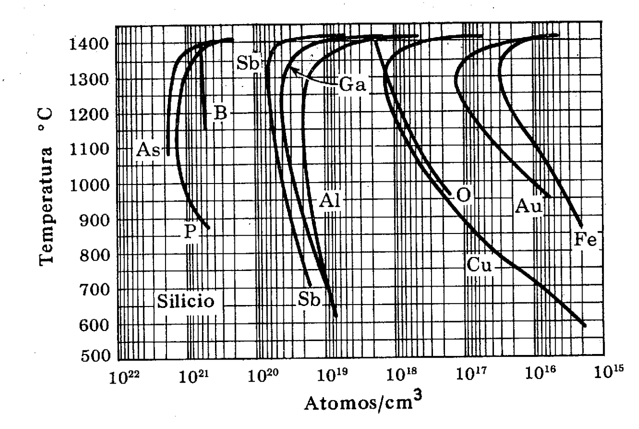


Fig. 7-8. Solubilidad del sólido de algunos elementos impurificantes del silicio. (Según Trumbore,[6] cortesía de Motorola, Inc.[1])

que la máxima concentración de fósforo en el silicio es del 2 %, habida cuenta de que la solubilidad sólida del fósforo es de 10^{21} átomos/cm^3 y de que para el silicio puro tenemos 5×10^{22} átomos/cm^3. Para la mayor parte de los elementos impurificantes restantes, la solubilidad es una pequeña fracción menor del 1 %.

Coeficientes de difusión. La temperatura afecta el proceso de difusión debido a que las temperaturas elevadas suministran mayor energía, y por lo tanto mayor velocidad, a los átomos que se difunden. Es evidente que el coeficiente de difusión es función de la temperatura, como muestra la Fig. 7-9. De esta figura podemos deducir que el coeficiente de difusión puede duplicarse con unos pocos grados de incremento de temperatura. Esta dependencia crítica de D respecto a la temperatura ha obligado a crear hornos de difusión

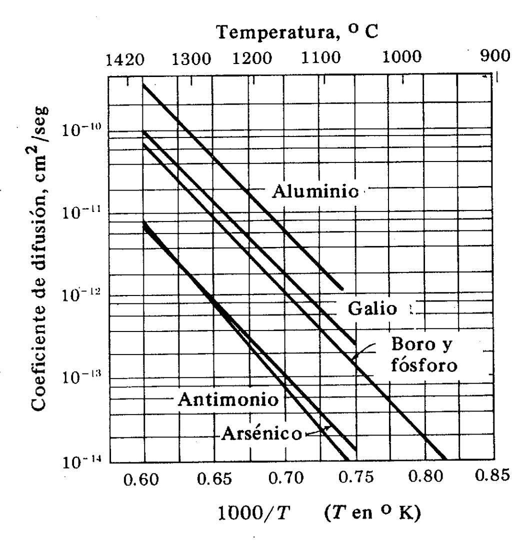


Fig. 7-9. Coeficiente de difusión en función de la temperatura de algunos elementos de impureza en el silicio. (Cortesía de Motorola, Inc.[1])

perfectamente controlados, en los que, dentro de unos niveles de temperatura desde 1000 a 1300, pueda obtenerse una tolerancia del ± 0,5° C o todavía menos. Como que el tiempo t aparece en las ecuaciones (7-3) y (7-5) en el producto Dt, el incremento de la constante de difusión o del tiempo tienen el mismo efecto sobre la densidad de difusión del elemento que se difunde.

Obsérvese en la Fig. 7-9 que los coeficientes de difusión, para la misma temperatura, de las impurezas tipo n (antimonio y arsénico) son menores que los coeficientes para las impurezas tipo p (galio y aluminio), pero que el fósforo (tipo n) y el boro (tipo p) tienen el mismo coeficiente de difusión.

Aparatos de difusión generalizados. Un tiempo de difusión razonable requiere altas temperaturas (~ 1000° C). Por tanto, un horno de difusión para temperaturas elevadas, con un control estricto de la temperatura sobre toda la longitud de calentamiento (50 cm) del horno, constituye un equipo normalizado para la fabricación de circuitos integrados. Las fuentes de impurezas utilizadas en los hornos de difusión pueden ser gaseosas, líquidas o sólidas. Por ejemplo, Cl_3PO, que es líquido, se emplea a menudo como productor de fósforo. La Fig. 7-10 muestra el aparato empleado para la difusión del Cl_3PO. En estos aparatos, un gas portador (mezcla de nitrógeno y oxígeno) burbujea a través del líquido difusor y lleva los átomos del mismo hacia las obleas de silicio. Mediante este proceso, obtenemos la distribución de la función complementaria de error de la Ec. (7-3). Para obtener la distribución de Gauss, se emplea un procedimiento en dos etapas. La primera parte constituye una *predeposición*, llevada a cabo a unos 900° C, seguida por una *penetración* a unos 1 100° C.

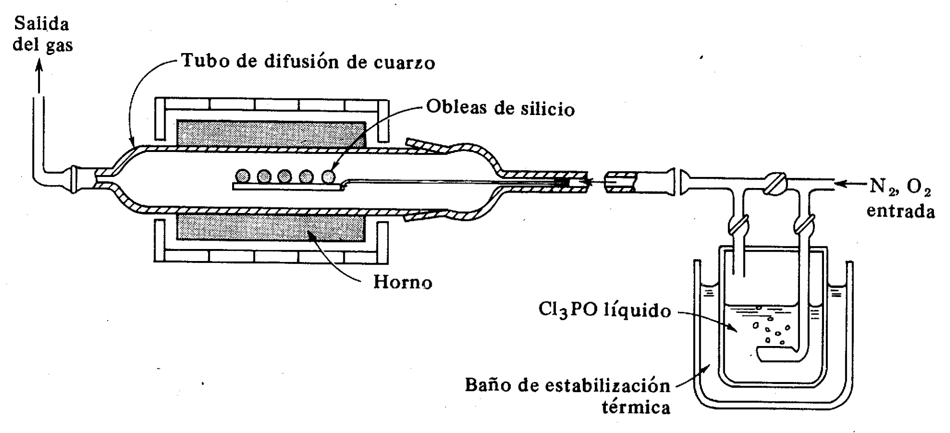


Fig. 7-10. Representación esquemática de un aparato típico para la difusión de Cl_3 PO. (Cortesía de Motorola, Inc.[1])

Ejemplo. Un silicio tipo n, uniformemente drogado y formando una capa epitaxial de 0,5 Ω cm de resistividad, se somete a una difusión de boro con una concentración superficial constante de 5×10^{18} cm^{-3}. Se desea formar una unión p-n de una profundidad de 2,7 μm. ¿A qué temperatura deberá llevarse a cabo esta difusión si es preciso terminar en 2 horas?

SOLUCION. La concentración N de boro es elevada en la superficie, y disminuye con la distancia dentro del silicio, tal como indica la Fig. 7-6*a*. A la distancia $x = x_j$, a la que N iguala a la concentración n de la oblea de silicio drogada, la densidad de impureza total es cero. Para $x < x_j$, la densidad neta de impureza es positiva, y para $x > x_j$ es negativa. Por lo tanto, x_j representa la distancia desde la superficie a la que se forma la unión. Calculemos n a partir de la Ec. (2-8):

$$n = \frac{\sigma}{\mu_n q} = \frac{1}{(0{,}5)(1\,300)(1{,}60 \times 10^{-19})} = 0{,}96 \times 10^{16} \text{ cm}^{-3}$$

donde todas las distancias se expresan en centímetros y la movilidad μ_n para el silicio se toma de la Tabla 2-1. La unión queda formada cuando $N = n$. Para:

$$\operatorname{erfc} y = \frac{N}{N_o} = \frac{n}{N_o} = \frac{0{,}96 \times 10^{16}}{5 \times 10^{18}} = 1{,}98 \times 10^{-3},$$

encontramos en la Fig. 7-7 que $y = 2{,}2$. Por tanto:

$$2{,}2 = \frac{x_j}{2\sqrt{Dt}} = \frac{2{,}7 \times 10^{-4}}{2\sqrt{D \times 2 \times 3\,600}}$$

Despejando D, obtenemos: $D = 5{,}2 \times 10^{-13}$ cm^2/seg. Este valor de la constante de difusión para el boro se obtiene en la Fig. 7-9 a $T = 1\,130°$ C.

7-6. TRANSISTORES PARA CIRCUITOS MONOLITICOS[1,7]

En la Fig. 7-11*a* está representado un transistor planar construido en un circuito integrado monolítico, tipo epitaxial difusión. Aquí, el colector está eléctricamente separado del sustrato por la polarización inversa de los diodos de aislamiento. Ya que el ánodo del diodo de aislamiento cubre la parte posterior de toda la oblea, es necesario hacer el contacto del colector por la parte superior, tal como indica la Fig. 7-11*a*. El diodo de aislamiento del transistor integrado tiene dos inconvenientes: agrega una capacidad parásita en paralelo al colector y da lugar a un camino para la corriente de fuga. Además, la necesidad de la conexión del colector en la parte superior aumenta la resistencia de colector debido a que se incrementa el recorrido de la corriente del mismo, y por tanto aumenta también $V_{CE,\text{sat}}$. Todos estos efectos indeseables no existen en los transistores discretos epitaxiales de la Fig. 7-11*b*. ¿Cuál es entonces la ventaja de los transistores monolíticos? La mejora más significativa en su funcionamiento está cifrada en la gran similitud que cabe adjudicar a las características de los transistores monolíticos que se localizan físicamente juntos en la misma integración. Por ejemplo, dos transistores colocados a una distancia de 750 μm tienen una diferencia de V_{BE} menor de 5 mV con menos de 10 μV/° C de desviación y una h_{FE} que se diferencia como máximo en un ± 10 %. Este aparejamiento de los transistores constituye una gran ventaja para los amplificadores diferenciales (Sec. 15-3).

Las características eléctricas de un transistor dependen de su propio tamaño y geometría, de los niveles de impurezas, de la forma de difusión, y del material base de silicio. De todos estos factores, el tamaño y la geometría posibilitan una gran flexibilidad de diseño.

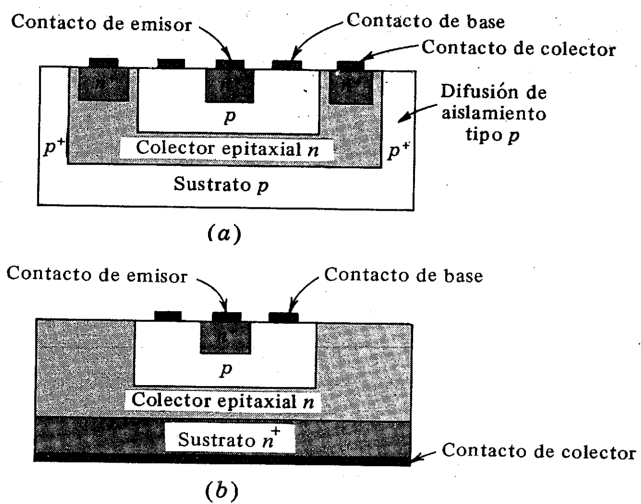


Fig. 7-11. Comparación de las secciones transversales de (*a*) transistor en circuito monolítico integrado con (*b*) transistor epitaxial planar discreto. [Para una vista superior del transistor (*a*), ver la Fig. 7-13.]

El nivel de impurificación y la forma de difusión se determinan por el proceso empleado para los transistores deseados de los circuitos integrados.

Perfil de impurezas para un transistor integrado.[1] La Fig. 7-12 muestra un perfil de impurezas típico de un transistor de un circuito integrado monolítico. En la Fig. 7-12 aparece también indicada, en forma de una recta horizontal de trazos, la concentración de impurezas N_{BC} de la parte posterior, o colector epitaxial. La difusión de base de impurezas tipo *p* (boro) empieza con una concentración superficial de 5×10^{18} átomos/cm^3, y se difunde a una profundidad de 2,7 μm donde se forma la unión del colector. La difusión de emisor (fósforo) empieza con una concentración superficial mucho mayor (cercana a la solubilidad del sólido), aproximadamente de 10^{21} átomos/cm^3, y se difunde a la profundidad de 2 μm donde se constituye la unión del emisor. Esta unión corresponde a la intersección de la distribución de impurezas de la base y del emisor. Vemos ahora que el grosor de la base para este transistor monolítico es de 0,7 μm. La unión emisor-base se trata normalmente como unión abrupta, mientras que la de colector-base se considera una unión gradual.

Ejemplo. (*a*) Obtener las ecuaciones de los perfiles de impurezas de la Fig. 7-12. (*b*) Si la difusión del fósforo se lleva a cabo a 1 100° C, ¿cuánto tiempo requerirá esta difusión?

SOLUCION. *a*. Las especificaciones de la difusión de la base son las mismas dadas en el ejemplo anterior, donde vemos que (con *x* expresada en micras):

$$y = 2{,}2 = \frac{2{,}7}{2\sqrt{Dt}},$$

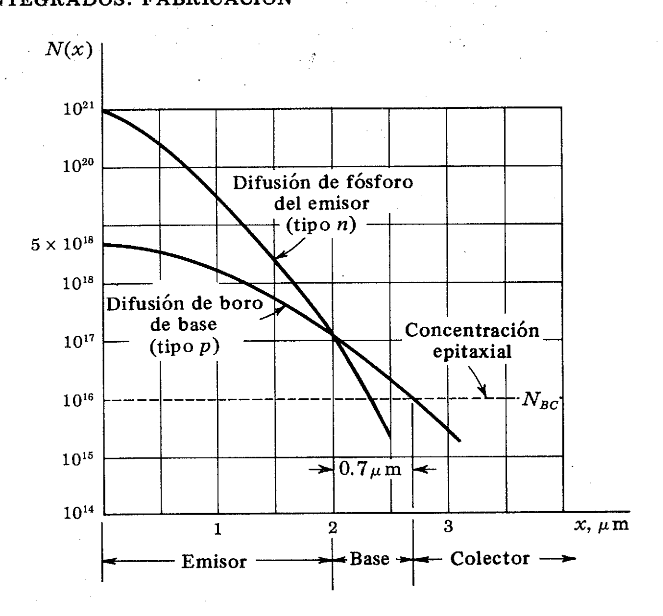


Fig. 7-12. Perfil de impurezas típico de un transistor integrado monolítico. [Obsérvese que $N(x)$ está en escala logarítmica.]

o sea

$$2\sqrt{Dt} = \frac{2{,}7}{2{,}2} = 1{,}23\ \mu\text{m}.$$

Por lo tanto el perfil del boro dado en la Ec. (7-3) es:

$$N_B = 5 \times 10^{18} \operatorname{erfc} \frac{x}{1{,}23}.$$

La unión del emisor se forma a $x = 2\ \mu$m, y la concentración del boro en ese lugar será:

$$N_B = 5 \times 10^{18} \operatorname{erfc} \frac{2}{1{,}23} = 5 \times 10^{18} \times 2 \times 10^{-2} = 1{,}0 \times 10^{17}\ \text{cm}^{-3}.$$

La concentración de fósforo N_P viene dada por:

$$N_P = 10^{21} \operatorname{erfc} \frac{x}{2\sqrt{Dt}}.$$

Haciendo $x = 2$, $N_P = N_B = 1{,}0 \times 10^{17}$, tenemos:

$$\operatorname{erfc} \frac{2}{2\sqrt{Dt}} = \frac{1{,}0 \times 10^{17}}{10^{21}} = 1{,}0 \times 10^{-4}.$$

De la Fig. 7-7, $2/2\ \sqrt{Dt} = 2{,}7$ y $2\ \sqrt{Dt} = 0{,}75\ \mu$m. Por lo tanto, el perfil del fósforo vendrá dado por:

$$N_P = 10^{21}\ \text{erfc}\ \frac{x}{0{,}74}$$

b. De la Fig. 7-9, para $T = 1\ 100°$ C, $D = 3{,}8 \times 10^{-13}$ cm²/seg. Despejando t de $2\sqrt{Dt} = 0{,}74\ \mu$m, obtenemos:

$$t = \frac{(0{,}37 \times 10^{-4})^2}{3{,}8 \times 10^{-13}} = 3\ 600\ \text{s} = 60\ \text{min.}$$

Aspecto físico de los transistores monolíticos.[1, 2] El tamaño físico de un transistor determina la capacidad parásita de aislamiento, así como la capacidad de la unión. Por lo tanto, es necesario emplear transistores de pequeña geometría si se diseña un circuito destinado a trabajar a altas frecuencias o para elevadas velocidades de conmutación. La geometría de un transistor monolítico normal se indica en la Fig. 7-13. El rectángulo del emisor mide 25 X 35 micras, y está difuso en una base de 60 X 100 micras. El contacto de la base se hace mediante dos franjas metalizadas a ambos lados del emisor. El área

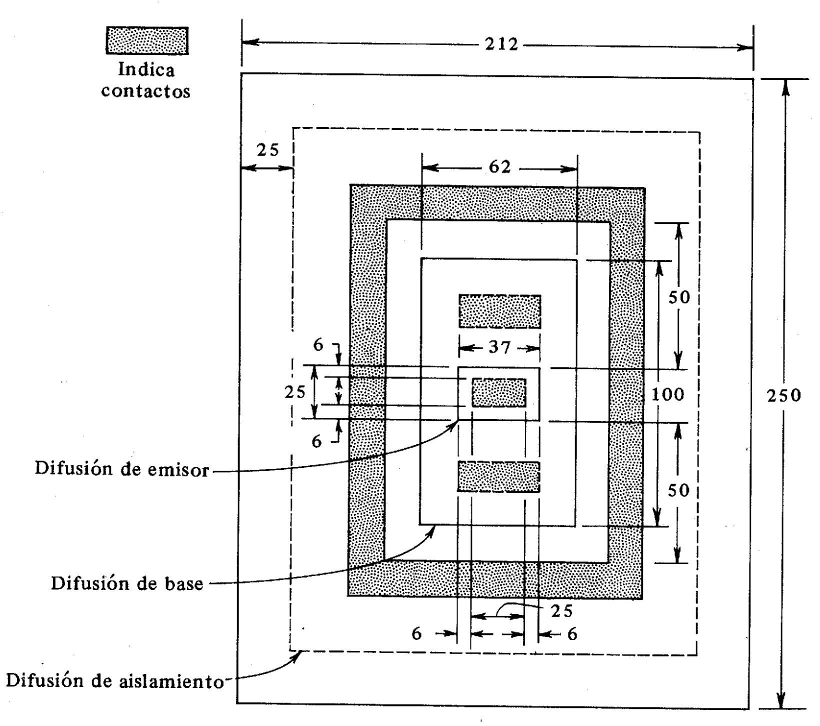


Fig. 7-13. Geometría típica con doble banda de base de un transistor en circuito integrado. Dimensiones en μm. (Para una vista lateral del transistor, consultar la Fig. 7-11). (Cortesía de Motorola Monitor.)

TABLA 7-1 Características para los transistores monolíticos[2] con bases de 0,025 X 0,037 mm.

Parámetros del transistor	0,5 Ω-cm	0,1 Ω-cm*
BV_{CBO}, V	55	25
BV_{EBO}, V	7	5,5
BV_{CEO}, V	23	14
C_{Te},polarización directa, pF	6	10
C_{Te} a 0,5 V, pF	1,5	2,5
C_{Te} a 5 V, pF	0,7	1,5
h_{FE} a 10 mA	50	50
R_{CS}, Ω	75	15
$V_{CE,sat}$ a 5 mA, V	0,5	0,26
V_{BE} a 10 mA, V	0,85	0,85
f_T a 5 V, 5 mA, MHz	440	520

* Dopados con oro.

metalizada rectangular constituye el contacto óhmico del colector, y esta forma rectangular reduce la resistencia de saturación. El sustrato de esta estructura está colocado a unas 25 micras por debajo de la superficie. Como que el proceso de difusión tiene lugar en las tres dimensiones, la distancia de *difusión lateral* también será de 25 micras. El rectángulo con línea de trazos de la Fig. 7-13 representa el área del sustrato y es de 160 X 200 micras. En la Tabla 7-1 se da un resumen de las propiedades eléctricas de este transistor [2] para colector de 0,5 y de 0,1 Ω cm.

Capa enterrada.[1] Hemos destacado anteriormente que el transistor integrado, debido al contacto superior del colector, tiene una resistencia de colector mucho más elevada que en el caso de los transistores del tipo discreto. Un método bastante corriente para reducir tal resistencia consiste en drogar fuertemente con n^+ una capa "enterrada" comprendida entre el sustrato de tipo p y el colector epitaxial de tipo n, tal como indica la Fig. 7-14. La estructura de la capa enterrada puede conseguirse haciendo la difusión de tipo n^+ en el sustrato antes de la epitaxial n del colector o mediante el crecimiento selectivo de una capa n^+, empleando técnicas epitaxiales de máscaras.

Podemos ahora apreciar las razones por las que el transistor integrado es normalmente del tipo n-p-n. Como sea que la región del colector está sujeta a calentamiento durante las

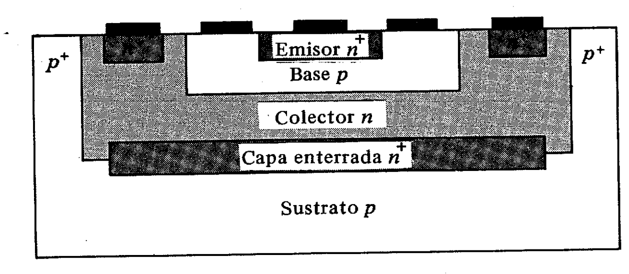


Fig. 7-14. Utilización de la capa enterrada n^+ para reducir la resistencia en serie de colector

difusiones de la base y del emisor, es necesario que el coeficiente de difusión de las impurezas del colector sea lo más pequeño posible, para evitar el movimiento de la unión del colector. Como la Fig. 7-9 muestra, las impurezas tipo *n* tienen una constante de difusión *D* menor que las de tipo *p*, y por lo tanto, el colector suele ser de tipo *n*. Además, la solubilidad sólida de algunos tipos de impurezas *n* es mayor que la de cualquier impureza tipo *p*; por lo tanto, obtendremos mayor drogado del emisor tipo n^+ y de otras regiones n^+.

Transistor lateral *p-n-p*.[9] El transistor normal de circuito integrado es del tipo *n-p-n*, como hemos visto anteriormente. En algunas aplicaciones es preciso tener transistores tipo *n-p-n* y *p-n-p* dentro del mismo cristal. La estructura lateral *p-n-p* indicada en la Fig. 7-15 es la forma más común de transistor integrado *p-n-p*. Este *p-n-p* emplea las mismas técnicas de difusión normalizada que el *n-p-n*, pero la última difusión *n* (empleada para el transistor *n-p-n*) se elimina. Mientras se hace la base *p* del transistor *n-p-n*, se difunden las dos regiones adyacentes *p* para formar el emisor y el colector del transistor *p-n-p* indicado en la Fig. 7-15. Obsérvese que la corriente fluye *lateralmente* desde el emisor al colector. Debido a la inexactitud de las máscaras y también a la difusión lateral, la anchura de la base entre emisor y colector es grande (aproximadamente 25 micras comparada con la micra de la base del *n-p-n*). Por lo tanto, la ganancia de corriente del transistor *p-n-p* es mucho menor (0,5 a 5) que la de 50 a 300 del elemento *n-p-n*. Como la resistividad de la base de un transistor *n-p-n* es relativamente elevada, las resistencias de colector y de emisor del elemento *p-n-p* son también altas.

Transistor *p-n-p* **vertical**.[9] Este transistor emplea como colector *p* el sustrato, la capa epitaxial *n* como base, y la base *p* del transistor normal *n-p-n* como emisor del *p-n-p*. Hemos destacado también que el sustrato debe conectarse al potencial más negativo del circuito. Por lo tanto, un transistor *p-n-p* vertical sólo puede emplearse si su colector se polariza a una tensión negativa fija. Tal configuración se denomina *seguidor de emisor*, y se comentará en la Sec. 8-8.

Transistor *n-p-n* **de superganancia**.[9] Si el emisor se difunde en la región de la base de tal manera que la base efectiva se reduzca a casi la distancia de perforación (Sec. 5-13), la ganancia de corriente puede aumentarse drásticamente (normalmente hasta 5 000). Por otra parte, la tensión de ruptura se reduce a un valor muy pequeño (por ejemplo 5 V). Si se emplea un transistor de este tipo en emisor común, en serie con un transistor integrado normal en base común (esta combinación se denomina amplificador *cascode*), puede obtenerse una superganancia a corrientes muy bajas y con una tensión de ruptura de más de 50 V.

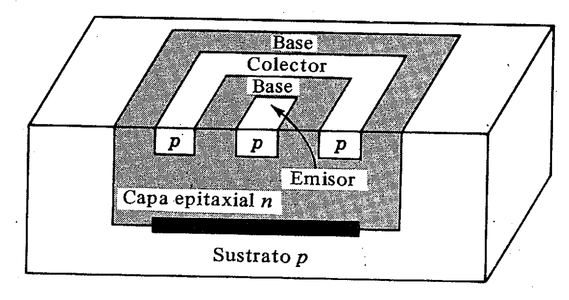


Fig. 7-15. Transistor lateral *p-n-p*.

7-7. DIODOS MONOLITICOS[1]

Los diodos empleados en circuitos integrados se construyen empleando la estructura de los transistores en una de las cinco conexiones posibles (probl. 7-9). Las tres estructuras de diodos más populares se muestran en la Fig. 7-16. Se obtienen a partir de un transistor, empleando el diodo emisor-base, con el colector cortocircuitado con la base (*a*); el diodo emisor-base con el colector abierto (*b*), y el diodo colector-base con el emisor en circuito abierto (o sin fabricarlo) (*c*). Para inclinarse hacia uno u otro tipo, debemos atenernos a las aplicaciones y al funcionamiento del circuito deseado. Los diodos colector-base tienen la mayor tensión de ruptura propia de tal unión (~ 12 V como mínimo), y son apropiados para los sistemas con cátodo común difundidos en una sola isla, como en la Fig. 7-17*a*. Los dispositivos de ánodo común también pueden hacerse con la difusión colector-base, como indica la Fig. 7-17*b*. En este último caso se precisa el aislamiento individual, y los ánodos se conectan mediante la metalización.

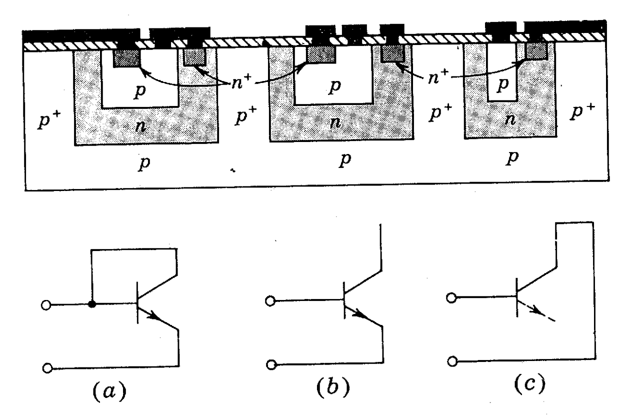


Fig. 7-16. Sección transversal de varias estructuras de diodos. (*a*) Diodo emisor-base con el colector cortocircuitado con la base. (*b*) Diodo emisor-base con el colector abierto. (*c*) Diodo colector-base (sin difusión de emisor)

La difusión emisor-base es muy corriente en la fabricación de diodos, siempre y cuando se respete la menor tensión inversa de ruptura (~ 7 V). El dispositivo en ánodo común puede hacerse fácilmente con la difusión emisor-base empleando un transistor de emisor múltiple dentro de una zona aislada individual, como aparece en la Fig. 7-18. El colector puede estar abierto o en cortocircuito con la base. El par de diodos de la Fig. 7-1 se construyen de esta misma forma dejando el colector flotante (abierto).

Características del diodo. Las características tensión corriente de los tres tipos de diodos citados más arriba se indican en la Fig. 7-19. Se puede observar que el transistor conectado como diodo (emisor-base con el colector en cortocircuito con la base) da lugar a la mayor conducción para una tensión directa dada. El tiempo de recubrimiento inverso de este diodo es también menor, una tercera o una cuarta parte, que el del diodo colector-base.

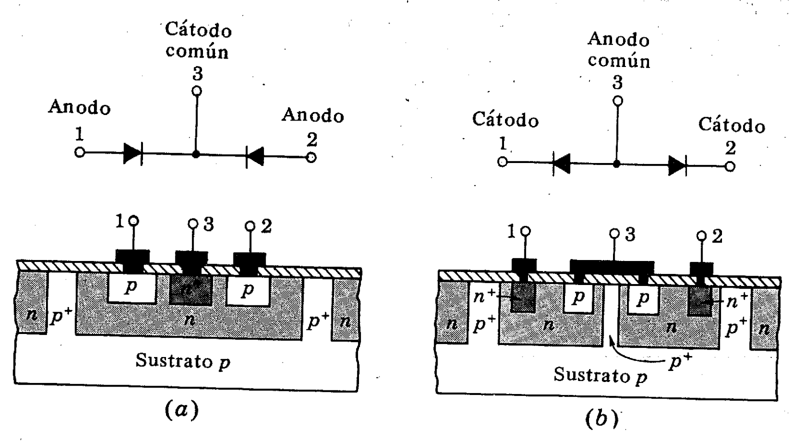


Fig. 7-17. Parejas de diodos. (*a*) Pareja con cátodo común, (*b*) pareja con ánodo común, empleando los diodos colector-base

7-8. RESISTENCIAS INTEGRADAS[1]

En un circuito integrado monolítico, se obtiene una resistencia empleando la resistencia de volumen de una de las áreas difundidas. La que se utiliza más comúnmente es la de la base tipo p, aunque también, la del emisor tipo n. Como estas capas de difusión son muy delgadas, conviene definir una magnitud conocida como *resistencia pelicular* R_S.

Resistencia pelicular. Si, en la Fig. 7-20, la anchura w es igual a la longitud l, tendremos un cuadrado de material, de l por l con resistividad ρ, grueso y, y área de la sección $A = ly$. La resistencia de este conductor (en ohmios por cuadro) será:

$$R_s = \frac{\rho l}{ly} = \frac{\rho}{y} \tag{7-6}$$

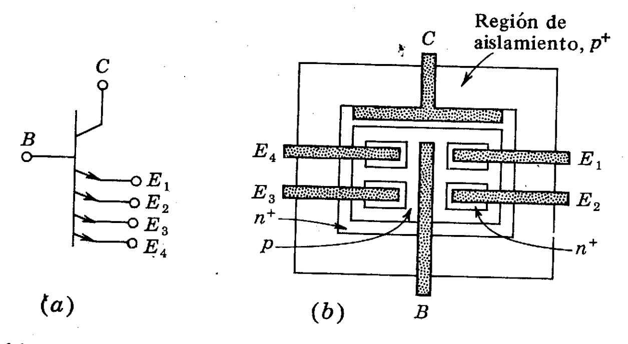


Fig. 7-18. Transistor *n-p-n* de emisor múltiple. (*a*) Esquema. (*b*) Disposición de la superficie del circuito monolítico. Si la base se conecta al colector, se obtiene un diodo de cátodo múltiple con ánodo común

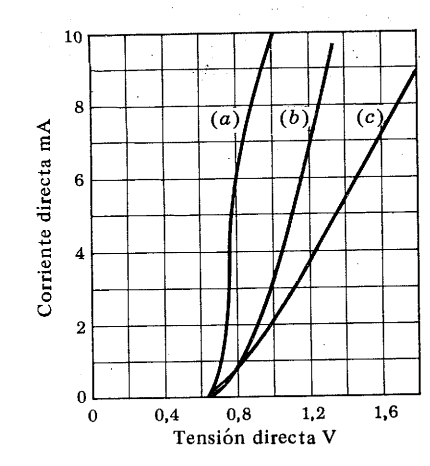


Fig. 7-19. Características tensión-corriente de los tres diodos de la Fig. 7-16. (*a*) Base-emisor (colector en cortocircuito con la base). (*b*) Base-emisor (colector abierto). (*c*) Colector-base (emisor abierto). (Cortesía de Fairchild Semiconductor.)

Obsérvese que R_S es independiente del tamaño del cuadro. Normalmente, la resistencia pelicular de las difusiones de base y de emisor cuyos perfiles aparecen en la Fig. 7-12 son de 200 Ω/cuadrado y 2,2 Ω/cuadrado, respectivamente.

En la Fig. 7-1 se ha representado la construcción de una resistencia difusa de base y se repite en la Fig. 7-21*a*. En la Fig. 7-21*b* se muestra una proyección de esta resistencia. Su valor es:

$$R = \frac{\rho l}{yw} = Rs\,\frac{l}{w} \tag{7-7}$$

donde l y w son la longitud y la anchura del área difusa, como se puede observar en la vista en planta. Por ejemplo, una resistencia de 25 micras de anchura por 250 micras de

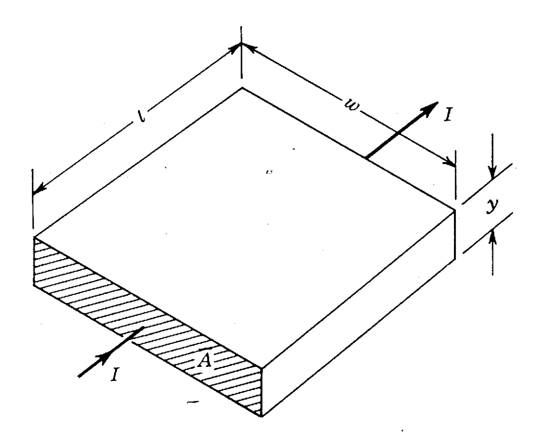


Fig. 7-20. Relativo a la resistencia pelicular, ohms por cuadro

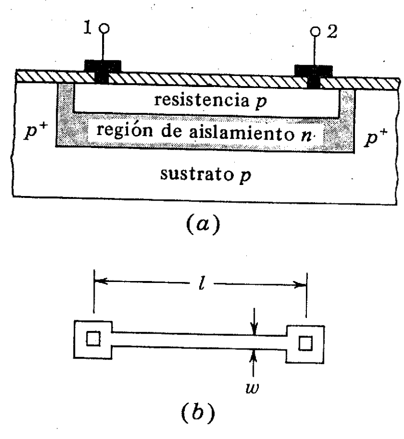


Fig. 7-21. Resistencia monolítica. (*a*) Sección transversal. (*b*) Vista superior

longitud contiene 10 cuadrados (de 25 por 25 micras) y su valor es de 10 x 200 = 2 000 Ω. En los cálculos de R se incluyen corrientemente correcciones empíricas[1,2] para incluir los contactos extremos.

Valores de resistencia. Como la resistencia pelicular de las difusiones de base y de emisor son fijas, las únicas variables asequibles son la anchura y la longitud. Las anchuras menores de 25 micras no se emplean debido al error que se puede introducir por inexactitud de la máscara o por la resolución fotográfica y que puede llegar a ser del 10 %.

La gama de valores que se pueden obtener en las resistencias de difusión está limitada por el tamaño del área necesaria. Los órdenes prácticos de resistencia están comprendidos entre 20 Ω y 30 K para una resistencia difundida de base, y de 10 Ω a 1 K para las de difusión de emisor. La tolerancia resultante del perfil variable y los errores[1] de la geometría de la superficie se elevan a un ± 10 % de su valor nominal a 25° C, y con una relación de tolerancia entre sí del ± 1 %. Por esta razón, en el diseño de circuitos integrados debe destacar, si es posible, la relación entre las resistencias en lugar de su valor absoluto. El coeficiente de temperatura de estas resistencias fuertemente impurificadas es positivo (por la misma razón que los sensistores de silicio estudiados en la Sec. 2-7, los cuales también tienen coeficiente de temperatura positivo) y es de + 0,06 %/° C desde – 55° C a 0° C, y de + 0,20 %/ ° C desde 0 a 125° C.

Circuito equivalente. La Fig. 7-22 representa un modelo de la resistencia de difusión donde las capacidades parásitas de aislamiento-base (C_1) y de sustrato-aislamiento (C_2) aparecen incluidas. Además, puede verse que existe un transistor parásito *p-n-p*, con el sustrato como colector, el aislamiento tipo n como base, y la resistencia de material tipo p como emisor. El colector está polarizado en sentido inverso debido a que el sustrato del tipo p tiene el potencial más negativo. Es necesario también que el emisor esté polarizado en sentido inverso para lograr que el transistor parásito esté al corte. Estas condiciones se mantienen colocando todas las resistencias en la misma región aislada y conectando toda la región de aislamiento tipo n en torno a las resistencias, al potencial *más positivo* existente en el circuito. Los valores típicos de h_{fe} para este transistor parásito van desde 0,5 a 5.

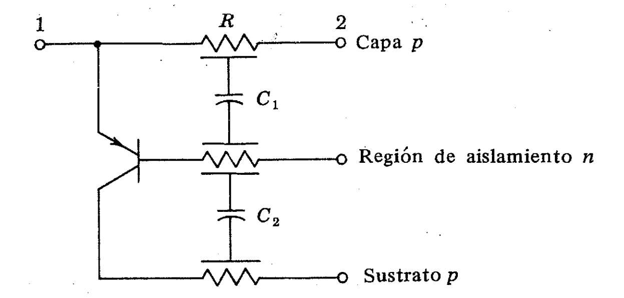


Fig. 7-22. Circuito equivalente de una resistencia difusa.

Resistencias de película delgada.[1] También puede emplearse una técnica de deposición al vapor de película delgada para fabricar las resistencias de los circuitos integrados. Se deposita sobre la capa de dióxido de silicio una capa de metal de menos de 1 μm de espesor (normalmente de nicrom NiCr), y se emplea la corrosión mediante máscara para producir la geometría deseada. La resistencia de metal se recubre posteriormente con una capa aislante, y se practican aberturas para los contactos óhmicos en la capa aislante. Los valores normales de las resistencias de película delgada de nicrom son de 40 a 400 Ω/cuadro, dando lugar a unas resistencias de valores que van desde 20 Ω a 50 K.

7-9. CONDENSADORES E INDUCTANCIAS INTEGRADOS[1,2]

Los condensadores en los circuitos integrados pueden obtenerse empleando la capacitancia de transición de una unión *p-n* polarizada en sentido inverso, o mediante la técnica de la película delgada.

Condensadores de unión. En la Fig. 7-23*a* se presenta la sección transversal de un condensador de unión. El condensador está formado por una unión polarizada en sentido inverso J_2, que separa la capa epitaxial de tipo n de la superior de difusión tipo p.

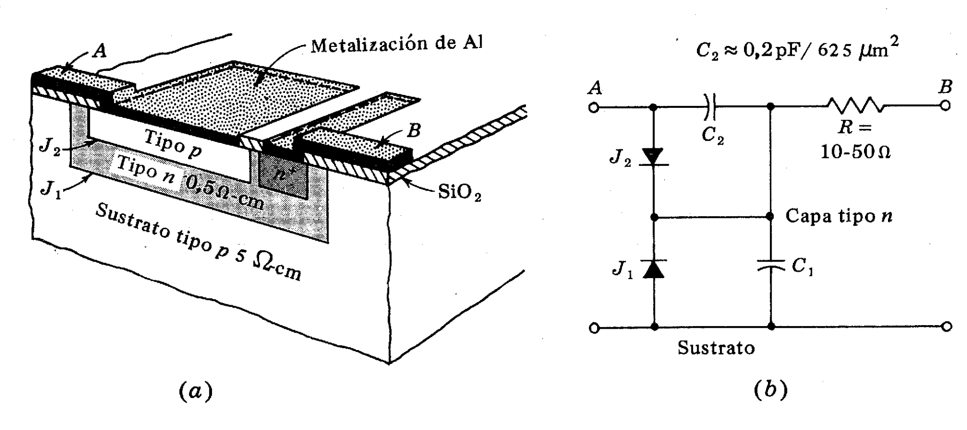


Fig. 7-23. (*a*) Condensador monolítico de unión. (*b*) Circuito equivalente. (Cortesía de Motorola, Inc.)

Aparece una unión adicional J_1 entre el plano epitaxial de tipo n y el sustrato, y una capacidad parásita C_1 asociada con esta unión polarizada en sentido inverso. El circuito equivalente de este condensador de unión aparece en la Fig. 7-23*b*, en donde la capacidad deseada C_2 debe ser lo mayor posible con relación a C_1. El valor de C_2 depende del área de la unión y de la concentración de impurezas. Como esta unión es fundamentalmente abrupta, C_2 viene dada por la Ec. (3-23). La resistencia en serie R (10 a 50 Ω) representa la resistencia de la capa tipo n.

Es evidente que el sustrato debe tener la tensión más negativa posible para minimizar C_1 y aislar el condensador de otros elementos, al mantener la unión J_1 con polarización inversa. Puntualicemos que el condensador de unión C_2 está polarizado ya que la unión *p-n* J_2 siempre está con polarización inversa.

Condensadores de película delgada. En la Fig. 7-24*a* se representa un condensador metal-óxido-semiconductor (MOS) no polarizado. Esta estructura está constituida por un condensador de placas paralelas con SiO_2 como dieléctrico. La placa superior es una

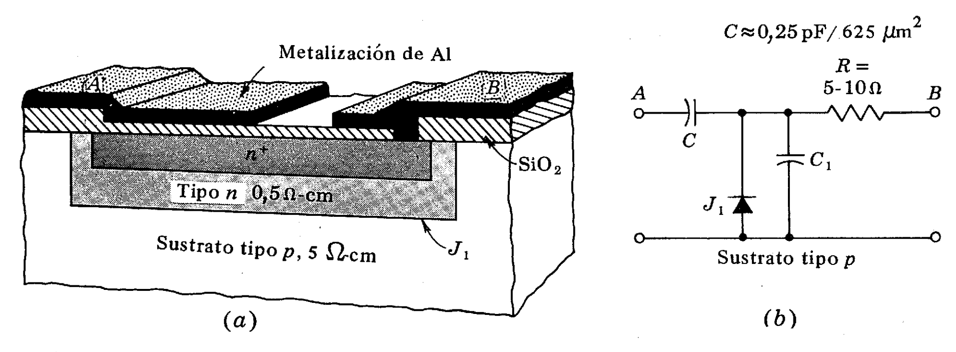


Fig. 7-24. Condensador MOS. (*a*) Estructura; (*b*) circuito equivalente

superficie metálica pelicular de aluminio. La placa inferior está constituida por una región n^+ fuertemente drogada que se forma durante la difusión del emisor. El valor típico para esta capacidad[8] es de 0,4 pF/625 μ^2 con un espesor de óxido de 500 Å, y variando la capacidad inversamente con el espesor. El circuito equivalente del condensador MOS aparece en la Fig. 7-24*b*, en donde C_1 indica la capacidad parásita J_1 de la unión sustrato-colector, y R es la pequeña resistencia en serie de la región n^+. La Tabla 7-2 da una lista de

TABLA 7-2 Parámetros de los condensadores integrados

Característica	Condensadores de unión difusa	MOS de película delgada
Capacidad en pF/mm²	320	400-640
Area máxima en mm²	1,25	1,25
Valor máximo en pF	400	800
Tensión de avalancha, V	5–20	50–200
Dependencia de la tensión	$kV^{-\frac{1}{2}}$	0
Porcentaje de tolerancia	±20	±20

los márgenes posibles en los valores de los parámetros de los condensadores de unión y MOS.

Inductancias. Hasta el momento presente (1972), no se han obtenido valores prácticos de inductancias en sustratos de silicio empleando las técnicas de los semiconductores o de las películas delgadas. No obstante, puede darse el caso de que sea necesario su empleo en el diseño del circuito y en tal circunstancia se pueden conectar elementos discretos exteriormente al circuito integrado.

Características de los componentes integrados. Basados en nuestra discusión anterior, correspondiente a la tecnología de los circuitos integrados, podemos resumir las características significativas de los mismos (además de las ventajas indicadas en la lista de la Sec. 7-1).

1. Hay un margen restringido de valores de resistencias y condensadores. Normalmente: $10\ \Omega \leqslant R \leqslant 30$ K y $C \leqslant 200$ pF.
2. Se obtienen tolerancias demasiado amplias en la fabricación de las resistencias y condensadores. Por ejemplo, es normal un ± 20 % del valor absoluto. La tolerancia relativa entre resistencias puede llegar a ser del ± 1 % debido a que todas ellas se hacen a la vez empleando las mismas técnicas.
3. Los componentes tienen coeficientes de temperaturas elevados y pueden ser también sensibles a la tensión.
4. La respuesta a altas frecuencias está limitada por las capacidades parásitas.
5. La tecnología es muy costosa para la producción de pequeñas cantidades.
6. No es posible integrar inductancias o transformadores prácticos.

7-10. ESQUEMA DE CIRCUITOS MONOLITICOS[1, 10]

En esta sección describiremos cómo transformar el circuito lógico discreto de la Fig. 7-25*a*, en el esquema del circuito monolítico de la Fig. 7-26.

Reglas para diseñar el esquema monolítico. La casa Phillips ha dado las diez siguientes reglas para el diseño:

1. Dibujar el circuito esquemático de conexiones con el mínimo número de cruces posible.
2. Determinar el número de porciones aisladas desde el punto de vista del potencial del colector, y reducir sus áreas lo más posible.
3. Colocar todas las resistencias que tengan potenciales determinados en un extremo de la misma zona aislada, poniendo ésta al potencial más positivo del circuito.
4. Conectar el sustrato al potencial más negativo del circuito.
5. Prever entre bordes de islas el doble del grosor epitaxial para evitar los efectos de la difusión lateral.
6. Emplear anchuras de 25 micras para las regiones de difusión del emisor y 12 micras para los contactos de base y separaciones, y para los contactos de colector y separaciones.
7. Para las resistencias emplear diseños con las máximas anchuras posibles dentro de las limitaciones impuestas por el tamaño. Las resistencias que tengan entre sí una tolerancia estrecha deben tener la misma anchura y estar colocadas una cerca de la otra.

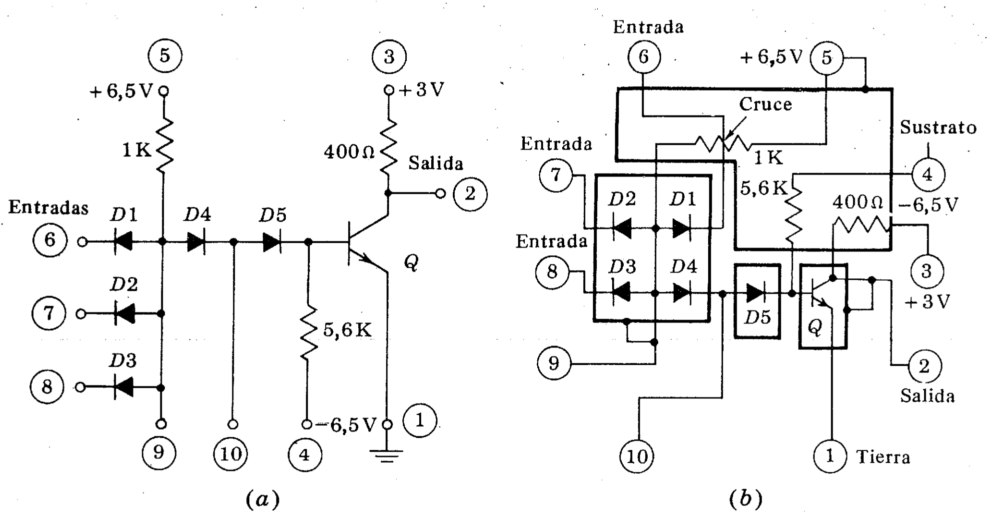


Fig. 7-25. (*a*) Puerta Diodo-Transistor. (*b*) Dibujo esquemático con las 10 conexiones externas dispuestas en la secuencia con la que se deberán unir a los terminales de la cápsula. Las regiones aisladas se indican con un recuadro en trazo grueso

8. Buscar la distribución óptima para conseguir el menor tamaño posible y, si es necesario, actuar sobre las conexiones de las patillas para conseguirlo.
9. Determinar la geometría de los componentes a partir de las necesidades del circuito.
10. Hacer todas las conexiones metálicas tan anchas y cortas como sea posible, sobre todo en las conexiones de salida del emisor y del colector de transistores que trabajen en saturación.

Terminales de conexión. El circuito de la Fig. 7-25*a* se ha vuelto a dibujar en la Fig. 7-25*b*, con los terminales externos numerados 1, 2, 3, ..., 10 y en el orden en que deben conectarse a las cápsulas. El esquema indica que las fuentes de alimentación tienen sus terminales juntos, y que todas las entradas tienen terminales adyacentes. En general, las conexiones externas están determinadas por el sistema para el que se emplea el circuito.

Cruces. Muchas veces aparecen en el diseño de un circuito monolítico cruces de conductores que no se pueden evitar (tales como los 5 y 6 de la Fig. 7-25*b*). Este cruce no puede realizarse directamente, ya que resultaría una conexión eléctrica entre dos partes del circuito. Como todas las resistencias están protegidas con SiO_2, cabe emplear cualquier resistencia como lugar de cruce. En otras palabras, si la metalización del aluminio pasa por encima de la resistencia, no hay contacto entre resistencia y aluminio.

A veces, el esquema es tan complejo que pueden necesitarse puntos de cruce adicionales. En este caso se puede realizar un cruce utilizando una estructura difundida.

Islas aisladas. Vamos a determinar el número de islas o partes aisladas. Como el transistor necesita para su colector una región aislada, se ha dibujado con un trazo grueso un rectángulo en torno al transistor de la Fig. 7-25*b*. Se observa que está conectada a la patilla 2, debido a que esta zona aislada forma también el colector del transistor. A

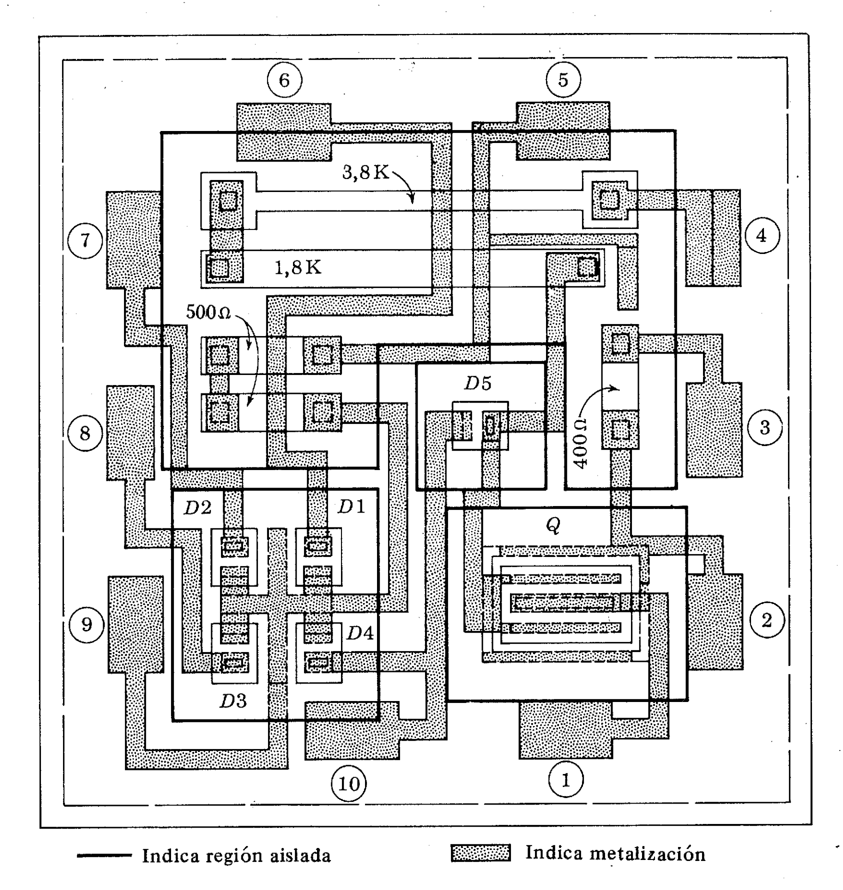
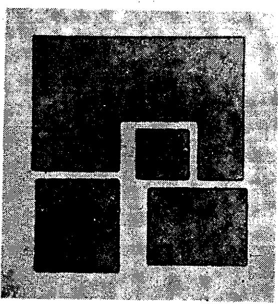


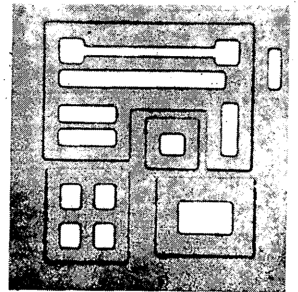
Fig. 7-26. Esquema del diseño monolítico del circuito de la Fig. 7-25. (Cortesía de Motorola Monitor, Phoenix, Arizona.)

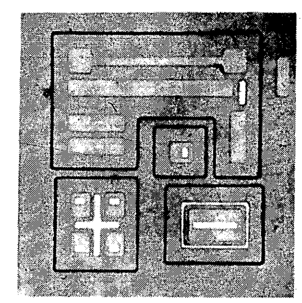
continuación, todas las resistencias están colocadas en la misma isla, y ésta se conecta a la tensión más positiva del circuito, por las razones citadas en la Sec. 7-8.

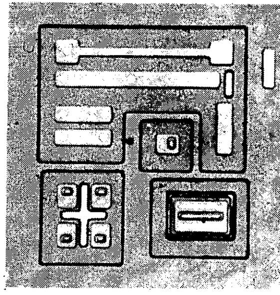
Para determinar el número de islas necesarias para los diodos, es necesario, en primer lugar, saber qué tipo de diodo se fabricará. En este caso, debido a la pequeña caída de potencial directa indicada en la Fig. 7-19, se eligieron los diodos de ánodo común del tipo emisor-base con el colector cortocircuitado con la base. Como el colector está al potencial de la base, se necesita una sola isla para los cuatro diodos de ánodo común. Finalmente, el diodo restante se fabrica como diodo emisor-base, con el colector en circuito abierto, y por lo tanto se precisa una región aislada separada.

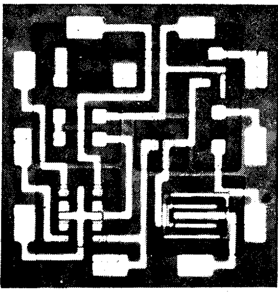
Secuencia de fabricación. El esquema monolítico final se determina por el proceso de tanteo, teniendo como objetivo el menor tamaño posible. Este esquema aparece en la Fig. 7-26. El lector podrá identificar las cuatro islas, las tres resistencias, los cinco diodos y el transistor. Es interesante observar que la resistencia de 5,6 K se ha llevado a término con una resistencia de 50 micras de anchura y un valor de 1,8 K en serie con otra resistencia de 25 micras de anchura de 3,8 K. Para economizar espacio, la resistencia se ha


Difusión de las islas


Difusión de base


Difusión de emisor


Corrosión preóhmica


Metalización

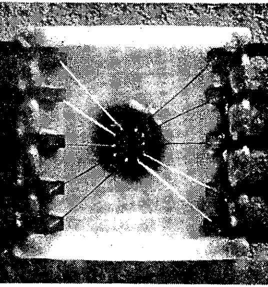

Montaje del conjunto en cápsula plana

Fig. 7-27. Secuencia de fabricación del circuito monolítico de la Fig. 7-25. (Cortesía de Motorola Monitor, Phoenix, Arizona.)

doblado sobre sí misma. Además, hay dos cruces metálicos construidos sobre esta resistencia.

A partir del esquema indicado en la Fig. 7-26, el constructor prepara las máscaras necesarias para la fabricación del circuito integrado monolítico. La secuencia de producción que comprende las difusiones del aislamiento, de la base y del emisor, la corrosión, la metalización con aluminio, y la colocación del conjunto en una cápsula plana, aparece en la Fig. 7-27.

7-11. OTROS METODOS DE AISLAMIENTO

El aislamiento eléctrico entre los diferentes elementos de un circuito integrado monolítico se realiza mediante una difusión que pone en oposición uniones *p-n*, como se indica en la Sec. 7-2. Con la aplicación de una tensión de polarización al sustrato, estas uniones representan diodos polarizados inversamente con una resistencia inversa muy elevada: por lo tanto, dan lugar a un adecuado aislamiento en continua. Pero como cada unión *p-n* es también un condensador, es inevitable la aparición de capacidades de acoplamiento entre los distintos componentes y el sustrato. Estas capacidades parásitas distribuidas limitan, por lo tanto, los circuitos integrados monolíticos a frecuencias inferiores a las correspondientes con circuitos discretos.

Vamos a comentar en esta sección otros métodos que se han desarrollado para conseguir un aislamiento mejor y, por lo tanto, una mejor respuesta en frecuencia.

Aislamiento con dieléctrico. En este procedimiento[11], el concepto de aislamiento por diodo queda completamente descartado. En cambio, el aislamiento, tanto eléctrico como físico, se consigue por medio de una capa de dieléctrico sólido que rodea completamente y separa cada componente del resto y del sustrato común. Esta capa pasiva puede ser de dióxido de silicio, de monóxido de silicio, de rubí o, posiblemente, de un sustrato cerámico vitrificado lo suficientemente grueso como para que la capacidad asociada sea despreciable.

En un circuito integrado con un dieléctrico como aislante se pueden fabricar transistores *p-n-p* y *n-p-n* dentro del mismo sustrado de silicio. Es también sencillo obtener diodos rápidos o de carga almacenada, así como transistores de alta y baja frecuencia en una misma unidad, mediante una difusión selectiva de oro, procedimiento no viable con las técnicas convencionales debido a la rapidez con que el oro se difunde a través del silicio si no lo impide una barrera física como la de una capa de dieléctrico.

La RCA[11] ha desarrollado un método de aislamiento denominado SOS*. Se hace crecer epitaxialmente una capa de silicio *n* en un sustrato monocristal de zafiro. Eliminando posteriormente unas partes seleccionadas de silicio, se logran unas zonas aisladas (interconectadas solamente por el sustrato de zafiro de elevada resistencia).

Otro método de aislamiento que emplea dióxido de silicio como aislante es el proceso EPIC[12], desarrollado por Motorola, Inc. Este método reduce las capacidades parásitas en un factor de 10 o más. Además este óxido aislante elude la necesidad de polarización inversa entre sustrato y elementos del circuito. La tensión de ruptura entre elementos del circuito y sustrato excede los 1 000 V, en contraste con los 20 V de una unión aislante.

Haz de terminales. El concepto de haz de terminales fue desarrollado primeramente por Bell Telephone Laboratories para la fabricación en masa de dispositivos semiconductores y circuitos integrados. Esta técnica consiste en depositar una serie de gruesos contactos (del orden de 25 micras) sobre la superficie de una oblea de un circuito monolítico normalizado, y entonces eliminar el exceso de semiconductor debajo de los propios contactos, separando los elementos individuales y dejándolos unidos con conductores soportes semirrígidos. Los contactos no sólo sirven de terminales eléctricos, sino también de soporte estructural de los elementos; de ahí el nombre de conductores soporte que

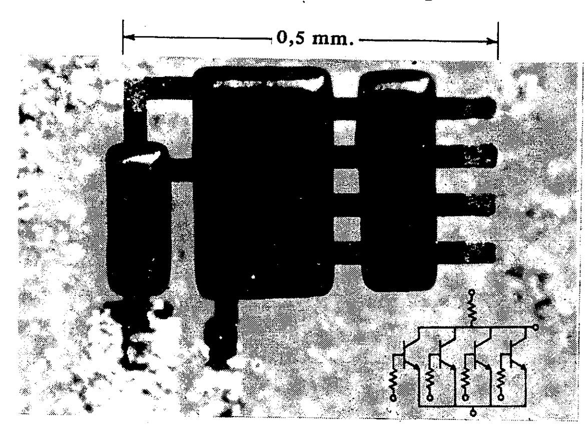
* De Silicon-On-Sapphire (Silicio sobre zafiro) (*N. del T.*).

también se les da. Los circuitos con conductores soporte se montan directamente por medio de los terminales, sin las 25 micras de aluminio o los extremos de oro.

El aislamiento de los circuitos integrados se cumple satisfactoriamente con esta estructura. Eliminando las partes de silicio indeseables entre los conductores que constituyen la conexión del sistema, se consiguen zonas aisladas de silicio. La única capacidad existente entre los elementos la constituye la pequeña sobrecapa de metal sobre óxido, que es mucho menor que la capacidad de unión que tiene lugar en los circuitos monolíticos aislados por una unión *p-n*.

Debemos resaltar que tanto el aislamiento con dieléctrico como por haz de conductores añaden nuevas etapas en el proceso de fabricación, y por lo tanto aumentan los costes de la producción.

La Fig. 7-28 muestra dos vistas microfotográficas de un circuito lógico en el que se emplea la técnica del haz de terminales. La foto superior muestra el circuito lógico



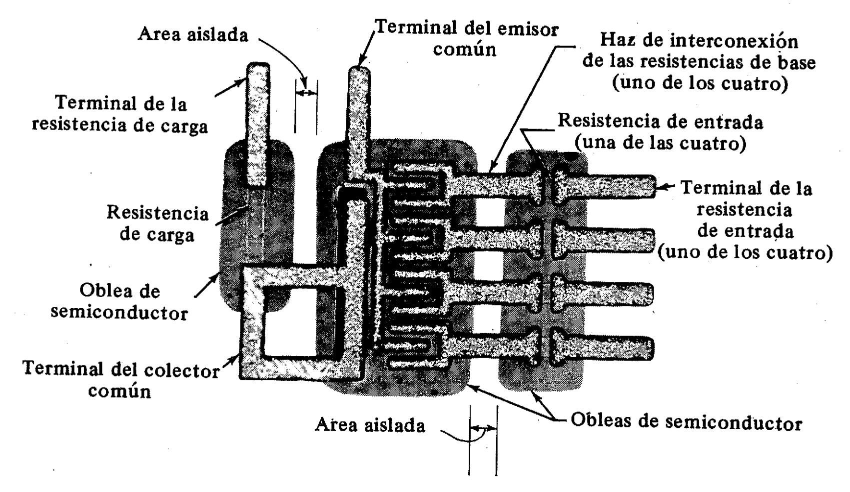


Fig. 7-28. Técnica de los haces de terminales. (*a*) Microfotografía de un circuito lógico conectado al soporte. (*b*) Vista posterior del mismo circuito, con la identificación de los diversos elementos. (Cortesía de Bell Telephone Laboratories.)

conectado a la cápsula. La foto inferior muestra el reverso del mismo circuito con la identificación de los distintos elementos. Este conjunto se construye empleando las técnicas convencionales planares para formar las regiones de resistencia y las de los transistores. El aislamiento eléctrico se consigue eliminando toda materia indeseable entre los componentes. El haz de terminales se mantiene para hacer las veces de soporte y de interconexión de los componentes aislados.

Circuitos híbridos.[1] Los circuitos híbridos, al contrario que los circuitos monolíticos, están constituidos por varios componentes separados (transistores, diodos, resistencias, condensadores o circuitos monolíticos completos), todos ellos colocados en el mismo sustrato cerámico y empleando conductores para lograr las interconexiones. En estos circuitos, el aislamiento eléctrico proviene de la separación física de los componentes individuales, y en este aspecto los circuitos híbridos se parecen a los circuitos de haz de terminales.

7-12. INTEGRACION A GRAN ESCALA Y A MEDIA ESCALA (LSI Y MSI)*

La integración a gran escala[11] significa la fabricación de circuitos monolíticos con un elevado número de componentes conectados entre sí para formar subsistemas y sistemas completos. Los circuitos LSI asequibles comercialmente en 1972, contienen normalmente más de 100 puertas, o sea 1 000 componentes individuales. Un transistor bipolar de triple difusión necesita aproximadamente 325×10^2 micras^2 de superficie, mientras que un transistor MOS normal (Cap. 10) necesita solamente 3 250 micras^2. Se pueden lograr densidades de elementos mucho mayores con MOS LSI que con circuitos bipolares LSI.

Puesto que la LSI es una prolongación de las técnicas de los circuitos integrados, la fabricación es idéntica a la descrita en la Sec. 7-2. Solamente son diferentes los métodos de prueba y de interconexión. Existen dos técnicas principales: *conexión discrecional* y *grupos de interconexión fija.* La primera consiste en fabricar un solo chip con muchas unidades idénticas, denominadas *células unitarias,* tales como puertas lógicas que deban interconectarse en un sistema. Las células son probadas automáticamente mediante un comprobador LSI que recuerda la localización de las células "buenas". El aparato está acoplado a un calculador digital que determina la forma de la metalización para interconectar solamente las células buenas a fin de obtener la función correcta. Este proceso debe repetirse para cada oblea de LSI, pues según cuales sean las células buenas o malas el circuito diferirá de una oblea a otra.

Los *grupos de interconexión fijas* empiezan con una célula más compleja, denominada *policélula,* y luego interconectan varias de ellas para formar un sistema mayor mediante unas conexiones fijas menos complejas que las necesarias en un sistema idéntico compuesto de células más simples.

Los productos LSI más comunes son las memorias de escritura y de lectura (R/W), memorias de sólo lectura (ROM), y registradores de desplazamiento (explicados en el capítulo 17).

Integración a media escala. Los sistemas de MSI tienen una densidad de componentes mucho menor que los LSI, pero sobrepasan los 100 por chip. Se pueden conseguir comercialmente unidades registradoras de desplazamiento, contadores, decodificadores, sumadores, etc. (Cap. 17).

* De "Large-Scale-Integration" (LSI) y "Medium-Scale-Integration" (MSI). (*N. del T.*)

7-13. CONTACTO METAL SEMICONDUCTOR[14]

Son posibles dos tipos de unión entre metal y semiconductor, la *óhmica* y la *rectificadora.* El primero es el tipo de contacto necesario cuando está destinado a unirse a un semiconductor. El segundo es un diodo metal-semiconductor (denominado *barrera Schottky*), con características de tensión-corriente muy similares a las del diodo *p-n.* El diodo metal-semiconductor fue investigado hace muchos años, pero hasta 1960 los diodos Schottky no fueron asequibles comercialmente debido a los problemas inherentes a su fabricación. Las dificultades mayores en su construcción fueron debidas a los efectos superficiales, pero con el empleo de técnicas de pasivación de las superficies de los circuitos integrados descritas en este capítulo, ha sido posible la realización de diodos metal-semiconductor casi ideales y muy económicos.

Como ya se ha mencionado en la Sec. 7-2 (apartado 4), el aluminio actúa como un impurificador tipo *p* cuando está en contacto con el silicio. Si el *Al* se emplea como terminal de un silicio tipo *n* se pretende conseguir un contacto óhmico y, por lo tanto, debe evitarse la unión *p-n.* Por esta razón, se realizan difusiones de tipo n^+ cerca de la superficie de las regiones *n* donde se deposita el aluminio (Fig. 7-2*d*). Por otra parte, si la difusión de tipo n^+ se omite y el aluminio se deposita directamente sobre el silicio tipo *n*, se forma una estructura equivalente a una unión *p-n,* resultando un excelente diodo semiconductor-metal. En la Fig. 7-29, el contacto 1 es una barrera Schottky, mientras que el contacto 2 es del tipo óhmico (no rectificador), y existe un diodo semiconductor-metal entre estos dos terminales con el ánodo en el contacto 1. Obsérvese que la fabricación de un diodo Schottky es en realidad más simple que la de un diodo *p-n,* pues ésta requiere una difusión (de tipo *p*) extra.

La característica externa tensión-corriente de un diodo semiconductor-metal, es fundamentalmente la misma que la del diodo de unión *p-n*, pero el mecanismo físico que tiene lugar es más complicado. Obsérvese que los electrones atraviesan la unión en sentido directo desde el Si tipo *n* hacia el metal, donde los electrones son abundantes. En este sentido, esto es un sistema de portadores mayoritarios, mientras que los portadores minoritarios son los que cuentan para las características del diodo *p-n.* Como ya se ha explicado en la Sec. 3-10 hay un retardo en la conmutación de un diodo *p-n* desde la conexión

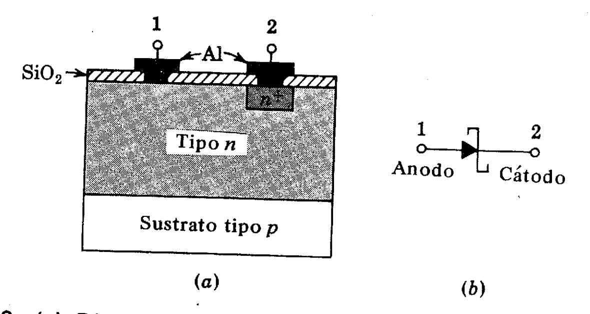


Fig. 7-29. (*a*) Diodo Schottky formado por medio de las técnicas de circuitos integrados. El aluminio y la región ligeramente drogada *n* forman un contacto rectificador 1, mientras que el metal y la zona fuertemente drogada n^+ forman el contacto óhmico 2. (*b*) Símbolo del diodo metal-semiconductor

(ON) hasta la desconexión (OFF), debido a los portadores minoritarios almacenados en la unión y que deben ser eliminados en primer lugar. Los diodos Schottky tienen un tiempo de almacenamiento t_s despreciable, porque la corriente está provocada predominantemente por portadores ~~minoritarios~~. (Los electrones entran desde el lado *n* hacia el aluminio y, por lo tanto, no se pueden distinguir de los electrones del metal, con lo que no hay almacenamiento cerca de la unión.)

La caída de potencial a través del diodo Schottky es mucho menor que en el diodo *p-n* para la misma corriente directa. Por lo tanto, una tensión umbral de 0,3 V es razonable para un diodo metal-semiconductor, de la misma forma que lo es la de 0,6 V para la barrera *p-n.* Por lo tanto, el primero se acerca más a las condiciones de un diodo ideal que el segundo.

Transistor Schottky. Para reducir el retardo de propagación de una puerta lógica, es muy interesante eliminar el tiempo de almacenamiento de todos los transistores. Dicho de otra manera, debe evitarse que un transistor esté completamente saturado. Esta condición puede lograrse, como indica la Fig. 7-30*a*, empleando un diodo Schottky como limitador entre la base y el emisor. Si se intenta saturar este transistor aumentando la corriente de base, el potencial del colector disminuye, *D* conduce, y la tensión base-colector queda limitada a unos 0,4 V. Como la unión del colector está polarizada en sentido directo pero a tensión menor que la umbral (≈ 0,5 V), el transistor *no* entra en saturación (Sec. 5-8).

Sin ningún proceso adicional, el diodo limitador de Schottky puede ser fabricado a la vez que se construye el transistor. Como está indicado en la Fig. 7-30*b*, la metalización de aluminio para el terminal de la base se realiza para que haga también contacto con la región del colector tipo *n* (pero sin intervenir una sección n^+). Este simple proceso forma un diodo metal-semiconductor entre base y colector. El dispositivo de la Fig. 7-30*b* es equivalente al circuito de la Fig. 7-30*a*. A este sistema se le denomina *transistor Schottky,* y se representa con el símbolo de la Fig. 7-30*c*.

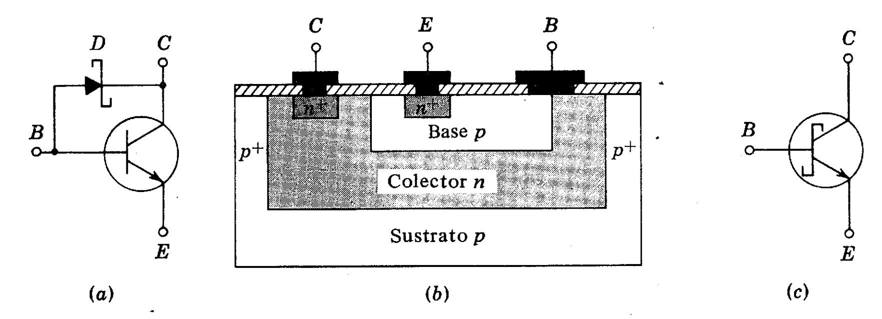


Fig. 7-30. (*a*) Transistor con diodo Schottky que limita la tensión base-colector para evitar la saturación. (*b*) Sección transversal de un circuito integrado monolítico equivalente a la combinación diodo-transistor de (*a*). (*c*) Símbolo del transistor Schottky, que es una abreviatura del que se muestra en (*a*)

REFERENCIAS

1. Motorola, Inc. (R. M. Warner, Jr., y J. N. Fordenwalt, eds.): "Integrated Circuits", McGraw-Hill Book Company, Nueva York, 1965.

2. Phillips, A. B.: "Monolithic Integrated Circuits", *IEEE Spectrum,* vol. 1, n.º 6, páginas 83-101, junio de 1964.

3. Jahnke, E. y F. Emde: "Table of Functions", Dover Publications, Nueva York, 1945.

4. Hunter, L. P.: "Handbook of Semiconductor Electronics", 2.ª ed., sec. 8, McGraw-Hill Book Company, Nueva York, 1962.

5. Fuller, C. S. y J. A. Ditzenberger: "Diffusion of Donor and Acceptor Elements in Silicon", *J. Appl. Phys.,* vol. 27, pp. 544-553, mayo de 1956.
Barrer, P. M.: "Diffusion in and through Solids", Cambridge University Press, Londres, 1951.

6. Trumbore, S. A.: "Solid Solubilities of Impurity Elements in Germanium and Silicon", *Bell System Tech. J.,* vol. 39, pp. 205-234, enero de 1960.

7. King, D. y L. Stern: "Designing Monolithic Integrated Circuits", *Semicond. Prod. Solid State Technol.,* marzo de 1965.

8. "Custom Microcircuit Design Handbook", Fairchild Semiconductor, Mountain View, California, 1963.

9. Hunter, L. P., Ref. 4, sec. 101.

10. Phillips, A. B.: "Designing Digital Monolithic Integrated Circuits", *Motorola Monitor,* vol. 2, n.º 2, pp. 18-27, 1964.

11. Khambata, A. J.: "Introduction to Large-scale Integration", John Wiley & Sons, Inc., Nueva York, 1969.

12. "Epic Process Isolates Integrated Circuit Elements with Silicon Dioxide", *Electrotechnol. (Nueva York),* julio de 1964.

13. Lepselter, M. P., y otros: "Beam Leads and Integrated Circuits", *Proc. IEEE,* vol. 53, p. 405, abril de 1965.
Lepselter, M. P.: "Beam-lead Technology", *Bell System Tech, J.,* febrero de 1966, páginas 233-253.

14. Yu, A. Y. C.: "The Metal-Semiconductor Contact: An Old Device with a New Future", *IEEE Spectrum,* vol. 7, n.º 3, pp. 83-89, marzo de 1970.

TEMAS DE REPASO

7-1 ¿Cuáles son las cuatro ventajas de los circuitos integrados?

7-2 Menciónense las cinco etapas en la fabricación de un circuito integrado monolítico (CI), suponiendo que siempre se tenga a disposición el sustrato.

7-3 Menciónense los cinco procesos básicos de fabricación de un circuito integrado monolítico, suponiendo que ya se tiene sustrato.

7-4 Describir el *crecimiento epitaxial.*

7-5 (*a*) Describir el *proceso de fotocorrosión.* (*b*) ¿Cuántas máscaras se necesitan para la fabricación completa de un CI? Hágase una lista con la misión de cada una de ellas.

7-6 (*a*) Describir el *proceso de difusión.* (*b*) ¿Cuál es el significado de *perfil de impurezas*?

7-7 (*a*) ¿Cómo se forma la capa de SiO_2? (*b*) ¿Qué grosor tiene? (*c*) ¿Para qué se forman las capas de SiO_2?

7-8 Explicar cómo se obtiene el aislamiento entre los componentes de un CI.

7-9 ¿Cómo se conectan entre sí los componentes de un CI?

7-10 Explicar el significado de "capacidades parásitas" de un CI.

7-11 Citar el orden de magnitud de: (*a*) el grueso del sustrato; (*b*) el grosor epitaxial; (*c*) la profundidad de la base; (*d*) el tiempo de difusión; (*e*) la temperatura de difusión; (*f*) el área de la superficie de un transistor; (*g*) el tamaño del chip.

7-12 Esbozar la sección transversal de un transistor integrado.

7-13 Esbozar la sección transversal de un transistor epitaxial planar discreto.

7-14 Mencionar las ventajas e inconvenientes de un transistor integrado con respecto a otro discreto.

7-15 (*a*) Definir la *capa enterrada.* (*b*) ¿Para qué se emplea?

7-16 Describir un transistor *lateral p-n-p.* ¿Por qué es baja la ganancia en corriente?

7-17 Describir un transistor *p-n-p vertical.* ¿Por qué razón está limitado su empleo?

7-18 Describir un transistor de *superganancia.*

7-19 (*a*) ¿Cómo se fabrican los diodos de CI? (*b*) Esbozar la sección transversal de dos tipos de diodo emisor-base.

7-20 Dibujar la sección transversal de un par de diodos empleando las regiones de colector-base si (*a*) el cátodo es común, (*b*) el ánodo es común.

7-21 Dibujar la vista en planta de un transistor de emisor múltiple. Indicar las regiones de aislamiento, de colector, de base y de emisor.

7-22 (*a*) Definir la *resistencia pelicular* R_S. (*b*) ¿Cuál es el orden de magnitud de R_S para la región de la base y para la región del emisor? (*c*) Esbozar la sección transversal de una resistencia de circuito integrado. (*d*) ¿Cuál es el orden de magnitud de las resistencias máxima y mínima que se pueden obtener en un CI?

7-23 (*a*) Esbozar el circuito equivalente de una resistencia difusa de base, indicando todos los elementos parásitos. (*b*) ¿Qué se puede hacer (exteriormente) para reducir el efecto de los elementos parásitos?

7-24 Describir una resistencia de *película delgada.*

7-25 (*a*) Dibujar la sección transversal de un condensador de unión. (*b*) Dibujar el circuito equivalente, señalando todos los elementos parásitos.

7-26 Repetir la cuestión 7-25 para un condensador MOS.

7-27 (*a*) ¿Cuáles son las dos diferencias básicas entre un condensador de unión y un MOS? (*b*) ¿Cuál es el orden de magnitud de la capacidad por cada 625 micras^2? (*c*) ¿De qué orden de magnitud es el valor máximo de C?

7-28 (*a*) ¿A qué tensión se conecta el sustrato? ¿Por qué? (*b*) ¿A qué tensión se conecta la isla aislada conteniendo las resistencias? ¿Por qué? (*c*) ¿Cabría colocar varios transistores en la misma isla aislada? Explicarlo.

7-29 Describir brevemente: (*a*) *aislamiento por dieléctrico;* (*b*) *aislamiento por haz de terminales.*

7-30 ¿Qué significa un circuito híbrido?

7-31 ¿Cómo debe hacerse el contacto de aluminio con silicio tipo *n* para que sea un contacto: (*a*) óhmico; (*b*) rectificador?

7-32 ¿Por qué se elimina el tiempo de almacenamiento en un diodo metal-semiconductor?

7-33 ¿Qué es un transistor de Schottky? ¿Por qué se elimina el tiempo de almacenamiento de tal transistor?

7-34 Esbozar la sección transversal de un transistor Schottky en un circuito integrado.

8

El transistor a bajas frecuencias

La respuesta de un transistor a grandes señales se obtiene gráficamente. Para pequeñas señales, el transistor prácticamente funciona linealmente; estudiaremos modelos lineales para pequeña señal, que representan el trabajo del transistor en la región activa. Los parámetros introducidos en el modelo aquí presentado se indicarán en función de las características externas, tensión-corriente del transistor. Se hace un detallado estudio de las distintas configuraciones del amplificador de transistores.

Frecuentemente, en la práctica se emplean varias etapas en cascada para amplificar una señal procedente de una fuente, tal como la cápsula fonocaptora de un tocadiscos, y elevarla a un nivel adecuado para actuar sobre otro transductor, por ejemplo el altavoz. Vamos a considerar en este capítulo el problema de acoplar en cascada un determinado número de etapas amplificadoras con transistores. A todo ello se agregará un detallado examen de varios circuitos especiales a transistores de importancia práctica. También se presentan métodos aproximados de resolución simplificada. Todos los circuitos transistorizados de este capítulo se examinan a bajas frecuencias, con las que las capacidades internas propias del transistor pueden despreciarse.

8-1. ANALISIS GRAFICO DE LA CONFIGURACION EN EC*

En esta sección nos proponemos analizar gráficamente el funcionamiento del circuito de la Fig. 8-1. Se representan en la Fig. 8-2*a* las características de salida de un transistor de germanio *p-n-p* y en la Fig. 8-2*b* las características de entrada correspondientes. Se ha escogido la configuración en emisor común porque, tal como veremos en la Sec. 8-9, es la más generalmente empleada.

En la Fig. 8-2*a* se ha indicado una recta de carga correspondiente a 250 Ω con $V_{CC} = 15$ V. Si la señal de entrada de corriente de base es simétrica, el punto de reposo Q se

* EC ≡ emisor común. (*N. del T.*)

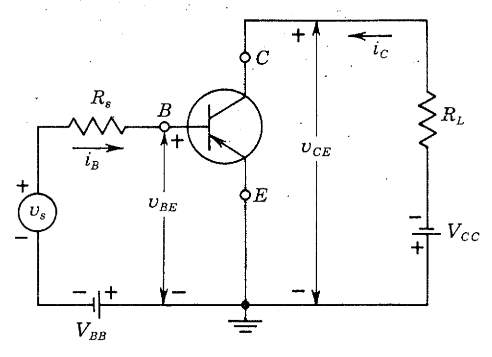


Fig. 8-1. Transistor en configuración de Emisor común (EC)

selecciona normalmente hacia el centro de la recta de carga, tal como se indica en la Fig. 8-2*a*. Pospondremos para el Cap. 9 el estudio de la polarización de transistores.

Observación. Es importante hacer en este momento un breve inciso respecto a los símbolos de los transistores. Específicamente, se representan con letras minúsculas los valores instantáneos de cantidades que varían con el tiempo (i para corriente, v para tensión, y p para potencia). Los valores máximos, medios (en continua), y efectivos o eficaces, se representan por letras mayúsculas (I, V, P). Los valores medios (en continua) y los valores totales instantáneos se indican con el subíndice en mayúsculas propio del electrodo (B para la base, C para el colector, E para el emisor). Las componentes variables referidas a un punto de reposo se indican con el subíndice en minúscula del electrodo correspondiente.

Se usa un solo subíndice si el electrodo de referencia se sobreentiende claramente. Si hay posibilidad de ambigüedades, debe emplearse un doble subíndice convencional. Por

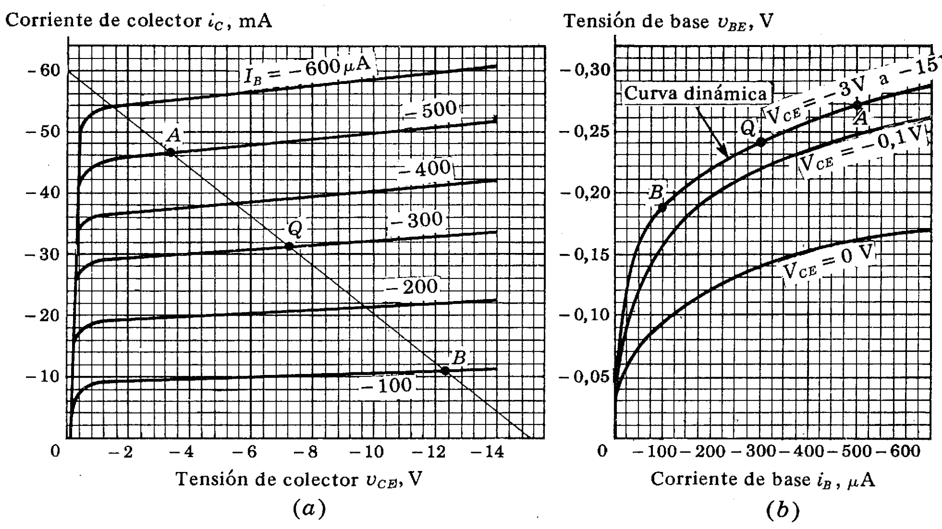


Fig. 8-2. Características de (*a*) salida, (*b*) entrada de un transistor *p-n-p* de germanio

ejemplo, en la Fig. 8-3*a* a *d* y en la 8-1 se indican las tensiones y corrientes de colector y de base para la configuración en emisor común, empleando las notaciones descritas. Las variaciones de tensión y de corriente de colector y de base, referidas al punto de reposo correspondiente, son:

$$\begin{aligned} i_c &= i_C - I_C = \Delta i_C \qquad & v_c &= v_C - V_C = \Delta v_C \\ i_b &= i_B - I_B = \Delta i_b \qquad & v_b &= v_B - V_B = \Delta v_B \end{aligned} \tag{8-1}$$

La magnitud de la tensión de alimentación se indica por la repetición del subíndice del electrodo. Se resumen las notaciones en la Tabla 8-1.

TABLA 8-1 Resumen de notaciones

	Tensión de base (colector) respecto al emisor	Corriente de base (colector) hacia el electrodo del circuito exterior
Valor instantáneo total	v_B (v_C)	i_B (i_C)
Valor de reposo	V_B (V_C)	I_B (I_C)
Valor instantáneo de la componente variable ..	v_b (v_c)	i_b (i_c)
Valor eficaz de la componente variable (fasor, si es senoide)	V_b (V_c)	I_b (I_c)
Tensión de alimentación (magnitud)	V_{BB} (V_{CC})	

Forma de onda. Supongamos una corriente de base de 200 μA de pico senoidalmente variable en torno al punto de reposo Q para el que $I_B = -300\ \mu$A. Entonces, los puntos extremos de la onda de la base son A y B, con lo que $i_B = -500\ \mu$A y $-100\ \mu$A respectivamente. Estos puntos están indicados en la recta de carga de la Fig. 8-2*a*. Hallaremos i_C y v_{CE}, correspondientes a cualquier valor dado de i_B, en la intersección de la recta de carga con la correspondiente característica del colector para este valor de i_B. Por ejemplo, para el punto A, $i_B = -500\ \mu$A, $i_C = -46{,}5$ mA, y $v_{CE} = -3{,}4$ V. Las formas de onda i_C y v_{CE} se indican en las Figs. 8-3*a* y *b*, respectivamente. Observemos que las formas de ondas de la corriente y la tensión de colector no son las mismas que la de la corriente de base (la senoide de la Fig. 8-3*c*) porque las características del colector en las proximidades de la recta de carga de la Fig. 8-2*a* no son líneas paralelas igualmente espaciadas para incrementos iguales de la corriente de base. Este cambio en la forma de onda se conoce con el nombre de *distorsión no lineal de salida.*

Se puede obtener la tensión base-emisor v_{BE} para cualquier combinación de corriente de base y de tensión colector-emisor a partir de las curvas características de entrada. En la Fig. 8-2*b*, se representa la *curva de funcionamiento dinámico* para la combinación de corriente de base y tensión de colector hallados a lo largo de la recta de carga *A-Q-B* de la Fig. 8-2*a*. La forma de onda v_{BE} puede obtenerse a partir de la curva de funcionamiento dinámico de la Fig. 8-2*b*, leyendo la tensión v_{BE} correspondiente a una corriente de base i_B dada. Observemos que, debido a la no linealidad de la curva dinámica, la forma de onda de v_b (Fig. 8-3*d*) no tendrá, en general, la misma forma que la de i_b. Este cambio en la forma de onda se conoce con el nombre de *distorsión no lineal de entrada.* En algunos

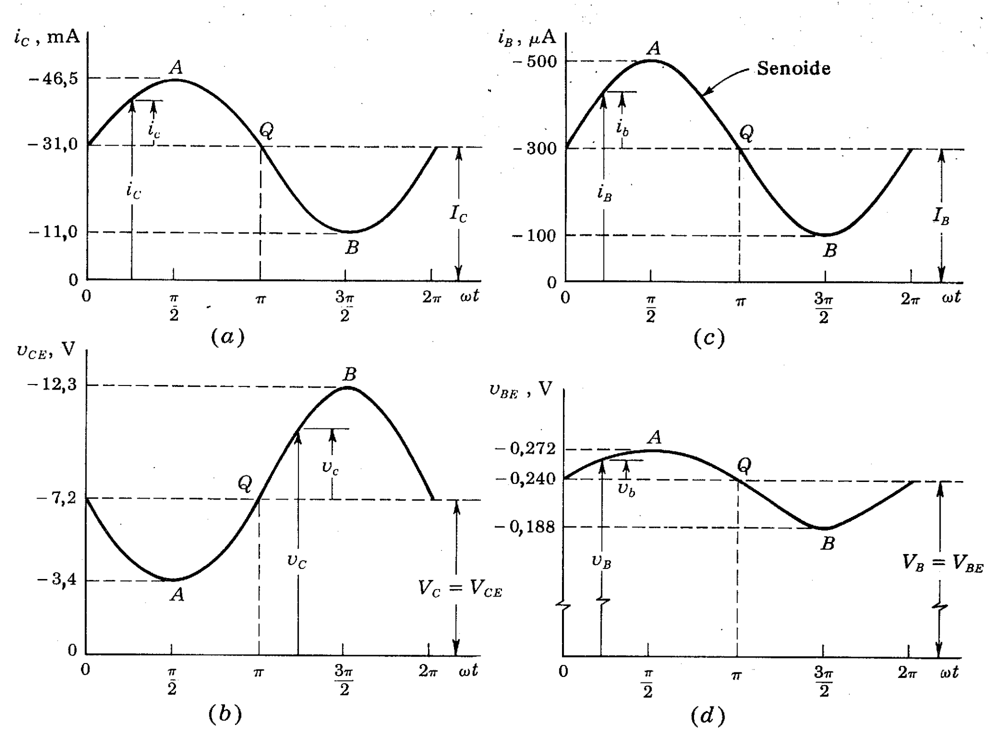


Fig. 8-3. Ondas de tensiones y de corrientes de: (*a*, *b*) Colector; (*c*, *d*) base

casos es más razonable suponer que v_b de la Fig. 8-3*d* es senoidal, y entonces i_b estará distorsionada. Esto sería totalmente cierto si la fuente de tensión senoidal v_s que actúa sobre el transistor tuviera una pequeña resistencia R_s de salida en comparación con la resistencia de entrada R_i del transistor, de tal manera que la forma de la tensión de entrada fuera esencialmente la misma que la de la propia fuente. Sin embargo, si $R_S \gg R_i$, la variación de i_B viene dada por $i_b \approx v_s/R_s$, y, por consiguiente, la forma de la corriente de base es también senoidal.

Observemos en la Fig. 8-2*b* que, para una *gran tensión senoidal de base* v_b la desviación alrededor del punto Q, de la corriente de base $|i_b|$ es menor a la izquierda de Q que a su derecha. Ésta distorsión de entrada tiende a compensar la distorsión de salida porque, en la Fig. 8-2*a*, la desviación de la corriente de colector $|i_c|$ para una desviación dada de la corriente de base es mayor en la sección BQ que en la QA. En consecuencia, si el amplificador está polarizado de tal manera que Q esté cerca del centro del plano $i_C - v_{CE}$, tendrá menor distorsión si la excitación es una tensión de base senoidal que si es una corriente de base senoidal. Obsérvese que la curva de carga dinámica puede aproximarse a una recta para un segmento suficientemente pequeño, y por lo tanto, si la señal de entrada es pequeña, cabrá despreciar la distorsión de entrada en cualquier condición de funcionamiento (fuente de corriente o fuente de tensión).

Puesto que la respuesta a una pequeña señal de baja frecuencia de un transistor es lineal, ésta puede obtenerse mejor analítica que gráficamente. Para cerciorarnos, observemos que para una señal muy pequeña la técnica gráfica referida a la Fig. 8-2 requeriría una interpolación entre las características dibujadas, lo que resultaría de muy poca precisión. En lo que resta del capítulo supondremos que se trabaja con pequeña señal (llamada también *incremental*), obteniendo un modelo de circuito lineal para el transistor, que nos permitirá un estudio analítico.

8-2. EL CUADRIPOLO Y EL MODELO HIBRIDO

El comportamiento en terminales de un gran número de tipos de cuadripolos se especifica por dos tensiones y dos corrientes. El rectándulo de la Fig. 8-4 representa un cuadripolo. Podemos elegir dos de las cuatro cantidades como variables independientes y expresar las dos restantes en función de las independientes. Observemos que, en general, no podemos seleccionar libre y arbitrariamente las variables independientes. Por ejemplo, si el cuadripolo es un transformador ideal, no podemos tomar las dos tensiones v_1 y v_2 como variables independientes porque su relación es constante e igual a la relación de espiras del transformador. Si la corriente i_1 y la tensión v_2 son independientes y si el cuadripolo es lineal, podremos escribir:

$$v_1 = h_{11} i_1 + h_{12} v_2 \tag{8-2}$$

$$i_2 = h_{21} i_1 + h_{22} v_2 \tag{8-3}$$

Los valores h_{11}, h_{12}, h_{21} y h_{22} se llaman *parámetros h*, o *híbridos*, porque no tienen dimensiones homogéneas. Supongamos que no exisen elementos reactivos en el cuadripolo. Entonces, los parámetros h de las ecuaciones (8-2) y (8-3) podrán definirse de la siguiente manera:

$$h_{11} \equiv \frac{v_1}{i_1}\bigg|_{v_2=0}$$ = resistencia de entrada con la salida en cortocircuito (ohm).

$$h_{12} \equiv \frac{v_1}{v_2}\bigg|_{i_1=0}$$ = relación entre la tensión a la salida y a la entrada con el circuito de entrada abierto, o simplemente, amplificación inversa de tensión con circuito abierto (sin dimensiones).

$$h_{21} \equiv \frac{i_2}{i_1}\bigg|_{v_2=0}$$ = negativa de la relación de transferencia de corriente (ó ganancia de corriente) con la salida en cortocircuito. (Obsérvese que la corriente a través de la carga de salida sería la contraria –negativa– de i_2.) Este parámetro se denomina simplemente *ganancia de corriènte en cortocircuito* (sin dimensiones).

$$h_{22} \equiv \frac{i_2}{v_2}\bigg|_{v_1=0}$$ = conductancia de salida con la entrada en circuito abierto (ohm^{-1}).

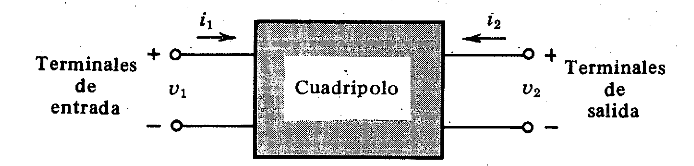


Fig. 8-4. Cuadripolo

Observaciones. Las normas IEEE[1] recomiendan los siguientes subíndices:

$i = 11 =$ entrada $\qquad o = 22 =$ salida

$f = 21 =$ transferencia directa $\qquad r = 12 =$ transferencia inversa.

En el caso de los transistores, se agregan otros subíndices (b, e, o c) para designar el tipo de configuración. Por ejemplo:

$h_{ib} = h_{11b}$ = resistencia de entrada en configuración de base común

$h_{fe} = h_{21e}$ = ganancia directa de corriente en cortocircuito en configuración de emisor común.

Hasta ahora y a partir del sistema indicado por las ecuaciones (8-2) y (8-3), hemos supuesto que no existen elementos reactivos y, por lo tanto, los cuatro parámetros h_{11}, h_{12}, h_{21} y h_{22} son números reales, y las tensiones v_1 y v_2 y las corrientes i_1 e i_2 son funciones del tiempo. Pero si se incluyen elementos reactivos en el sistema, cabe considerar que la excitación es senoidal y entonces los parámetros h serían, en general, función de la frecuencia, y las tensiones y las corrientes podrían representarse por fasores V_1, V_2 e I_1, I_2.

El modelo. Podremos emplear los cuatro parámetros h para construir un modelo matemático del sistema de la Fig. 8-4. El circuito híbrido para cualquier sistema caracterizado por las ecuaciones (8-2) y (8-3) se indica en la Fig. 8-5. Se puede demostrar que el modelo de la Fig. 8-5 satisface las ecuaciones (8-2) y (8-3) aplicando las leyes de Kirchoff para las mallas y para los nudos en los terminales de entrada y salida. Obsérvese que en el circuito de entrada existe un generador con tensión dependiente, y en el de salida una fuente de corriente también dependiente.

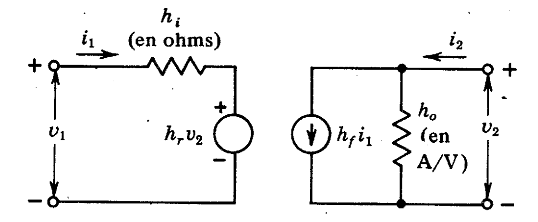


Fig. 8-5. Modelo híbrido del cuadripolo de la Fig. 8-4. Los parámetros h_r y h_f carecen de dimensiones

8-3. MODELO HIBRIDO DE UN TRANSISTOR

Para llegar al modelo lineal de un transistor o de su circuito equivalente, vamos a suponer básicamente que las variaciones alrededor del punto de reposo son pequeñas, de manera que los parámetros del transistor pueden considerarse constantes para cualquier valor de la señal. Los valores de trabajo (punto de reposo), de la tensión y de la corriente se determinan mediante el método de polarización empleado en el capítulo 9. Estos valores no intervienen en un modelo incremental, que sólo se emplea para detectar pequeñas variaciones de señal alrededor del punto Q.

El modelo del transistor presentado en este capítulo se da en función de los parámetros h, que son *números reales* en audio frecuencias, fácilmente medibles, pudiéndose obtener también a partir de las curvas características estáticas del transistor y cuya utilización será particularmente útil en el análisis y proyecto de circuitos. Además, los parámetros h los especifican los fabricantes para muchos transistores.

Veamos cómo puede obtenerse un modelo híbrido del transistor, y para ello vamos a considerar el montaje en emisor común de la Fig. 8-1. Las variables i_B, i_C, $v_{BE} = v_B$, y $v_{CE} = v_C$ representan los valores totales instantáneos de corrientes y tensiones. Ateniéndonos a los comentarios del Cap. 5 en cuanto a tensiones y corrientes del transistor, deberemos tomar la corriente i_B y la tensión v_C como variables independientes. Puesto que v_B es una función f_1 de la corriente i_B y de la tensión v_C, e igualmente, i_C es otra función f_2 de i_B y v_C, podremos escribir:

$$v_B = f_1(i_B, v_C) \tag{8-4}$$

$$i_C = f_2(i_B, v_C) \tag{8-5}$$

Con un desarrollo en serie de Taylor de las ecuaciones (8-4) y (8-5) en torno al punto de reposo I_B, V_C, y despreciando los términos de orden superior, se obtiene:

$$\Delta v_B = \left.\frac{\partial f_1}{\partial i_B}\right|_{V_C} \Delta i_B + \left.\frac{\partial f_1}{\partial v_C}\right|_{I_B} \Delta v_c \tag{8-6}$$

$$\Delta i_C = \left.\frac{\partial f_2}{\partial i_B}\right|_{V_C} \Delta i_B + \left.\frac{\partial f_2}{\partial v_C}\right|_{I_B} \Delta v_c \tag{8-7}$$

Las derivadas parciales se han tomado considerando la tensión de colector o la corriente de base constante, tal como se indica con el subíndice que sigue a la derivada.

Las cantidades Δv_B, Δv_C, Δi_B y Δi_C representan los valores de la pequeña señal (incremental) de las corrientes y tensiones de base y colector. Ateniéndonos a las notaciones fijadas en la ecuación (8-1) las representaremos con los símbolos v_b, v_c, i_b e i_c, podremos escribir las ecuaciones (8-6) y (8-7) de la siguiente forma:

$$v_b = h_{ie} i_b + h_{re} v_c \tag{8-8}$$

$$i_c = h_{fe} i_b + h_{oe} v_c \tag{8-9}$$

en donde

$$h_{ie} \equiv \frac{\partial f_1}{\partial i_B} = \frac{\partial v_B}{\partial i_B}\bigg|_{V_C} \qquad h_{re} \equiv \frac{\partial f_1}{\partial v_C} = \frac{\partial v_B}{\partial v_C}\bigg|_{I_B} \tag{8-10}$$

y

$$h_{fe} \equiv \frac{\partial f_2}{\partial i_B} = \frac{\partial i_C}{\partial i_B}\bigg|_{V_C} \qquad h_{oe} \equiv \frac{\partial f_2}{\partial v_C} = \frac{\partial i_C}{\partial v_C}\bigg|_{I_B} \tag{8-11}$$

Las derivadas parciales de las ecuaciones (8-10) y (8-11) definen los parámetros h para la conexión en emisor común. Veremos en la próxima sección que estas derivadas parciales pueden obtenerse a partir de las curvas características del transistor y que son números reales. Obsérvese que las ecuaciones (8-8) y (8-9) tienen exactamente la misma forma que las ecuaciones (8-2) y (8-3). Por tanto el modelo de la Fig. 8-5 puede emplearse para representar un transistor.

Debe tenerse en cuenta que las derivadas parciales de las ecuaciones (8-10) y (8-11) se han tomado considerando constante V_C o I_B. Si un parámetro es constante, su incremento es cero. Así, V_C = constante, equivale a $v_c = 0$ e I_B = constante corresponde a $i_b = 0$. Con esta aclaración resulta que:

$$h_{re} = \frac{\partial v_B}{\partial v_C}\bigg|_{I_B} = \frac{v_b}{v_c}\bigg|_{i_b=0} \quad \text{o} \quad h_{re} = \frac{V_b}{V_c}\bigg|_{I_b=0} \tag{8-12}$$

y la segunda ecuación será válida siempre y cuando consideremos las tensiones y las corrientes senoidales (fasores).

En la Fig. 8-6*a* está indicado el modelo con parámetros h de un transistor en emisor común. En la Fig. 8-6*b*, se da el modelo híbrido de un transistor en colector común (*CC*). Según la configuración en *CC* de la Fig. 5-19 la entrada de señal se efectúa entre los terminales B y C y la salida entre los E y C. Cabe también dibujar (Fig. 8-10) un circuito equivalente análogo en base común (*BC*) con los terminales de entrada E y B y los de salida C y B. Para todas las configuraciones puede deducirse, por simple aplicación de las leyes de Kirchhoff, que:

$$i_b + i_e + i_c = 0 \tag{8-13}$$

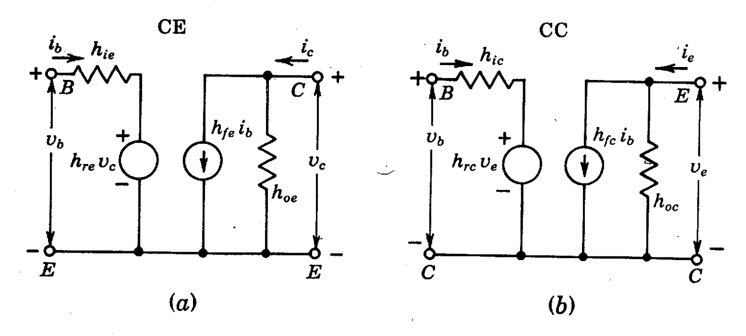


Fig. 8-6. Modelos híbridos para pequeña señal en configuración de: (*a*) emisor común y (*b*) colector común

Estos modelos y ecuaciones son válidos para cualquier transistor *p-n-p* o *n-p-n* y son independientes del tipo de carga y del método de polarización.

8-4. LOS PARAMETROS h[2]

Las ecuaciones (8-4) y (8-5) determinan la dependencia funcional, para una conexión en emisor común, de los valores instantáneos de la corriente de colector y la tensión de la base en función de dos variables, a saber, la corriente de base y la tensión de colector. Esta dependencia funcional se representa en el capítulo 5 por familias de curvas características. Generalmente, se especifican dos familias de curvas para los transistores. Las *curvas características de salida* determinan la dependencia funcional entre la tensión y la corriente de salida, con la corriente de entrada como parámetro. En las Figs. 5-6 y 5-10 aparecen las curvas características de salida típicas de las configuraciones en base común y en emisor común. Las *curvas características de entrada* determinan la dependencia funcional entre la tensión y la corriente de entrada con la tensión de salida como parámetro. En las Figs. 5-7 y 5-11 se indican las características típicas de transistores en base común y en emisor común. Los parámetros h pueden determinarse gráficamente partiendo de las características de entrada y de salida de una configuración dada.

El parámetro h_{fe}. En la Fig. 8-7 aparecen las características en emisor común. De la definición de h_{fe} dada en la ecuación (8-11) y de la Fig. 8-7, tenemos:

$$h_{fe} = \frac{\partial i_C}{\partial i_E} \approx \frac{\Delta i_C}{\Delta i_B}\bigg|_{V_C} = \frac{i_{C2} - i_{C1}}{i_{B2} - i_{B1}} \tag{8-14}$$

Los incrementos de corriente se toman en torno al punto de reposo Q, correspondiente a una corriente de base $i_B = I_B$ y a una tensión de colector $v_{CE} = V_C$ (línea vertical en la Fig. 8-7).

El parámetro h_{fe} es el más importante del transistor a pequeñas señales. Esta relación de transferencia de corriente en emisor común, o alfa en *EC* se escribe también α_e, o β', y se denomina *beta de pequeña señal* del transistor. La relación entre $\beta' = h_{fe}$ y la *beta de grandes señales*, $\beta \approx h_{FE}$ viene dada por la ecuación (5-23).

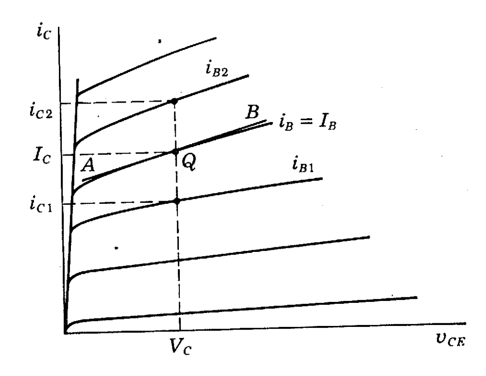


Fig. 8-7. Determinación de h_{fe} y h_{oe} a partir de las características de salida en emisor común

El parámetro h_{oe}. De la ecuación (8-11)

$$h_{oe} = \frac{\partial i_C}{\partial v_C} \approx \frac{\Delta i_C}{\Delta v_C}\bigg|_{I_B} \tag{8-15}$$

El valor de h_{oe} en el punto de reposo Q viene dado por la inclinación de la característica de salida en este punto. Esta inclinación puede determinarse en la Fig. 8-7*a* por la pendiente de la línea AB tangente a la curva característica en el punto Q.

Los parámetros h_{ie} y h_{re} se pueden obtener de la característica de entrada en emisor común de forma análoga a la que aparece en la Fig. 8-7 (Prob. 8-2).

Basándose en las definiciones dadas en las secciones 8-3 y 8-9, cabe determinar directamente los parámetros híbridos[3] con sencillas experiencias.

Variaciones de los parámetros híbridos. Observemos que, dado un punto de reposo determinado, los parámetros h pueden obtenerse a partir de la inclinación y la separación de las curvas en dicho punto. Puesto que, las curvas características no son en general líneas rectas ni están igualmente espaciadas entre sí para variaciones iguales de I_B (Fig. 8-2*a*) o de V_{CE} (Fig. 8-2*b*), los parámetros dependerán de la posición del punto de reposo. Además, por la explicación del capítulo 5, sabemos que la forma y los valores numéricos de las curvas características en un determinado momento dependen de la temperatura de la unión. De ahí que también los parámetros h dependan de la temperatura. La mayor parte de los catálogos de características de los transistores incluyen curvas de variación de los parámetros h en función de la posición del punto de reposo y de la temperatura. Estas curvas están representadas en las Figs. 8-8*a* y *b* para un transistor *p-n-p* de silicio, curvas que están trazadas para un determinado punto de funcionamiento, de − 5 V de tensión colector-emisor y − 1 mA de corriente de colector. En la Fig. 8-8*a*, aparece la variación de los parámetros h para una temperatura de unión de 25° C y una frecuencia de 1 kHz. Los fabricantes adjuntan también la variación de los parámetros h en función de V_{CE}, aunque muy a menudo es poco significativa. En particular, h_{fe} es más sensible a I_{CE} que a V_{CE}. En la mayor parte de los transistores, hay un máximo bien definido en el valor de h_{fe} en función de la corriente de colector o de emisor. En la Fig. 8-9 puede verse claramente este máximo en la variación de h_{fe} en función de la corriente de emisor y de la temperatura para un transistor mesa de silicio *n-p-n* de doble difusión.

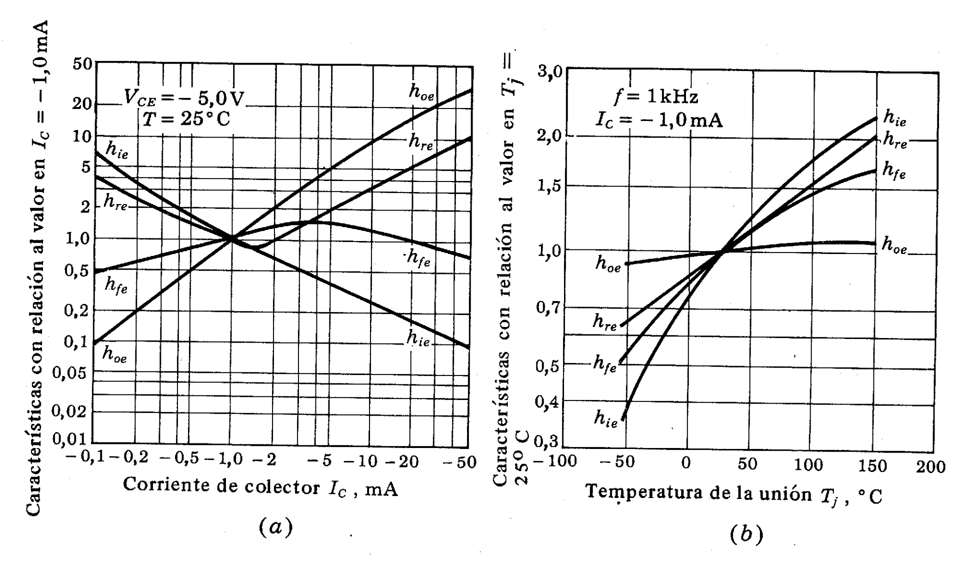


Fig. 8-8. Variación de los parámetros h en emisor común (*a*) con la corriente de colector tomada como unidad a $V_{CE} = -5{,}0$ V e $I_C = -1{,}0$ mA para el transistor 2N996 planar epitaxial de silicio; (*b*) con la temperatura de la unión, tomada como unidad a $T_j = 25°$ C. (Cortesía de Fairchild Semiconductor.)

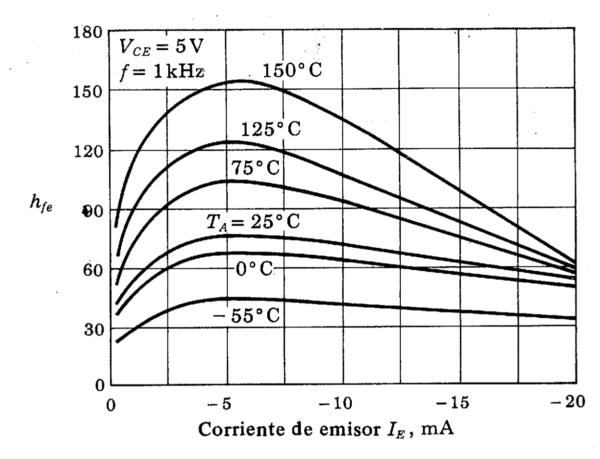


Fig. 8-9. Variación de h_{fe} con la corriente de emisor para un transistor de silicio tipo 2N1573. (Cortesía de Texas Instrument, Inc.)

La Tabla 8-2 indica los valores de los parámetros h para tres diferentes configuraciones de un transistor de unión característico.

TABLA 8-2 Valores típicos de los parámetros h de un transistor (a I_E = 1,3 mA)

Parámetro	CE	CC	CB
$h_{11} = h_i$	1 100 Ω	1 100 Ω	21,6 Ω
$h_{12} = h_r$	$2{,}5 \times 10^{-4}$	~1	$2{,}9 \times 10^{-4}$
$h_{21} = h_f$	50	−51	−0,98
$h_{22} = h_o$	24 μA/V	25 μA/V	0,49 μA/V
$1/h_o$	40 K	40 K	2,04 M

8-5. FORMULAS DE CONVERSION PARA LOS PARAMETROS DE LAS TRES CONFIGURACIONES DEL TRANSISTOR

A veces puede ser necesario convertir los parámetros de un transistor de una configuración a otra. Algunos fabricantes especifican los cuatro parámetros h en emisor común; en cambio otros dan h_{fe}, h_{ib}, h_{ob} y h_{rb}. En la Tabla 8-3 pueden verse fórmulas de conver-

TABLA 8-3 Fórmulas aproximadas de conversión para los parámetros híbridos

$h_{ic} = h_{ie}$	$h_{rc} = 1$
$h_{fc} = -(1 + h_{fe})$	$h_{oc} = h_{oe}$
$h_{ib} = \dfrac{h_{ie}}{1 + h_{fe}}$ *	$h_{rb} = \dfrac{h_{ie}h_{oe}}{1 + h_{fe}} - h_{re}$
$h_{fb} = -\dfrac{h_{fe}}{1 + h_{fe}}$	$h_{ob} = \dfrac{h_{oe}}{1 + h_{fe}}$

* Los parámetros EC en función de los parámetros en BC, se obtienen cambiando los subíndices *b* y *e*. (Prob. 8-4)

sión aproximadas entre los parámetros *h* para *EC, CC,* y *BC.* Estas fórmulas de conversión pueden obtenerse a partir de la definición de los parámetros y de las leyes de Kirchhoff. A continuación se describe, mediante un ejemplo, el procedimiento general.

Ejemplo. Hallar h_{re} en función de los parámetros *h* en (*BC*).

SOLUCION. En la Fig. 8-10 está indicado el circuito de los parámetros *h* en *BC*, en el que las letras mayúsculas se emplean para representar los valores eficaces de la tensión y corriente senoidales.

$$h_{re} = \frac{V_{bc}}{V_{ce}}\bigg|_{I_b=0} = \frac{V_{bc} + V_{ce}}{V_{ce}}\bigg|_{I_b=0} = \left(1 + \frac{V_{bc}}{V_{ce}}\right)\bigg|_{I_b=0}$$

Si $I_b = 0$, entonces $I_c = -I_e$, y la corriente I por h_{ob} en la Fig. 8-10 será $I = (1 + h_{fb})I_e$. Puesto que h_{ob} representa una conductancia,

$$I = h_{ob}\, V_{bc} = (1 + h_{fb})\, I_e$$

Aplicando las leyes de Kirchhoff en la red *EBCE*,

$$h_{ib}I_c + h_{rb}V_{cb} + V_{bc} + V_{ce} = 0$$

Combinando las dos últimas ecuaciones se obtiene:

$$\frac{h_{ib}h_{ob}}{1 + h_{fb}}\, V_{bc} - h_{rb}V_{bc} + V_{bc} + V_{ce} = 0$$

o sea

$$\frac{V_{bc}}{V_{ce}} = \frac{-(1 + h_{fb})}{h_{ib}h_{ob} + (1 - h_{rb})(1 + h_{fb})}$$

de donde:

$$h_{re} = 1 + \frac{V_{bc}}{V_{ce}} = \frac{h_{ib}h_{ob} - (1 + h_{fb})h_{rb}}{h_{ib}h_{ob} + (1 - h_{rb})(1 + h_{fb})}$$

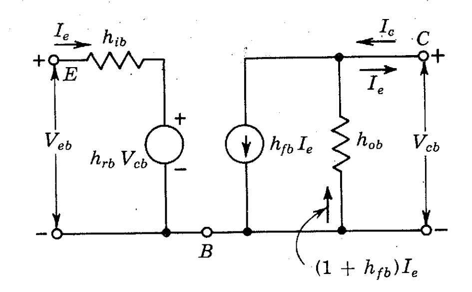


Fig. 8-10. Modelo híbrido en base común

De esta manera se obtiene una expresión exacta. Para llegar a una fórmula aproximada simplificada, obsérvese que para los valores típicos dados en la tabla 8-2

$$h_{rb} \ll 1 \quad \text{y} \quad h_{ob}h_{ib} \ll 1 + h_{fb}$$

de donde

$$h_{re} \approx \frac{h_{ib}h_{ob}}{1 + h_{fb}} - h_{rb}$$

que coincide con la fórmula dada a la Tabla 8-3.

8-6. ANALISIS DE UN CIRCUITO AMPLIFICADOR A TRANSISTORES EMPLEANDO LOS PARAMETROS *h*

Para constituir un amplificador de transistores, basta conectar una carga externa y una fuente de señal, tal como se indica en la Fig. 8-11, y polarizar adecuadamente el transistor. El cuadripolo de la Fig. 8-11 representa un transistor en una cualquiera de las tres configuraciones posibles. En la Fig. 8-12 se trata el caso general (conexión no especificada) con la sustitución de un transistor por su modelo híbrido para pequeña señal. El circuito de la 8-12 es válido para cualquier tipo de carga, ya sea una resistencia pura, una impedancia u otro transistor. Esto es así porque el modelo híbrido del transistor se ha obtenido sin tener en cuenta el circuito exterior al que está incorporado. La única condición restrictiva es la necesidad de constancia en el valor de los parámetros híbridos para todo el margen de funcionamiento.

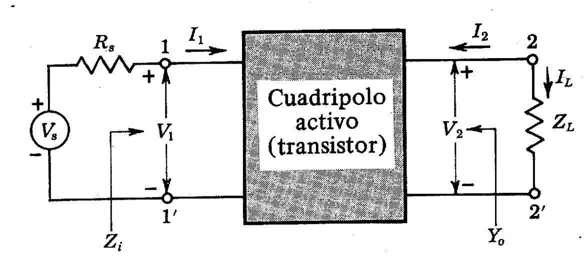


Fig. 8-11. Circuito amplificador básico

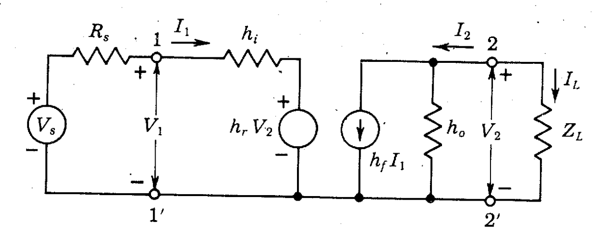


Fig. 8-12. El transistor de la Fig. 8-11 es sustituido por su modelo en parámetros h

Suponiendo variaciones senoidales en las corrientes y las tensiones, podemos proceder al análisis del circuito de la Fig. 8-12 empleando la notación de fasores para representar valores de cantidades que varían senoidalmente. Las magnitudes que interesan son: *la ganancia de corriente, la impedancia de entrada, la ganancia de tensión* y *la impedancia de salida.*

Ganancia de corriente, o amplificación de corriente, A_I. Para una etapa amplificadora a transistores, A_I se define como la relación entre la salida y la entrada de corriente, o sea:

$$A_I \equiv \frac{I_L}{I_1} = -\frac{I_2}{I_1}\,. \tag{8-16}$$

Para el circuito de la Fig. 8-12, tenemos:

$$I_2 = h_f I_1 + h_o V_2\,. \tag{8-17}$$

Sustituyendo $V_2 = -I_2 Z_L$ en la ecuación (8-17), obtenemos:

$$A_I = -\frac{I_2}{I_1} = -\frac{h_f}{1 + h_o Z_L}\,. \tag{8-18}$$

Impedancia de entrada Z_i. La resistencia R_e de las figuras 8-11 y 8-12 es la resistencia de la fuente de señal. La impedancia que se observa desde los terminales de entrada del amplificador (1, 1') se denomina *impedancia de entrada Z_i* del amplificador, o sea

$$Z_i \equiv \frac{V_1}{I_1}\,. \tag{8-19}$$

Para el circuito de entrada de la Fig. 8-12, tenemos:

$$V_1 = h_i I_1 + h_r V_2\,, \tag{8-20}$$

de donde:

$$Z_i = \frac{h_i I_1 + h_r V_2}{I_1} = h_i + h_r\,\frac{V_2}{I_1}\,. \tag{8-21}$$

Sustituyendo:

$$V_2 = -I_2 Z_L = A_I I_1 Z_L \tag{8-22}$$

en la ecuación (8-21), obtenemos:

$$Z_i = h_i + h_r A_I Z_L = h_i - \frac{h_f h_r}{Y_L + h_o} \tag{8-23}$$

en donde se hace uso de la ecuación (8-18) y del hecho de que la admitancia de carga es $Y_L = 1/Z_L$. Obsérvese que la impedancia de entrada *es función de la impedancia de carga.*

Ganancia de tensión, o amplificación de tensión, A_V. La relación entre la tensión de salida V_2 y la de entrada V_1 determina la ganancia de tensión del transistor, o sea:

$$A_V \equiv \frac{V_2}{V_1}\,. \tag{8-24}$$

De la ecuación (8-22) tenemos:

$$A_V = \frac{A_I I_1 Z_L}{V_1} = \frac{A_I Z_L}{Z_i}\,. \tag{8-25}$$

Amplificación de tensión A_{Vs}, teniendo en cuenta la resistencia R_s de la fuente. Esta amplificación total de tensión A_{Vs} se define como:

$$A_{Vs} \equiv \frac{V_2}{V_s} = \frac{V_2}{V_1}\,\frac{V_1}{V_s} = A_V\,\frac{V_1}{V_s}\,. \tag{8-26}$$

Del circuito equivalente de entrada del amplificador, indicado en la Fig. 8-13*a*,

$$V_1 = \frac{V_s Z_i}{Z_i + R_s}$$

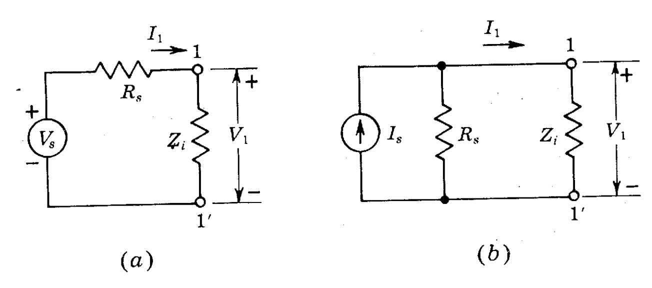


Fig. 8-13. Circuito de entrada de un amplificador a transistores empleando para la fuente: (*a*) el equivalente de Thévenin, (*b*) el equivalente de Norton

por tanto

$$A_{Vs} = \frac{A_V Z_i}{Z_i + R_s} = \frac{A_I Z_L}{Z_i + R_s}. \tag{8-27}$$

donde empleamos la ecuación (8-25). Obsérvese que, si $R_s = 0$, entonces $A_{Vs} = A_V$, de lo que se deduce que A_V *es la ganancia de tensión para una fuente de tensión ideal* (cuya resistencia interna fuese 0). Prácticamente, el valor de A_{Vs} es mucho más significativo que el de A_V, ya que normalmente la resistencia de la fuente tiene un efecto apreciable en la amplificación total de tensión. Por ejemplo, si Z_i es resistiva e igual en magnitud a R_s, entonces $A_{Vs} = 0{,}5\, A_V$.

Amplificación de corriente A_{Is}, teniendo en cuenta la resistencia de la fuente R_s. Si la fuente de entrada es un generador de corriente I_s en paralelo con la resistencia R_s, tal como indica la Fig. 8-13*b*, entonces *la ganancia total de corriente* A_{Is} se define como:

$$A_{Is} \equiv \frac{-I_2}{I_s} = \frac{-I_2}{I_1}\frac{I_1}{I_s} = A_I \frac{I_1}{I_s}. \tag{8-28}$$

De Fig. 8-13*b*

$$I_1 = \frac{I_s R_s}{Z_i + R_s}$$

de donde

$$A_{Is} = \frac{A_I R_s}{Z_i + R_s} \tag{8-29}$$

Obsérvese que si $R_s = \infty$, entonces $A_{Is} = A_I$, de donde A_I *es la ganancia de corriente con una fuente de corriente ideal* (cuya resistencia interna sea infinita).

Independientemente de las características del transistor, las ganancias de tensión y de corriente, teniendo en cuenta la resistencia de la fuente, estarán relacionadas por:

$$A_{Vs} = A_{Is} \frac{Z_L}{R_s} \tag{8-30}$$

Esta relación se obtiene dividiendo la ecuación (8-27) por la (8-29), y es válida siempre y cuando los generadores de tensión y de corriente tengan la *misma* resistencia interna.

Admitancia de salida. Por definición, la impedancia de salida $Z_o = 1/Y_o$ se obtiene haciendo la fuente de tensión V_s igual a cero y la impedancia de carga Z_L igual a infinito, y situando en los terminales de salida un generador V_2. Si la corriente debida a V_2 es I_2, tendremos:

$$Y_o \equiv \frac{I_2}{V_2} \quad \text{con} \quad V_s = 0 \text{ y } R_L = \infty \tag{8-31}$$

De la ecuación (8-17)

$$Y_o = h_f \frac{I_1}{V_2} + h_o. \tag{8-32}$$

De la Fig. 8-12, siendo $V_s = 0$,

$$R_s I_1 + h_i I_1 + h_r V_2 = 0 \tag{8-33}$$

o sea:

$$\frac{I_1}{V_2} = -\frac{h_r}{h_i + R_s}. \tag{8-34}$$

Sustituyendo I_1/V_2 de la ecuación (8-34) en la ecuación (8-32) obtendremos:

$$Y_o = h_o - \frac{h_f h_r}{h_i + R_s}. \tag{8-35}$$

Obsérvese que *la admitancia de salida es función de la resistencia de la fuente.* Si la impedancia de la fuente es resistiva, tal como hemos supuesto, Y_o será real (conductancia).

En la anterior definición de $Y_o = 1/Z_o$, hemos considerado la carga Z_L exterior al amplificador. Si se desea conocer la impedancia de salida con la Z_L incluida, la impedancia puede calcularse como la combinación en paralelo de Z_L y Z_o.

Resumen. La Tabla 8-4 resume las anteriores fórmulas para facilitar su consulta. Obsérvese que las expresiones de A_V, A_{Vs}, y A_{Is} se obtienen sin hacer ninguna referencia a los parámetros híbridos, y por lo tanto son válidas independientemente del circuito equivalente que utilicemos para el transistor. En particular, estas expresiones son válidas para altas frecuencias, donde los parámetros h son función de la frecuencia, o donde se prefiera emplear otro modelo para el transistor (por ejemplo, el modelo híbrido II de la sección 11-5).

TABLA 8-4 Análisis para pequeña señal de un transistor amplificador

$A_I = -\dfrac{h_f}{1 + h_o Z_L}$	$Y_o = h_o - \dfrac{h_f h_r}{h_i + R_s} = \dfrac{1}{Z_o}$
$Z_i = h_i + h_r A_I Z_L$	$A_{Vs} = \dfrac{A_V Z_i}{Z_i + R_s} = \dfrac{A_I Z_L}{Z_i + R_s}$
$A_V = \dfrac{A_I Z_L}{Z_i}$	$A_{Is} = \dfrac{A_I R_s}{Z_i + R_s} = A_{Vs}\dfrac{R_s}{Z_L}$

Ejemplo. El transistor de la Fig. 8-11 está conectado como amplificador en emisor común, siendo sus parámetros h los dados en la Tabla 8-2. Si $R_L = 10$ K y $R_s = 1$ K, hallar las distintas ganancias y las impedancias de entrada y de salida.

SOLUCION. Acudiendo al análisis para pequeña señal de este circuito, conviene, en primer lugar, calcular A_i, a partir de este valor obtener R_i, y luego A_V en función de estos dos. Empleando las fórmulas de la Tabla 8-4 y los parámetros h de la Tabla 8-2:

$$A_I = -\frac{h_{fe}}{1 + h_{oe}R_L} = -\frac{50}{1 + 25 \times 10^{-6} \times 10^4} = -40{,}0$$

$$R_i = h_{ie} + h_{re}A_I R_L = 1\,100 - 2{,}5 \times 10^{-4} \times 40{,}0 \times 10^4 = 1\,000\,\Omega = 1\text{K}$$

$$A_V = \frac{A_I R_L}{R_i} = -\frac{40 \times 10}{1} = -400$$

$$A_{Vs} = \frac{A_v R_i}{R_i + R_s} = -\frac{400 \times 1}{1 + 1} = -200$$

$$A_{Is} = \frac{A_I R_s}{R_i + R_s} = -\frac{40{,}0 \times 1}{1 + 1} = -20{,}0$$

Nótese que $A_{Vs} = A_{Is}R_L/R_s$

$$Y_o = h_{oe} - \frac{h_{fe}h_{re}}{h_{ie} + R_s} = 25 \times 10^{-6} - \frac{50 \times 2{,}5 \times 10^{-4}}{2\,100} = 19{,}0 \times 10^{-6}\ \Omega^{-1}$$

$$= 19{,}0\ \mu\text{A/V}$$

o

$$Z_o = \frac{1}{Y_o} = \frac{10^6}{19{,}0}\ \Omega = 52{,}6\ \text{K}$$

8-7. TEOREMAS Y COROLARIOS DE THEVENIN Y DE NORTON

La fuente de entrada de un amplificador puede representarse por un circuito serie tal como el de la Fig. 8-13*a*, o bien por una red en paralelo como la de la Fig. 8-13*b*. Todo ello es un caso particular de los teoremas de Thévenin y de Norton. El teorema de Thévenin dice que *cualquier red lineal de dos terminales puede sustituirse por una fuente de tensión igual a la diferencia de potencial entre sus terminales en circuito abierto en serie con la impedancia de salida vista desde dichos terminales.* En la Fig. 8-14*a*, V representa la tensión en circuito abierto y Z la impedancia entre los terminales 1 y 2. Para hallar Z, todas las fuentes de tensión *independientes* deben cortocircuitarse y todas las fuentes de corriente *independientes* dejarse en circuito abierto.

El teorema de Norton es semejante al de Thévenin, y dice que *una red cualquiera de dos terminales, puede sustituirse por una fuente de corriente cuya intensidad sea igual a la de cortocircuito de los terminales en paralelo con la impedancia de salida vista desde dichos terminales.* En la Fig. 8-14*b*, I representa la corriente en cortocircuito y Z la impedancia entre los terminales 1 y 2. En otras palabras, una fuente de tensión V en serie con una impedancia Z es equivalente a una fuente de corriente $I \equiv V/Z$ en paralelo con la impedancia Z.

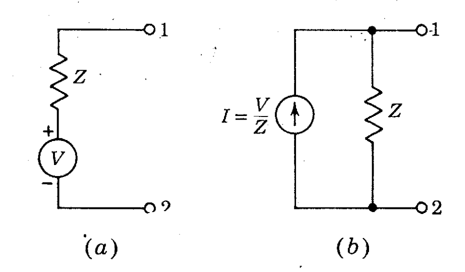


Fig. 8-14. Visto desde los terminales 1 y 2, el circuito de Thévenin (*a*) es equivalente al circuito de Norton (*b*)

Corolarios. Como extensión de los teoremas de Thévenin y de Norton podemos establecer las siguientes relaciones: si V representa la tensión en circuito abierto, I la corriente en cortocircuito, y Z (Y) la impedancia (admitancia) entre los dos terminales, tendremos:

$$Z = \frac{V}{I} \qquad I = \frac{V}{Z} = VY \qquad V = IZ = \frac{I}{Y}\,. \tag{8-36}$$

La primera de estas relaciones establece que "la impedancia entre dos nudos es igual al cociente entre la diferencia de potencial en circuito abierto dividida por la intensidad en cortocircuito." Este es uno de los métodos más simples para obtener la impedancia de salida Z_o.

La última relación de la ecuación (8-36) es frecuentemente el método más rápido para calcular la tensión entre dos puntos de una red. Esta ecuadión establece que: "la diferencia de potencial es igual a la corriente en cortocircuito dividida por la admitancia ".

Tanto los teoremas de Thévenin y de Norton como sus corolarios se emplean muy a menudo a lo largo del texto para simplificar el análisis de circuitos.

Ejemplo. Deducir la impedancia de salida de la Fig. 8-12 a partir del *teorema de la tensión en circuito abierto y la corriente en cortocircuito.*

SOLUCION. De la ecuación (8-36)

$$Y_o = \frac{I}{V}$$

donde I es la corriente en cortocircuito que circula por los terminales de salida y V la tensión en circuito abierto ($Z_L = \infty$). Si el nudo 2 de la Fig. 8-12 se conecta al 2', entonces $V_2 = 0$ e

$$I = -h_f I_1 = -\frac{h_f V_s}{R_s + h_i}\,. \tag{8-37}$$

Con $Z_L = \infty$, $V_2 = V$ se obtiene de $h_o V = -h_f I_1$. Aplicando las leyes de Kirchhoff al circuito de entrada y con este valor de I_1, obtenemos:

$$V_s = I_1(R_s + h_i) + h_r V = -\frac{h_o V}{h_f}(R_s + h_i) + h_r V \tag{8-38}$$

o sea

$$V = -\frac{h_f V_s/(R_s + h_i)}{h_o - h_f h_r/(R_s + h_i)} \quad (8\text{-}39)$$

Sustituyendo I de la ecuación (8-37) y V de la ecuación (8-39) obtenemos para $Y_o = I/V$ la expresión de la ecuación (8-35).

8-8. EL SEGUIDOR DE EMISOR

Por comodidad se repite en la Fig. 8-15 el diagrama del circuito de un amplificador a transistores en colector común de la Fig. 5-19. Esta configuración se denomina también *seguidor de emisor,* porque la ganancia en tensión es muy próxima a la unidad [ecuación (8-42)], y por tanto cualquier cambio en la tensión de base da lugar a la misma variación de la tensión en la carga de emisor. En otras palabras, el emisor *sigue* a la señal de entrada. Veremos luego que la resistencia de entrada R_i de un seguidor de emisor es muy elevada (del orden de centenares de Kilohms) y la resistencia de salida R_o muy baja (decenas de ohms). De ahí que el empleo más común del circuito en colector común sea como transformador de resistencias (de alta a baja resistencia) en una banda ancha de frecuencias, con ganancia de tensión próxima a la unidad. Además, el seguidor de emisor aumenta el nivel de potencia de la señal.

De las tablas 8-4 y 8-2 se obtienen las siguientes expresiones para la ganancia de corriente, resistencia de entrada, ganancia de tensión y resistencia de salida:

$$A_I = \frac{-I_e}{I_b} = \frac{-h_{fc}}{1 + h_{oc}R_L} = \frac{1 + h_{fe}}{1 + h_{oe}R_L} \quad (8\text{-}40)$$

$$R_i = \frac{V_i}{I_b} = h_{ic} + h_{rc}A_I R_L = h_{ie} + A_I R_L \quad (8\text{-}41)$$

$$A_V = \frac{V_o}{V_i} = \frac{A_I R_L}{R_i} = \frac{R_i - h_{ie}}{R_i} = 1 - \frac{h_{ie}}{R_i} \quad (8\text{-}42)$$

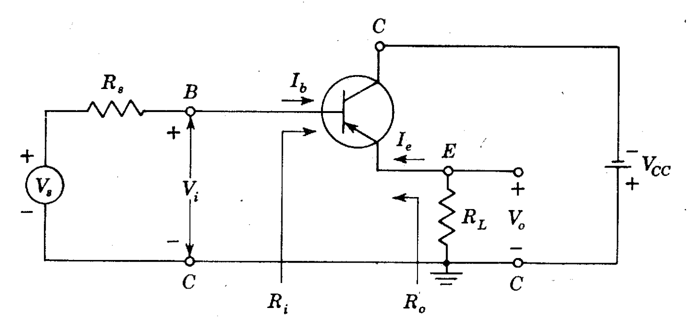


Fig. 8-15. Configuración en colector común, o seguidor de emisor

donde la expresión de $A_I R_L$ se toma a partir de la (8-41)

$$Y_o = h_{oc} - \frac{h_{fc}h_{rc}}{h_{ic} + R_s} = h_{oc} + \frac{1 + h_{fe}}{h_{ie} + R_s} \quad (8\text{-}43)$$

Empleando los mismos valores de los parámetros del ejemplo de la sección 8-6, tenemos

$$A_I = 40{,}75 \qquad R_i = 409\ \text{K}$$

$$A_V = 0{,}997 \qquad R_o = \frac{1}{Y_o} = 41{,}2\ \Omega\ .$$

Teniendo en cuenta la resistencia de la fuente, la ganancia total de tensión es (tabla 8-4):

$$A_{Vs} = \frac{A_V R_i}{R_i + R_s} = 0{,}997 \times \frac{409}{410} = 0{,}995\ .$$

Este valor numérico confirma que el seguidor de emisor posee la importante característica mencionada anteriormente: una ganancia de tensión próxima a la unidad, resistencia de entrada grande, y resistencia de salida pequeña. Puede verse también que no hay defase alguno entre la entrada y la salida, tanto de la tensión como de la corriente (ya que A_V y A_I son reales y positivas).

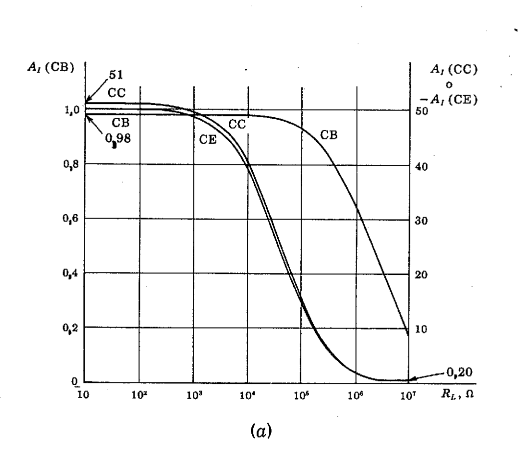
8-9. COMPARACION DE LAS CONFIGURACIONES DEL AMPLIFICADOR A TRANSISTORES

Mediante la Tabla 8-4 se han calculado los valores de ganancia de corriente y de tensión, e impedancias de entrada y de salida en función de las impedancias de la carga y de la fuente. En la Fig. 8-16 están trazadas las curvas para cada una de las tres configuraciones. Será realmente instructivo estudiar la forma y amplitud relativa de estas curvas.

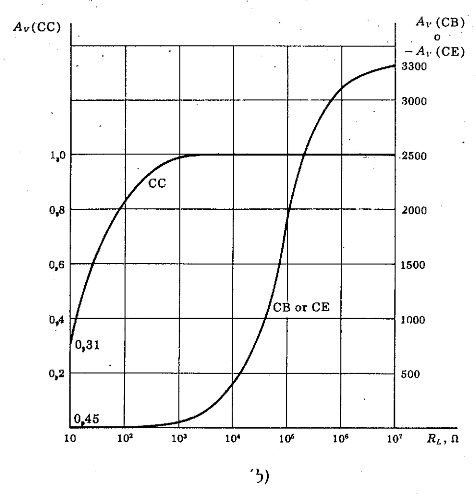
Configuración en emisor común (EC). En las curvas y en la Tabla 8-5 se observa que sólo la etapa en emisor común es capaz de dar simultáneamente ganancias de tensión y de corriente superiores a la unidad. Esta configuración es la más versátil y empleada de las tres.

Obsérvese que, con el montaje en emisor común R_i y R_o, varían lo mínimo con R_L y R_s. Nótese también que las magnitudes R_i y R_o están comprendidas entre las de base común y colector común.

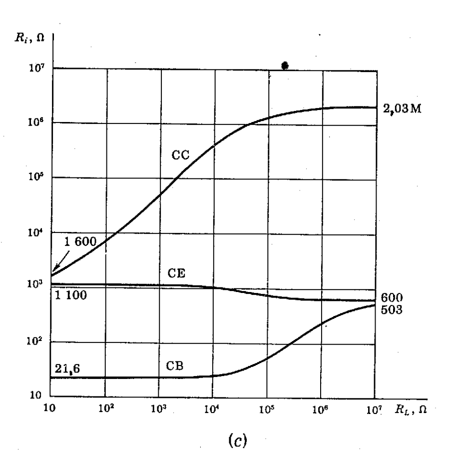
Para lograr una ganancia nominal igual a (A_{Vs}) max, se requeriría no sólo el empleo de una fuente de tensión de impedancia nula, sino también que R_L fuese mucho mayor que la impedancia de salida. Normalmente, no obstante, no es factible un valor tan grande de R_L. Supongamos, por ejemplo, que un fabricante especifica una tensión máxima de colector de 30 V, en cuyo caso no deberemos emplear una tensión de alimentación de colector superior a este valor, ya que la tensión máxima de colector podría sobrepasarla en cuanto el transistor trabajara al corte. Supongamos, asimismo, que el transistor está



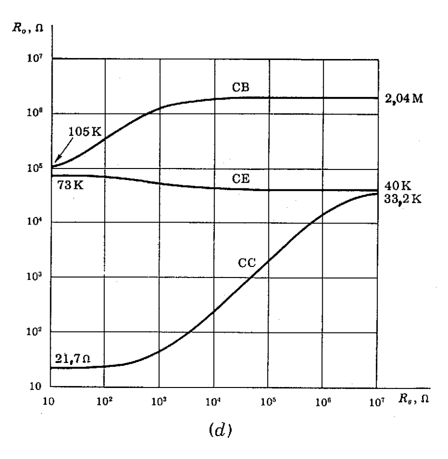
(a)



(b)



(c)



(d)

Fig. 8-16. (*a*) Ganancia de corriente A_I y (*b*) ganancia de tensión A_V del transistor típico de la Tabla 8-2, en función de la resistencia de carga. (*c*) Resistencia de entrada R_i y (*d*) resistencia de salida R_o del transistor típico de la Tabla 8-2, en función de la resistencia de carga

proyectado para que circule por él una corriente de unos 5 mA cuando está polarizado en la mitad de su región activa. Entonces la resistencia de carga debe seleccionarse de un valor aproximado de 15/5 = 3 K. Para un montaje en *EC* se calcula para la configuración una ganancia de tensión en carga de $A_V = -129$ (para $R_s = 0$).

La resistencia de carga puede ser menor de 3 K; por ejemplo, cuando un transistor se emplea para atacar otro transistor. En algunos casos, cabe aceptar una R_L mayor; no obstante, es raro que la resistencia de carga exceda los 10 K.

Configuración en base común (BC). Para la etapa en base común, A_I es menor que la unidad, A_V es alta (aproximadamente igual que en caso de *EC*), R_i es la menor, y R_o la

TABLA 8-5 Comparación de las configuraciones de un transistor (R_L = 3 K)

Cantidad	EC	CC	BC
A_I	Alto (– 46,5)	Alto (47,5)	Bajo (0,98)
A_V	Alto (– 131)	Bajo (0,99)	Alto (131)
R_i	Media (1 065 Ω)	Alto (144 K)	Bajo (22,5 Ω)
R_o (R_s = 3 K)	Semialta (45,5 K)	Bajo (80,5 Ω)	Alto (1,72 M)

mayor de las tres configuraciones. La etapa en *BC* tiene muy pocas aplicaciones. Se emplea algunas veces para acoplar una fuente de baja impedancia atacando una carga de gran impedancia, o como amplificador sin inversión con ganancia mayor que la unidad. También puede emplearse como fuente de alimentación de corriente constante (por ejemplo, como circuito de barrido para cargar linealmente[4] un condensador).

Configuración en colector común (CC). Para la etapa en colector común, A_I es alta (aproximadamente igual a la de la etapa en EC), A_V es menor que la unidad, R_i es la mayor, y R_o la menor de las tres configuraciones. Este circuito tiene grandes aplicaciones como etapa intermediaria entre una fuente de alta impedancia y una carga de baja impedancia.

Resumen. Las características precedentes se resumen en la Tabla 8-5, cuyos valores numéricos se calculan con una R_L = 3 K y con los parámetros *h* de la Tabla 8-2.

8-10. ANALISIS LINEAL DE UN CIRCUITO A TRANSISTORES

Existen muchos circuitos a transistores que no están constituidos simplemente por los montajes en EC, BC, o CC tratados anteriormente. Por ejemplo, un amplificador en EC puede tener una resistencia de realimentación desde el colector a la base, o puede tener una resistencia de emisor. Por otra parte, un circuito puede consistir en varios transistores que se conecten de determinada manera. Es posible hacer una determinación analítica del comportamiento con pequeña señal de un circuito amplificador relativamente complicado, siguiendo estas sencillas reglas:

1. Dibujar claramente el diagrama de conexiones del circuito.
2. Señalar los puntos *B* (base), *C* (colector), y *E* (emisor) en este esquema. Situarlos como puntos de partida del circuito equivalente. Mantener las mismas posiciones relativas que en el circuito original.
3. Reemplazar cada transistor por su modelo híbrido (Fig. 8-6).
4. Transferir todos los elementos del circuito real al circuito equivalente del amplificador. Mantener intactas las posiciones relativas de estos elementos.
5. Reemplazar cada fuente independiente de continua por su resistencia interna. La fuente de tensión ideal se sustituye por un cortocircuito, y la fuente de corriente ideal por un circuito abierto.
6. Resolver el circuito lineal resultante hallando las corrientes de las mallas, y las tensiones de los nudos, aplicando las leyes de Kirchhoff para cada uno de los casos.

Hay que aclarar que no es necesario emplear los métodos anteriores cuando el circuito lo constituyen etapas en cascada en EC, BC y/o CC. Pueden analizarse simplemente por la aplicación directa de las fórmulas de la Tabla 8-4.

8-11. TEOREMA DE MILLER Y SU DUAL

Considerando que las reglas dadas en la sección anterior son completamente generales, ciertas configuraciones pueden analizarse de forma más simple aplicando el teorema de Miller[5]. Estudiaremos, pues, brevemente este importante teorema al que se acudirá muy a menudo en este libro. Consideremos una configuración arbitraria de un circuito con N nudos distintos 1, 2, 3, ... N, como el indicado en la Fig. 8-17. Sea la tensión en los nudos: V_1, V_2, V_3, ..., V_N, siendo $V_N = 0$ si tomamos N como nudo de referencia, o de tierra. Los nudos 1 y 2 (denominados N_1 y N_2) están interconectados con una impedancia Z'. Suponemos conocido V_2/V_1 y a esta relación la llamaremos K, que en régimen permanente senoidal será un número complejo y, más generalmente, será una función de la variable s de la transformada de Laplace. Vamos ahora a demostrar que la corriente I_1, que fluye desde N_1 a través de Z', puede obtenerse desconectando la Z' del terminal N_1 y conectando desde el mismo una impedancia de valor $Z'/(1-K)$ a tierra, tal como se indica en la Fig. 8-17*b*.

La corriente I_1 viene dada por:

$$I_1 = \frac{V_1 - V_2}{Z'} = \frac{V_1(1-K)}{Z'} = \frac{V_1}{Z'/(1-K)} = \frac{V_1}{Z_1} \quad (8\text{-}44)$$

Por lo tanto, si la $Z_1 \equiv Z'/(1-K)$ estuviera conectada entre $N_I - N$, la corriente I_1 que fluiría desde N_1 debería ser la misma que en el circuito original. La aplicación de las leyes de Kirchhoff a N_1 nos llevará a la misma expresión en función de las tensiones de los nudos en las dos configuraciones (Fig. 8-17*a* y *b*).

De la misma forma cabría demostrar que la corriente I_2 que fluye desde el nudo N_2 puede calcularse eliminando Z' y conectando entre N_2 y tierra la impedancia Z_2, dada por:

$$Z_2 \equiv \frac{Z'}{1 - 1/K} = \frac{Z'K}{K-1} \quad (8\text{-}45)$$

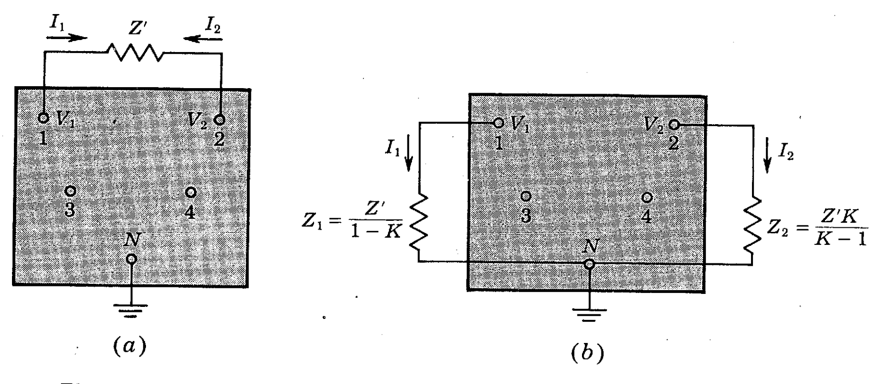


Fig. 8-17. Relativa al Teorema de Miller. Por definición, $K \equiv V_2/V_1$. Las redes (*a*) y (*b*) tienen idénticas tensiones nodales. Nótese que $I_L = -I_2$

Puesto que se obtienen idénticas ecuaciones de los nudos (leyes de Kirchhoff), para las configuraciones de la Fig. 8-17*a* y *b*, estas dos redes son equivalentes. Conviene resaltar que este teorema sólo será útil si es posible calcular los valores de K de forma independiente.

Ejemplo. Calcular R_i, R'_i A_V, A_{Vs}, y $A'_I = -I_2/I_1$, para el amplificador de la Fig. 8-18*a*. Los parámetros del transistor se especifican en la Tabla 8-2.

SOLUCION. Se aplica el teorema de Miller a la resistencia R' de 200 K, obteniéndose la Fig. 8-18*b* en donde $K = A_V$ es la ganancia de tensión de base a colector.

Suponiendo que esta ganancia sea muy superior a la unidad ($-A_V \gg 1$), tendremos:

$$\frac{200}{1 - 1/A_V} \approx 200 .$$

La resistencia de carga efectiva es $R'_L = 10 \parallel 200$, o sea

$$R'_L = \frac{10 \times 200}{210} = 9{,}52 \text{ K} .$$

A partir de la Tabla 8-4

$$A_I = \frac{-h_{fe}}{1 + h_{oe}R'_L} = \frac{-50}{1 + (9{,}52/40)} = -40{,}3$$

$$R_i = h_{ie} + h_{re}A_I R'_L = 1{,}1 - 2{,}5 \times 10^{-4} \times 40{,}3 \times 9{,}52 = 1{,}00 \text{ K}$$

$$A_V = \frac{A_I R'_L}{R_i} = \frac{-40{,}3 \times 9{,}52}{1{,}00} = -384 .$$

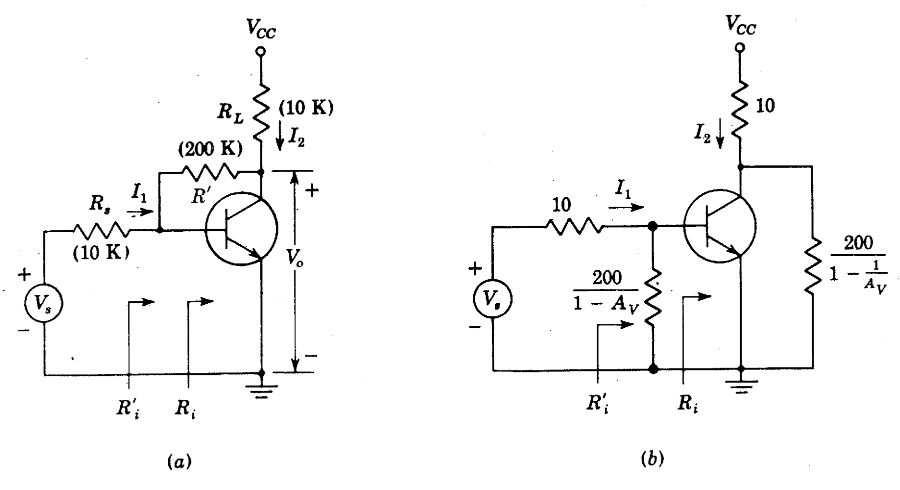


Fig. 8-18. Ejemplo de utilización del teorema de Miller

Así hemos comprobado el supuesto de que $-A_V \gg 1$.
Siendo $200/(1 - A_V) = 200/385 = 0{,}520$ K, entonces $R'_i = R_i \| (0{,}520)$ K, o sea

$$R'_i = \frac{1.000 \times 520}{1.520} = 343\ \Omega$$

$$A_{Vs} = A_V \frac{R'_i}{R'_i + R_s} = \frac{-384 \times 0{,}343}{0{,}343 + 10} = -12{,}7$$

$$A'_I = -\frac{I_2}{I_1} = \frac{V_o}{R_L}\frac{R'_i + R_s}{V_s} = A_{Vs}\frac{R'_i + R_s}{R_L} = -(12{,}7)\left(\frac{10{,}343}{10}\right) = -13{,}15$$

Dual del teorema de Miller. Consideremos la red de la Fig. 8-19*a* con elementos lineales arbitrarios entre los nudos 1, 2 y 3, y con una impedancia Z' entre el nudo 3 y la tierra N. Los dos lazos indicados están acoplados mediante el elemento común Z'. Suponemos conocida la relación de corrientes $A_I = -I_2/I_1$.

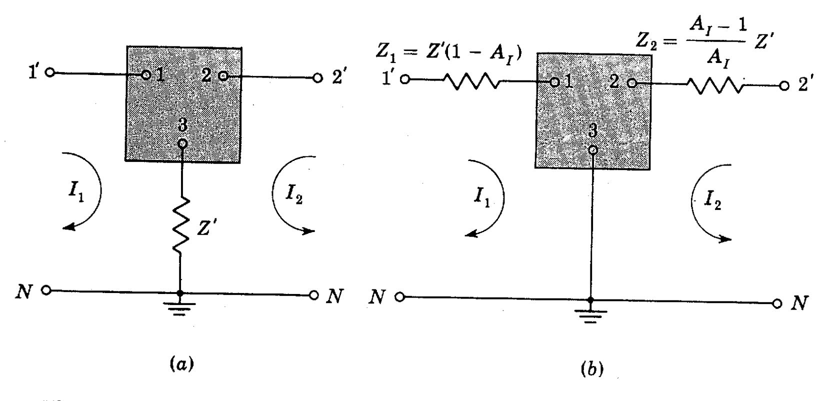


Fig. 8-19. Perteneciente al teorema dual de Miller. Por definición, $A_I \equiv -I_2/I_1$. Las redes en (*a*) y en (*b*) tienen las mismas corrientes I_1 e I_2 si se excitan con las mismas tensiones $V_{1'N}$ y $V_{2'N}$

El dual del teorema de Miller se indica en la Fig. 8-19*b*, en la que el nudo 3 está a tierra, se coloca una impedancia Z_1 en la malla 1, y otra Z_2 a la malla 2. Se puede comprobar que la tensión $I_1 Z_1$ iguala la caída de potencial $(I_1 + I_2)Z'$ en Z' si $Z_1 = Z'(1 - A_I)$. De ahí que $V_{1'N}$ sea la misma en los dos circuitos de la Fig. 8-19*a* y *b* (para las mismas corrientes I_1 e I_2). De igual forma, $V_{2'N}$ tiene el mismo valor en los dos circuitos si $Z_2 = [(A_I - 1)/A_I]\,Z'$. Las dos redes son, por tanto, idénticas, en el sentido de que, si se aplican las mismas tensiones $V_{1'N}$ y $V_{2'N}$ en ambas, las mismas corrientes I_1 e I_2 circularán por las mallas 1 y 2.

Esta transformación es extraordinariamente útil en el análisis de circuitos y se empleará en la sección 8-15.

8-12. AMPLIFICADOR A TRANSISTORES EN CASCADA

Cuando en un caso determinado no sea suficiente la amplificación con un solo transistor, o cuando la impedancia de entrada o de salida no sea del valor adecuado para una determinada aplicación, se pueden conectar dos o más etapas en cascada; es decir, que la salida de una etapa dada se conecta a la entrada de la próxima, tal como indica la Fig. 8-20. En la Fig. 8-21*a*, la primera etapa está conectada en emisor común, y la segunda en colector común. En la Fig. 8-21*b*, está dibujado el circuito para pequeña señal de un amplificador de dos etapas, sin la batería de polarización, para mayor simplicidad, ya que esto no afecta al cálculo con pequeñas señales.

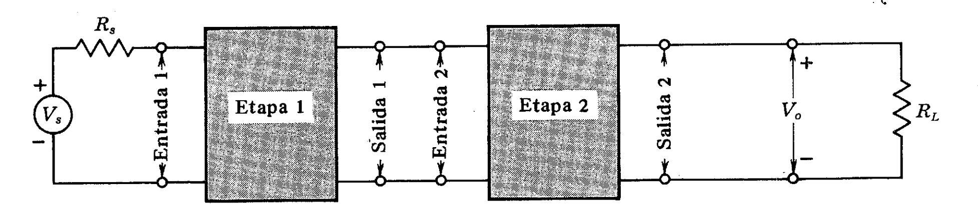


Fig. 8-20. Dos etapas en cascada

Para el análisis de un circuito como el de la Fig. 8-21, haremos uso de las expresiones generales de A_I, Z_i, A_V e Y_o de la Tabla 8-4. Es necesario disponer de los parámetros h de los transistores empleados en el circuito. Los valores de dichos parámetros para un determinado transistor, se obtienen normalmente de los folletos de las casas fabricantes.

Ejemplo. En la Fig. 8-21 se representa un amplificador de dos etapas en EC – CC. Los parámetros de los transistores en los respectivos puntos de reposo son:

$$h_{ie} = 2\text{ K} \quad h_{fe} = 50 \quad h_{re} = 6 \times 10^{-4} \quad h_{oe} = 25\ \mu\text{A/V}$$

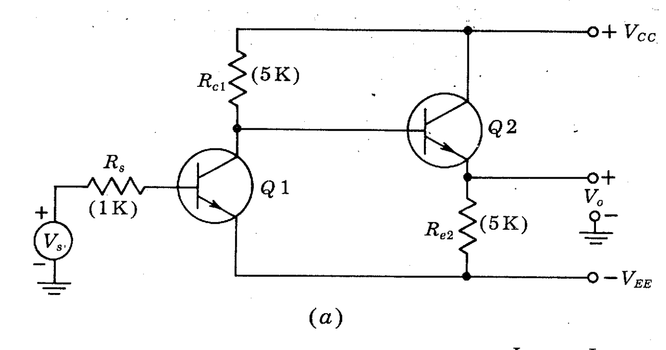
$$h_{ic} = 2\text{ K} \quad h_{fc} = -51 \quad h_{rc} = 1 \quad h_{oc} = 25\ \mu\text{A/V}$$

Hallar las impedancias de entrada y de salida así como las ganancias de tensión y de corriente, tanto individuales como totales.

SOLUCION. Observemos que, para etapas en cascada, la resistencia de colector de una etapa está en paralelo con la impedancia de entrada de la etapa siguiente. Por esto es más ventajoso empezar el análisis por la última etapa, y hallar primero (como se ha indicado en la Sec. 8-6) la ganancia de corriente, luego la impedancia de entrada, y luego la ganancia de tensión. Finalmente, la impedancia de salida puede calcularse, si se desea, empezando el análisis por la primera etapa y siguiendo hasta la última.

La segunda etapa. De la Tabla 8-4, con $R_L = R_{e2}$ la ganancia de corriente de la última etapa es:

$$A_{I2} = -\frac{I_{e2}}{I_{b2}} = \frac{-h_{fc}}{1 + h_{oc}R_{e2}} = \frac{51}{1 + 25 \times 10^{-6} \times 5 \times 10^3} = 45{,}3\,.$$



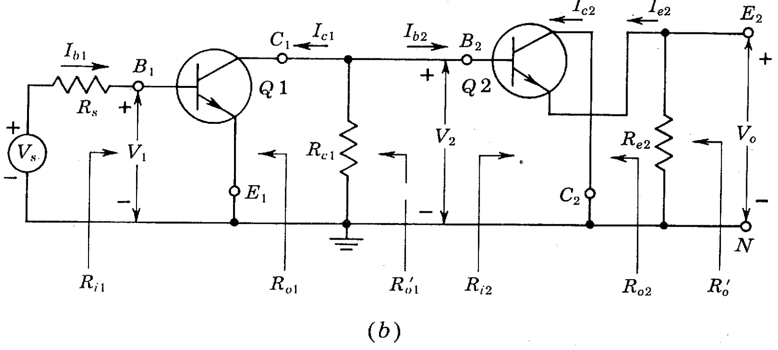


Fig. 8-21. *(a)* Amplificador emisor común-colector común. *(b)* Circuito de pequeña señal del amplificador EC-CC.

La impedancia de entrada R_{i2} será

$$R_{i2} = h_{ic} + h_{rc}A_{I2}R_{e2} = 2 + 45{,}3 \times 5 = 228{,}5 \text{ K}.$$

Obsérvese que existe una gran impedancia de entrada por ser una etapa en colector común. La ganancia de tensión de la segunda etapa será:

$$A_{V2} = \frac{V_o}{V_2} = A_{I2}\frac{R_{e2}}{R_{i2}} = \frac{45{,}3 \times 5}{228{,}5} = 0{,}991$$

o bien, partiendo de la ecuación (8-42)

$$A_{V2} = 1 - \frac{h_{ie2}}{R_{i2}} = 1 - \frac{2}{228{,}5} = 0{,}991$$

La primera etapa. Obsérvese que la resistencia de carga total de esta etapa R_{L1} es la combinación en paralelo de las R_{c1} y R_{i2} (se puede escribir en forma simbólica, $R_{L1} = R_{c1} \| R_{i2}$), o

$$R_{L1} = \frac{R_{c1}R_{i2}}{R_{c1} + R_{i2}} = \frac{5 \times 228{,}5}{233{,}5} = 4{,}9 \text{ K}$$

De ahí que:

$$A_{I1} = -\frac{I_{c1}}{I_{b1}} = \frac{-h_{fe}}{1 + h_{oe}R_{L1}} = \frac{-50}{1 + 25 \times 10^{-6} \times 4{,}9 \times 10^3} = -44{,}5$$

La impedancia de entrada de la primera etapa, que es también la impedancia de entrada del amplificador en cascada, viene dada por:

$$R_{i1} = h_{ie} + h_{re}A_{I1}R_{L1} = 2 - 6 \times 10^{-4} \times 44{,}5 \times 4{,}9 = 1{,}87 \text{ K}$$

La ganancia en tensión de la primera etapa es:

$$A_{V1} = \frac{V_2}{V_1} = \frac{A_{I1}R_{L1}}{R_{i1}} = \frac{-44{,}5 \times 4{,}9}{1{,}87} = -116{,}6$$

La admitancia de salida para el transistor es, de la Ec. (8-35) o de la Tabla 8-4:

$$Y_{o1} = h_{oe} - \frac{h_{fe}h_{re}}{h_{ie} + R_s} = 25 \times 10^{-6} - \frac{50 \times 6 \times 10^{-4}}{2 \times 10^3 + 1 \times 10^3} = 15 \times 10^{-6}\ \Omega^{-1}$$

$$= 15\ \mu\text{A/V}$$

de donde:

$$R_{o1} = \frac{1}{Y_{o1}} = \frac{10^6}{15}\ \Omega = 66{,}7 \text{ K}$$

La impedancia de salida de la *primera etapa, teniendo en cuenta* R_{c1}, es $R_{o1} \| R_{c1}$, o sea:

$$R'_{o1} = \frac{R_{c1}R_{o1}}{R_{c1} + R_{o1}} = \frac{5 \times 66{,}7}{5 + 66{,}7} = 4{,}65 \text{ K}$$

La resistencia de salida de la última etapa. La resistencia efectiva de la fuente R'_{s2} para el segundo transistor Q_2 será $R_{o1} \| R_{c1}$. Por lo tanto $R'_{o2} = R'_{o1} = 4{,}65$ K, o sea:

$$Y_{o2} = h_{oc} - \frac{h_{fc}h_{rc}}{h_{ic} + R'_{s2}} = 25 \times 10^{-6} - \frac{-51 \times 1}{2 \times 10^3 + 4{,}65 \times 10^3} = 7{,}70 \times 10^{-3} \text{ A/V}$$

Por lo tanto, $R_{o2} = 1/Y_{o2} = 130\ \Omega$, donde R_{o2} es la impedancia de salida del transistor $Q2$ en circuito abierto. La impedancia de salida R'_o del amplificador, teniendo en cuenta R_{e2}, es $R_{o2} \| R_{e2}$, o sea:

$$R'_o = \frac{R_{o2}R_{e2}}{R_{o2} + R_{e2}} = \frac{130 \times 5\,000}{130 + 5\,000} = 127\ \Omega$$

Las ganancias totales de corriente y tensión. La ganancia total de corriente de ambas etapas es:

$$A_I = -\frac{I_{e2}}{I_{b1}} = -\frac{I_{e2}}{I_{b2}}\frac{I_{b2}}{I_{c1}}\frac{I_{c1}}{I_{b1}} = -A_{I2}\frac{I_{b2}}{I_{c1}}A_{I1}$$

Y teniendo en cuenta la Fig. 8-22, tenemos:

$$\frac{I_{b2}}{I_{c1}} = -\frac{R_{c1}}{R_{i2}+R_{c1}} \tag{8-46}$$

De donde:

$$A_I = A_{I2}A_{I1}\frac{R_{c1}}{R_{i2}+R_{c1}} = 45{,}3 \times (-44{,}5) \times \frac{5}{228{,}5+5} = -43{,}2 \tag{8-47}$$

Para la ganancia de tensión del amplificador tenemos:

$$A_V = \frac{V_o}{V_1} = \frac{V_o}{V_2}\frac{V_2}{V_1} = A_{V2}A_{V1} \tag{8-48}$$

o sea

$$A_V = 0{,}99 \times (-116{,}6) = -115$$

La ganancia de tensión puede también obtenerse de:

$$A_V = A_I\frac{R_{e2}}{R_{i1}} = -43{,}2 \times \frac{5}{1{,}87} = -115$$

La ganancia de tensión total, contando también la impedancia de la fuente, viene dada por:

$$A_{Vs} = \frac{V_o}{V_s} = A_V\frac{R_{i1}}{R_{i1}+R_s} = -115 \times \frac{1{,}87}{1{,}87+1} = -75{,}3$$

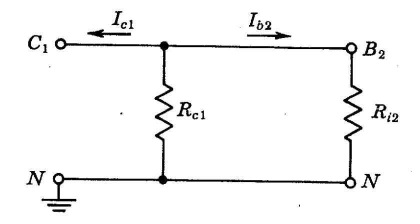


Fig. 8-22. Relativo al cálculo de la ganancia de corriente total

La Tabla 8-6 resume los resultados obtenidos en la solución de este problema.

TABLA 8-6 Resultados del ejemplo anterior

	Transistor $Q2$ CC	Transistor $Q1$ EC	Ambas etapas EC-CC
A_I	45,3	−44,5	−43,2
R_i	228,5 K	1,87 K	1,87 K
A_V	0,99	−116,6	−115
R'_o	127 Ω	4,65 K	127 Ω

Elección de la configuración de los transistores en cascada. Es importante tener en cuenta que los cálculos previos de las impedancias de entrada y de salida y de las ganancias de corriente y de tensión pueden aplicarse a cualquier montaje de las etapas en cascada. Pueden ser CC, BC, EC o combinaciones de las tres conexiones.

Vamos a considerar la siguiente cuestión: ¿Cuál de las tres conexiones posibles debe emplearse en el caso de que deseemos la máxima ganancia de tensión? Para las etapas intermedias, no se utiliza la conexión en CC porque su ganancia en tensión es menor que la unidad. Por lo tanto, no es posible (sin transformador) aumentar la ganancia total de tensión con etapas en cascada en CC.

Tampoco son interesantes las etapas con base a tierra y acopladas en RC, porque la ganancia total es aproximadamente la misma que la de la etapa de salida sola. Esto puede comprobarse de la siguiente manera: la ganancia de tensión de una etapa es igual a la ganancia de corriente multiplicada por la resistencia de carga efectiva R_L y dividida por la resistencia de entrada R_i. La resistencia efectiva de carga R_L es la combinación en paralelo de la resistencia de colector R_c y (excepto en la última etapa) la resistencia de entrada R_i de la etapa siguiente. La resultante en paralelo es evidentemente menor que R_i, y por tanto, la resistencia de carga efectiva es asimismo menor que R_i. La máxima ganancia de corriente es h_{fb}, que es menor (pero aproximadamente igual) que la unidad. De ahí que la ganancia en tensión de cualquier etapa (excepto la última o etapa de salida) sea menor que la unidad, (este análisis no es estrictamente correcto porque R_i es función de la resistencia de carga efectiva y, por lo tanto, varía de una a otra etapa).

Partiendo de que la ganancia de corriente en cortocircuito h_{fe} de una etapa en emisor común es mucho mayor que la unidad, es posible aumentar la amplificación de tensión acoplando estas etapas en cascadas. Podemos concluir que *en una cascada los transistores intermedios deben conectarse en configuración de emisor común.*

La selección de la etapa de entrada puede realizarse a partir de otro criterio que no sea buscar el valor máximo de la ganancia de tensión. Por ejemplo, la amplitud o la respuesta de frecuencia del transductor V_s pueden depender de la impedancia sobre la que opera. Algunos transductores precisan trabajar esencialmente en circuito abierto o en cortocircuito. En muchos casos se emplean, para la entrada, etapas en colector común o en base común, debido a las consideraciones de las impedancias, aun a expensas de la ganancia de tensión o de corriente. Otra consideración importante es el ruido, que puede determinar la elección de la configuración de la etapa de entrada.

La etapa de salida cabe seleccionarla también basándose en las consideraciones sobre la impedancia. Considerando que la configuración en CC tiene una resistencia de salida muy

pequeña, es la más empleada como última etapa, sobre todo en el caso de que se requiera atacar una pequeña impedancia de carga (quizás capacitiva).

8-13. MODELO HIBRIDO SIMPLIFICADO EN EMISOR COMUN[6]

En las secciones precedentes hemos detallado el cálculo de la ganancia de corriente, ganancia de tensión, e impedancias de entrada y de salida de algunos circuitos amplificadores a transistores.

No obstante, en la mayor parte de los casos prácticos será más indicado obtener valores aproximados de A_I, A_V, R_i, y R_o que realizar cálculos exhaustivos más laboriosos. Se justifica este hecho porque, normalmente, los parámetros h varían muy ampliamente en determinados tipos de transistores. También puede obtenerse una mejor apreciación intuitiva del comportamiento de un circuito a transistores con soluciones simples aproximadas, que con cálculos laboriosos.

Veremos seguidamente que dos de los cuatro parámetros h, h_{ie} y h_{fe} son suficientes para el análisis aproximado de los circuitos a transistores de baja frecuencia, suponiendo que la resistencia de carga es suficientemente pequeña para satisfacer la condición $h_{oe}R_L < 0{,}1$. El modelo simplificado se representa en la Fig. 8-23. Este circuito equivalente puede emplearse para cualquier configuración conectando a tierra el electrodo apropiado. La señal se conecta entre el terminal de entrada y tierra, y la carga entre el electrodo de salida y tierra. Examinando con detalle los errores introducidos al considerar este modelo simplificado, encontramos que si R_L no es mayor que $0{,}1/h_{oe}$, el error en A_I, R_i, A_V o R_c' es menor que el 10 por ciento.

Consideremos primeramente la configuración en emisor común. La Fig. 8-24 muestra la etapa en EC con el transistor reemplazado por el modelo aproximado de la Fig. 8-23. Comparemos los resultados exactos con los que se obtienen con el análisis simplificado:

Ganancia de corriente. Partiendo de la Tabla 8-4, la ganancia de corriente en EC viene dada por:

$$A_I = \frac{-h_{fe}}{1 + h_{oe}R_L} \tag{8-49}$$

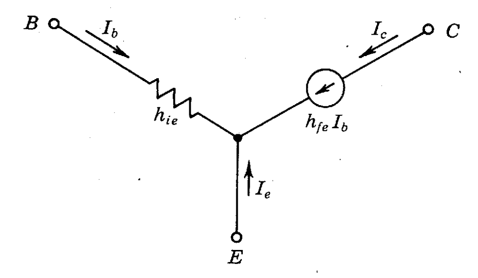


Fig. 8-23. Modelo híbrido aproximado que se puede emplear para las tres configuraciones en EC, CC, y BC

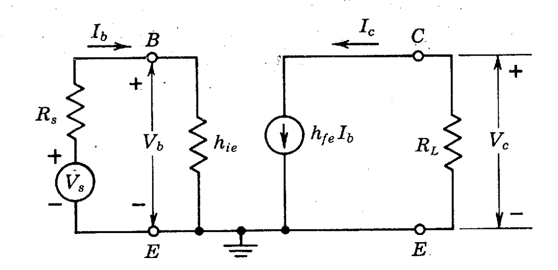


Fig. 8-24. Modelo en EC, aproximado

Se observa inmediatamente que la aproximación (Fig. 8-24)

$$A_I \approx -h_{fe}$$

sobreestima el valor de la ganancia de corriente en menos del 10 % si $h_{oe}R_L < 0{,}1$.

Impedancia de entrada. Partiendo de la Tabla 8-4 la resistencia de entrada viene dada por:

$$R_i = h_{ie} + h_{re}A_IR_L$$

que puede ponerse de la siguiente forma:

$$R_i = h_{ie}\left(1 - \frac{h_{re}h_{fe}}{h_{ie}h_{oe}}\frac{|A_I|}{h_{fe}}h_{oe}R_L\right) \tag{8-50}$$

Empleando los valores típicos de los parámetros h de la Tabla 8-2 encontramos $h_{re}h_{fe}/h_{ie}h_{oe} \approx 0{,}5$. Por la ecuación (8-49), vemos que $|A_I| < h_{fe}$. Por lo tanto, si $h_{oe}R_L < 0{,}1$, al considerar la ecuación (8-50) la aproximación hecha en la Fig. 8-24 de que:

$$R_i = \frac{V_b}{I_b} \approx h_{ie} \tag{8-51}$$

sobrevalora la resistencia de entrada en menos de un 5 %.

Ganancia de tensión. Partiendo de la Tabla 8-4, la ganancia de tensión viene dada por:

$$A_V = A_I\frac{R_L}{R_i} = -\frac{h_{fe}R_L}{h_{ie}} \tag{8-52}$$

Si tomamos los logarítmicos de esta ecuación y posteriormente la derivamos, obtenemos:

$$\frac{dA_V}{A_V} = \frac{dA_I}{A_I} - \frac{dR_i}{R_i} \tag{8-53}$$

Procediendo con el mismo razonamiento anterior, el máximo error para $h_{oe}R_L < 0{,}1$ será:

$$\frac{dA_I}{A_I} = +0{,}1 \quad \text{y} \quad \frac{dR_i}{R_i} = +0{,}05$$

Con lo que el máximo error en la ganancia de tensión será del 5 por ciento por exceso.

Impedancia de salida. El circuito simplificado de la Fig. 8-24 tiene resistencia de salida infinita porque, con $V_s = 0$ y aplicando una fuente externa de tensión a la salida, obtenemos $I_b = 0$, y por tanto $I_o = 0$. Sin embargo, el verdadero valor depende de la resistencia R_s de la fuente y está comprendido entre 40 y 80 K (Fig. 8-16*d*). Para una resistencia de carga máxima de $R_L = 4$ K la resistencia de salida de la etapa, teniendo en cuenta R_L, es de 4 K si se emplea el modelo simplificado, y la combinación en paralelo de 4 K con 40 K (en el peor de los casos), si se emplea la solución exacta. Por tanto, al emplear el modelo aproximado se obtiene un valor de la resistencia de salida en carga superior a la realidad, pero en menos de un 10 %.

La solución aproximada para la configuración en EC está resumida en la primera columna de la Tabla 8-7. Vemos, pues, que dos de los cuatro parámetros h_{ie} y h_{fe} serán suficientes para el análisis aproximado de circuitos a transistores para baja frecuencia, suponiendo que R_L no sea mayor que $0{,}1/h_{oe}$. Con los valores de h_{oe} dados en la Tabla 8-2, R_L debe ser menor de 4 K. El circuito aproximado será también válido cuando los transistores en EC trabajan en cascada, porque la baja impedancia de entrada de una etapa en EC está en paralelo con la salida de la etapa previa, de forma que la resistencia efectiva de carga R_L' satisface la ecuación $h_{oe}R_L' \leqslant 0{,}1$.

8-14. CALCULOS SIMPLIFICADOS PARA LA CONFIGURACION EN COLECTOR COMUN

La figura 8-25 muestra el circuito simplificado de la Fig. 8-23 con el colector a tierra (con respecto a la señal) y la carga R_L conectada entre el emisor y tierra.

Ganancia de corriente. En la Fig. 8-25 observamos que:

$$A_I = -\frac{I_e}{I_b} = 1 + h_{fe} \tag{8-54}$$

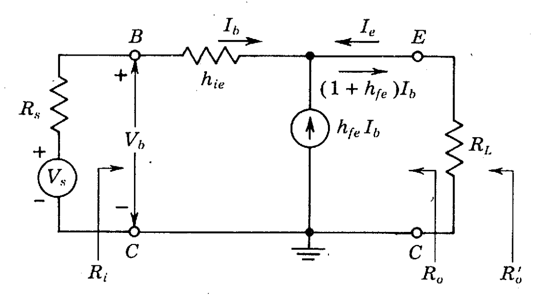


Fig. 8-25. Modelo híbrido simplificado para el circuito en CC

Comparando esta ecuación con la expresión exacta (8-40), sacamos la conclusión de que, cuando se emplea el circuito equivalente simplificado de la Fig. 8-25, la ganancia de corriente se sobreestima en menos de un 10 % si $h_{oe}R_L < 0{,}1$.

Resistencia de entrada. De la Fig. 8-25 obtenemos:

$$R_i = \frac{V_b}{I_b} = h_{ie} + (1 + h_{fe})R_L \tag{8-55}$$

Obsérvese que $R_i \gg h_{ie} \approx 1$ K, aun cuando R_L sea de 0,5 K, porque $h_{fe} \gg 1$. Si sustituimos la ecuación (8-54) en la expresión exacta (8-41), obtenemos la ecuación (8-55). Pero, hemos visto que la ecuación (8-54) daba un valor demasiado alto para A_I, pero como máximo de un 10 %. En consecuencia, la R_i calculada por la ecuación (8-55) o Fig. 8-25, está también sobrevalorada en menos de un 10 %.

Ganancia de tensión. Si se emplea la Ec. (8-53) para la ganancia de tensión, se pueden seguir los mismos argumentos empleados en el caso de EC, lo que nos dará un error muy pequeño en el valor de A_V. Vamos ahora a comprobarlo. La ganancia de tensión del seguidor de emisor es próxima a la unidad, y viene dada por la ecuación (8-42), o sea $1 - A_V = h_{ie}/R_i$. Si, por ejemplo, $R_i = 10h_{ie}$, entonces $A_V = 0{,}9$. Si usáramos un valor aproximado de R_i que fuese el 10 % más alto, entonces: $h_{ie}/R_i = \frac{1}{11} = 0{,}09$, y $A_V = 0{,}91$. Por tanto, el cálculo aproximado de A_V da un valor que es sólo un 1 % más elevado del real.

Impedancia de salida. En la Fig. 8-25, la tensión de salida en circuito abierto es V_s y la salida de corriente en cortocircuito es:

$$I = (1 + h_{fe})I_b = \frac{(1 + h_{fe})V_s}{h_{ie} + R_s}$$

Por tanto, la admitancia de salida del transistor sólo será, por la Ec. (8-36),

$$Y_o = \frac{I}{V_s} = \frac{1 + h_{fe}}{h_{ie} + R_s} \tag{8-56}$$

En la Ec. (8-43), el valor exacto de Y_o es

$$Y_o = h_{oe} + \frac{1 + h_{fe}}{h_{ie} + R_s} \tag{8-57}$$

Incluso si se elige un valor grande anormal para la resistencia de la fuente, por ejemplo $R_s = 100$ K, entonces (empleando los valores típicos de los parámetros h de la Tabla 8-2) vemos que el segundo término de la ecuación (8-57) es grande (500 μA/V) comparado con el primer término (25 μA/V). Por tanto, el valor aproximado de la admitancia de salida dado por la Ec. (8-56) es menor que el dado por la ecuación (8-57), pero en menos del 5 %. La resistencia de salida del transistor R_o, calculada por el modelo simplificado,

será:

$$R_o = \frac{h_{ie} + R_s}{1 + h_{fe}}$$

que tiene un sobrevalor inferior al 5 %. La resistencia de salida R'_o de la etapa, teniendo en cuenta la carga, es R_o en paralelo con R_L.

Se resume la solución aproximada para la configuración en CC en la tercera columna de la Tabla 8-7.

TABLA 8-7 Resumen de las ecuaciones aproximadas para $h_{oe}(R_e + R_L) \leqslant 0{,}1$*

	EC	EC con R_e	CC	BC
A_I	$-h_{fe}$	$-h_{fe}$	$1 + h_{fe}$	$-h_{fb} = \frac{h_{fe}}{1 + h_{fe}}$
R_i	h_{ie}	$h_{ie} + (1 + h_{fe})R_e$	$h_{ie} + (1 + h_{fe})R_L$	$h_{ib} = \frac{h_{ie}}{1 + h_{fe}}$
A_V	$-\frac{h_{fe}R_L}{h_{ie}}$	$-\frac{h_{fe}R_L}{R_i}$	$1 - \frac{h_{ie}}{R_i}$	$h_{fe}\frac{R_L}{h_{ie}}$
R_o	∞	∞	$\frac{R_s + h_{ie}}{1 + h_{fe}}$	∞
R'_o	R_L	R_L	$R_o \| R_L$	R_L

* $(R_i)_{CB}$ es por defecto en menos de un 10 %. Todas las demás cantidades, excepto R_o están por exceso en menos del 10 %.

Ejemplo. Calcular el amplificador de dos etapas de la Fig. 8-21 empleando el modelo simplificado de la Fig. 8-23.

SOLUCION. Obsérvese, primero, que puesto que $h_{oe}R_L = 25 \times 10^{-6} \times 5 \times 10^3 = 0{,}125$, ligeramente superior a 0,1, cabe esperar errores algo superiores al 10 %.

Para la etapa de salida en CC tenemos, según la Tabla 8-7

$$A_{I2} = 1 + h_{fe} = 51$$

$$R_{i2} = h_{ie} + (1 + h_{fe})R_L = 2 + (51)(5) = 257 \text{ K}$$

$$A_{V2} = 1 - \frac{h_{ie}}{R_{i2}} = 1 - \frac{2}{257} = 0{,}992$$

Para la etapa de entrada en EC, encontramos, según la Tabla 8-7:

$$A_{I1} = -h_{fe} = -50 \qquad R_{i1} = h_{ie} = 2 \text{ K}$$

La carga efectiva de la primera etapa, su ganancia en tensión y la impedancia de salida serán:

$$R_{L1} = \frac{R_{c1}R_{i2}}{R_{c1} + R_{i2}} = \frac{(5)(257)}{262} = 4{,}9 \text{ K}$$

$$A_{V1} = \frac{A_{I1}R_{L1}}{R_{i1}} = \frac{-(50)(4{,}9)}{2} = -123$$

$$R'_{o1} = R_{c1} = 5 \text{ K}$$

Ya que R'_{o1} es el valor efectivo de la impedancia de la fuente para Q_2, según la Tabla 8-7:

$$R_{o2} = \frac{h_{ie} + R_s}{1 + h_{fe}} = \frac{2\,000 + 5\,000}{51} = 137\ \Omega$$

$$R'_{o2} = \frac{R_{o2}R_{L2}}{R_{o2} + R_{L2}} = \frac{(137)(5\,000)}{5\,137} = 134\ \Omega$$

Finalmente, las ganancias totales de corriente y tensión de la cascada serán:

$$A_V = A_{V1}A_{V2} = (-123)(0{,}992) = -122$$

$$A_I = A_{I1}A_{I2}\ \frac{R_{c1}}{R_{c1} + R_{i2}} = (-50)(51)\left(\frac{5}{5 + 257}\right) = -48{,}7$$

A_V puede hallarse de otra manera, a partir de:

$$A_V = A_I\frac{R_{L2}}{R_{i1}} = -\frac{(48{,}7)(5)}{2} = -122$$

La Tabla 8-8 resume los resultados, que pueden compararse con los valores exactos de la Tabla 8-6. Vemos que el máximo error está ligeramente por encima del 10 %, como ya esperábamos. Podemos también observar que los valores aproximados son siempre por exceso, como habíamos predicho.

TABLA 8-8 Resultados aproximados del ejemplo anterior

	$Q2$, CC	$Q1$, EC	Ambas etapas
A_I	51	−50	−48,7
R_i	257 K	2 K	2 K
A_V	0,992	−123	−122
R'_o	134 Ω	5 K	134 Ω

Siguiendo procedimientos totalmente análogos a los explicados en las secciones 8-13 y 8-14 para los montajes en EC y CC, respectivamente, se obtienen las fórmulas aproximadas para una etapa en BC dadas en la cuarta columna de la Tabla 8-7.

8-15. EL AMPLIFICADOR EN EMISOR COMUN CON UNA RESISTENCIA DE EMISOR

Muy a menudo, los amplificadores a transistores consisten en un determinado número de etapas en EC en cascada. Teniendo en cuenta que la ganancia de tensión del amplificador es igual al producto de las ganancias de tensión de cada una de las etapas, resulta sumamente importante estabilizar la ganancia de cada una de ellas. Para estabilización de las ganancias de tensión y de corriente, es necesario que la amplificación sea esencialmente independiente de los parámetros h del transistor. Según la explicación de la Sec. 8-4, sabemos que los parámetros de un transistor dependen de la temperatura, del envejecimiento y del punto de trabajo. Además, estos parámetros varían ampliamente de una producción a otra aun dentro del mismo tipo de transistores.

Se puede ver la necesidad de una estabilización con el siguiente ejemplo: Vamos a comparar dos amplificadores comerciales de seis etapas. Si cada una de las etapas del primero tiene una ganancia de sólo un 10 % por debajo de la del segundo, su amplificación total será: $(0{,}9)^6 = 0{,}53$ (aproximadamente la mitad) respecto al otro. Este valor puede estar por debajo de las especificaciones requeridas. Un procedimiento efectivo y simple de obtener la estabilización de la ganancia en tensión es el de añadir una resistencia de emisor R_e en la etapa EC, como en la Fig. 8-26. Esta estabilización es debida a la realimentación introducida por la resistencia de emisor. El concepto general de realimentación se estudiará en el capítulo 13.

Vamos a demostrar que la presencia de R_e tiene los efectos siguientes sobre el comportamiento del amplificador, además del efecto beneficioso en la estabilidad de la polarización comentado en el Cap. 9: deja la ganancia de corriente A_I prácticamente constante; aumenta la impedancia en entrada en $(1 + h_{fe})R_e$; aumenta la impedancia de salida; y, con la condición de que $(1 + h_{fe})R_e \gg h_{ie}$, estabiliza la ganancia de tensión a un valor prácticamente igual a $-R_L/R_e$ (y por lo tanto independiente del transistor).

La solución aproximada. Para un análisis aproximado del circuito de la Fig. 8-26*a*, puede emplearse el modelo simplificado de la Fig. 8-25, resultando el circuito de la Fig. 8-26*b*.

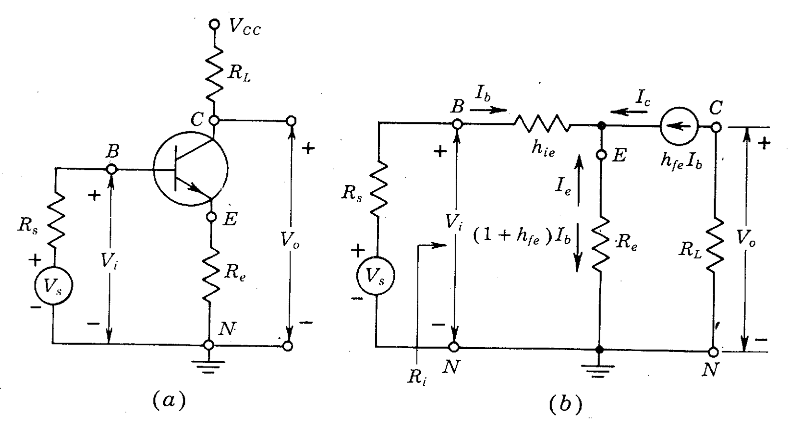


Fig. 8-26. (*a*) Amplificador en emisor común con una resistencia de emisor. (*b*) Circuito equivalente aproximado, para pequeña señal

La ganancia de corriente es, según Fig. 8-26*b*:

$$A_I = \frac{-I_c}{I_b} = \frac{-h_{fe}I_b}{I_b} = -h_{fe} \tag{8-58}$$

La ganancia de corriente iguala al valor en cortocircuito, y no está afectada por la colocación de R_e.

La resistencia de entrada puede obtenerse por la observación de la Fig. 8-26, y es:

$$R_i = \frac{V_i}{I_b} = h_{ie} + (1 + h_{fe})R_e \tag{8-59}$$

La resistencia de entrada se aumenta en $(1 + h_{fe})R_e$ y puede ser mucho mayor que h_{ie}. Por ejemplo, si $R_e = 1$ K y $h_{fe} = 50$, tendremos

$$(1 + h_{fe})R_e = 51\text{ K} \gg h_{ie} \approx 1\text{K}$$

En consecuencia, una resistencia de emisor aumenta considerablemente la resistencia de entrada.

La ganancia en tensión es

$$A_V = \frac{A_I R_L}{R_i} = \frac{-h_{fe}R_L}{h_{ie} + (1 + h_{fe})R_e} \tag{8-60}$$

Evidentemente, el hecho de agregar una resistencia en el emisor reduce la amplificación de tensión. Esta reducción en la ganancia es un precio razonable que pagar en aras de una mayor estabilidad. Observemos que, si $(1 + h_{fe})R_e \gg h_{ie}$ y puesto que $h_{fe} \gg 1$, entonces:

$$A_V \approx \frac{-h_{fe}}{1 + h_{fe}} \frac{R_L}{R_e} \approx \frac{-R_L}{R_e} \tag{8-61}$$

Contando con las aproximaciones anteriores, A_V es completamente estable (si se emplean resistencias estables para R_L y R_e), ya que es independiente de cualquier parámetro del transistor.

La resistencia de salida del transistor sólo será infinita (considerando R_L exterior) para el circuito aproximado de la Fig. 8-26, como lo era para el amplificador en EC de la Sec. 8-13 con $R_e = 0$. Así, pues, la impedancia de salida de la etapa, incluyendo la carga, es R_L.

Transistor visto desde la base y el emisor. A partir de la ecuación (8-59), se ha dibujado el circuito equivalente de la figura 8-27*a* para calcular la corriente de base al aplicar la fuente de señal. Esta red es el circuito equivalente "visto desde la base". Según esto:

$$I_b = \frac{V_s}{R_s + h_{ie} + (1 + h_{fe})R_e} \tag{8-62}$$

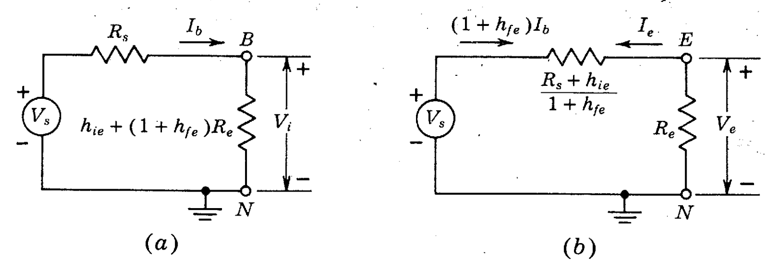


Fig. 8-27. (*a*) Circuito equivalente de la Fig. 8-26 "visto desde la base". Este circuito da (aproximadamente) la corriente de base correcta. (*b*) Circuito equivalente de la Fig. 8-26 "visto desde el emisor". Este circuito da (aproximadamente) la tensión de emisor correcta V_e y las corrientes de emisor y base también correctas

Según la Fig. 8-26 y la Ec. (8-62), la diferencia de potencial emisor-tierra será:

$$V_{en} \equiv V_e = (1 + h_{fe})I_b R_e = \frac{V_s R_e}{(R_s + h_{ie})/(1 + h_{fe}) + R_e} \tag{8-63}$$

Esta misma expresión puede obtenerse a partir de la Fig. 8-27*b* que representa por tanto el circuito equivalente "visto desde el emisor". De la Fig. 8-27*b* cabe obtener la corriente de emisor $I_e = -V_e/R_e$, así como la corriente de base $I_b = -I_e/(1 + h_{fe})$.

Obsérvese que I_b e $I_c = h_{fe}I_b$ son independientes de R_e, y por tanto los circuitos equivalentes aproximados de la Fig. 8-27 serán válidos también para el seguidor de emisor.

Validez de las aproximaciones. Para el caso de EC, con $R_e = 0$, el circuito equivalente aproximado de la Fig. 8-24 es válido si $h_{oe}R_L \leqslant 0{,}1$. ¿Qué restricciones corresponden al circuito con $R_e \neq 0$? Podemos responder a esta pregunta y, a la vez obtener una solución exacta, si queremos, por el procedimiento indicado en la Fig. 8-28. El valor exacto de la ganancia de corriente de la Fig. 8-28*a* (que será el mismo que para la Fig. 8-26*a*) es $A_I = -I_c/I_b$. La configuración de la Fig. 8-28*a* corresponde a la de la Fig. 8-19*a* con $Z' = R_e$, $I_1 = I_b$ e $I_2 = I_c$. A partir de esto, aplicando el dual del teorema de Miller (Fig. 8-19*b*),

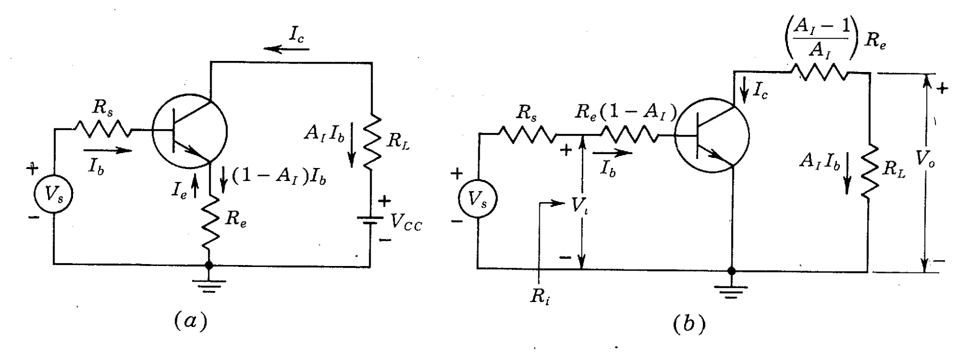


Fig. 8-28. (*a*) Etapa amplificadora a transistor con una resistencia de emisor desacoplada R_e. (*b*) Circuito equivalente para pequeña señal

obtenemos el circuito de la Fig. 8-28*b*. Los dos amplificadores de la Fig. 8-28*a* y *b* son equivalentes en el sentido de que las corrientes de base y de colector son las mismas en los dos circuitos.

La impedancia de carga efectiva R_L es, de la Fig. 8-28*b*,

$$R_L' = R_L + \frac{A_I - 1}{A_I} R_e \tag{8-64}$$

Sabemos, por la solución aproximada anterior, que $A_I \approx -h_{fe}$, y siendo $h_{fe} \gg 1$; resulta que, $R_L' \approx R_L + R_e$. Puesto que en la Fig. 8-28*b*, el emisor está a tierra y la resistencia del colector es R_L', el circuito aproximado de los dos parámetros (h_{ie} y h_{fe}) es válido, suponiendo que:

$$h_{oe}R_L' = h_{oe}(R_L + R_e) \leqslant 0{,}1 \tag{8-65}$$

Esta condición significa que la suma de R_L y R_e no vale más que unos pocos miles de ohms, por ejemplo, 4 K para $1/h_{fe} = 40$ K. Por otra parte, R_e suele ser varias veces menor que R_L para poder tener una ganancia de tensión apreciable [Ec. (8-61)].

La segunda columna de la Tabla 8-2 resume la solución aproximada de un amplificador en EC con una resistencia de emisor R_e.

La solución exacta. Si un determinado amplificador no cumple la desigualdad antes mencionada (8-65), la Fig. 8-28*b* y la Tabla 8-4 pueden darnos una solución exacta. Por ejemplo, la ganancia de corriente es:

$$A_I = \frac{-h_{fe}}{1 + h_{oe}R_L'} = \frac{-h_{fe}}{1 + h_{oe}\left(R_L + \frac{A_I - 1}{A_I} R_e\right)} \tag{8-66}$$

Podemos despejar A_I de la ecuación anterior, y obtenemos lo siguiente.

$$A_I = \frac{h_{oe}R_e - h_{fe}}{1 + h_{oe}(R_L + R_e)} \tag{8-67}$$

Si se satisface la desigualdad (8-65), entonces $h_{oe}R_e \ll h_{fe}$, y la expresión exacta (8-67) se reduce a $A_I \approx -h_{fe}$, de acuerdo con la Ec. (8-58).

La expresión exacta de la resistencia de entrada es, según la Fig. 8-28*b* y la Tabla 8-7:

$$R_i = \frac{V_i}{I_b} = (1 - A_I)R_e + h_{ie} + h_{re}A_I R_L' \tag{8-68}$$

donde R_L' viene dada por la Ec. (8-64). Habitualmente, el tercer término del segundo miembro puede despreciarse, comparado con los otros dos. La expresión exacta para la amplificación de tensión será:

$$A_V = \frac{A_I R_L}{R_i} \tag{8-69}$$

donde deben emplearse los valores exactos de A_I y de R_i dados por las ecuaciones (8-67) y (8-68).

La expresión exacta de la impedancia de salida (considerando R_L exterior al amplificador) es, según el problema 8-47,

$$R_o = \frac{1}{h_{oe}} \frac{(1+h_{fe})R_e + (R_s + h_{ie})(1 + h_{oe}R_c)}{R_e + R_s + h_{ie} - h_{re}h_{fe}/h_{oe}} \tag{8-70}$$

Obsérvese que si $R_e \gg R_s + h_{ie}$, entonces

$$R_o \approx \frac{1+h_{fe}}{h_{oe}} + \frac{(R_s + h_{ie})(1 + h_{oe}R_e)}{h_{oe}R_e}$$

$$= \frac{1}{h_{ob}} + (R_s + h_{ie}) \left(1 + \frac{1}{h_{oe}R_e}\right) \tag{8-71}$$

donde se emplean las fórmulas de conversión (Tabla 8-3) de los parámetros h en EC o en BC. Siendo $1/h_{ob} \approx 2$ M, vemos que, al añadir la resistencia de emisor, la resistencia de salida de la etapa en emisor común aumenta grandemente. Todo ello es cierto aun cuando R_e sea del mismo orden de magnitud que R_s y h_{ie}. Por ejemplo, para $R_e = R_s = 1$ K, y empleando los valores de los parámetros h de la Tabla 8-3, encontramos según la Ec. (8-70) que R_o = 817 K, que es cuando menos diez veces superior a la resistencia de salida del amplificador con $R_e = 0$ (Fig. 8-16*d*).

Efecto de una resistencia en el circuito de colector de un seguidor de emisor. Consideremos una etapa en *CC* con una resistencia de emisor R_e y una resistencia de colector R_c. La resistencia R_c se agrega normalmente al circuito para proteger al transistor contra eventuales cortocircuitos en R_e o contra una oscilación grande de la tensión de entrada.

Por la Fig. 8-28 vemos que la relación entre la ganancia de corriente en EC A_{Ie} (indicada simplemente A_I en la figura) y la ganancia de corriente en *CC* A_{Ic}, es:

$$A_{Ic} = 1 - A_{Ie} \tag{8-72}$$

donde

$$A_{Ic} = -\frac{I_e}{I_b} \quad \text{y} \quad A_{Ie} = -\frac{I_c}{I_b}$$

Sustituyendo la Ec. (8-67) en la Ec. (8-72) y reemplazando R_L por R_e, obtenemos la expresión exacta:

$$A_{Ic} = \frac{1 + h_{oe}R_c + h_{fe}}{1 + h_{oe}(R_c + R_e)} \tag{8-73}$$

El valor de R_i se obtiene a partir de la Ec. (8-68), reemplazando A_I por A_{Ie} y R_L por R_c. La ganancia de tensión del seguidor de emisor con la presencia de R_c en el circuito de

colector, se obtiene como sigue:

$$A_V = \frac{V_o}{V_i} = A_{Ic}\frac{R_e}{R_i} \tag{8-74}$$

Siempre que $h_{oe}(R_c + R_e) \leqslant 1$, las fórmulas dadas en la tercera columna de la Tabla 8-7 serán válidas, y la resistencia de protección R_c no tiene ningún efecto sobre el funcionamiento con pequeña señal de un seguidor de emisor.

8-16. CIRCUITOS A TRANSISTORES CON ALTA RESISTENCIA DE ENTRADA[7]

Para determinadas aplicaciones, es necesario emplear un amplificador con elevada impedancia de entrada. El seguidor de emisor estudiado en la Sec. 8-8 es suficiente para resistencias de entrada inferiores a 500 K. Para obtener impedancias mucho mayores, hay que recurrir a algún circuito como el de la Fig. 8-29*a*, denominado *conexión Darlington**. Obsérvese que los dos transistores componen una pareja en que la resistencia de entrada del segundo es la carga de emisor del primero. Profundizando más la cuestión, el circuito Darlington lo forman dos seguidores de emisor en cascada con una resistencia de emisor infinita en la primera etapa, tal como indica la Fig. 8-29*b*.

Refiriéndonos a la Fig. 8-30 realizaremos el análisis del seguidor de emisor compuesto de Darlington. Suponiendo que $h_{oe}R_e \leqslant 0{,}1$ y $h_{fe}R_e \gg h_{ie}$, tenemos según la Tabla 8-7, para la ganancia de corriente y la impedancia de entrada de la segunda etapa:

$$A_{I2} = \frac{I_o}{I_2} \approx 1 + h_{fe} \qquad R_{i2} \approx (1 + h_{fe})R_e \tag{8-75}$$

Puesto que la carga efectiva del transistor $Q1$ es R_{i2}, que en general no cumple la condición $h_{oe}R_{i2} \leqslant 0{,}1$, debemos emplear la expresión exacta de la ecuación (8-40) para la ganancia en corriente del primer transistor:

$$A_{I1} = \frac{I_2}{I_i} = \frac{1 + h_{fe}}{1 + h_{oe}R_{i2}} = \frac{1 + h_{fe}}{1 + h_{oe}(1 + h_{fe})R_e} \tag{8-76}$$

y puesto que $h_{oe}R_e \leqslant 0{,}1$, tenemos

$$A_{I1} \approx \frac{1 + h_{fe}}{1 + h_{oe}h_{fe}R_e} \tag{8-77}$$

La ganancia total de corriente de la Fig. 8-30 es:

$$A_I = \frac{I_o}{I_i} = \frac{I_o}{I_2}\frac{I_2}{I_i} = A_{I2}A_{I1}$$

* Para muchas aplicaciones es preferible emplear transistores de efecto campo (Cap. 10), de impedancia de entrada extremadamente alta, en vez de la pareja Darlington.

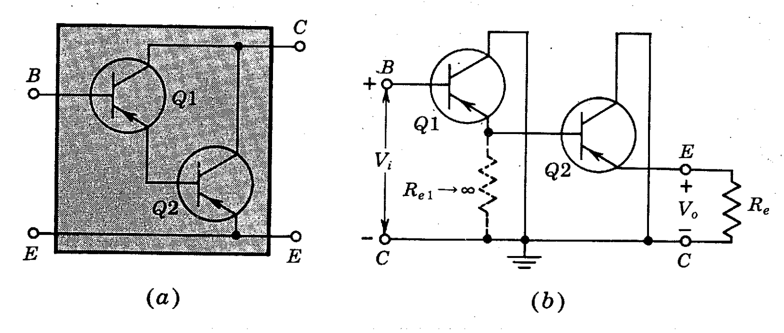


Fig. 8-29. *(a)* Par Darlington. Algunos fabricantes encapsulan este dispositivo como un solo transistor compuesto, con sólo tres terminales exteriores. *(b)* Circuito Darlington dibujado como dos etapas en cascada en colector común

o sea

$$A_I \approx \frac{(1+h_{fe})^2}{1+h_{oe}h_{fe}R_e} \tag{8-78}$$

De forma parecida, para la resistencia de entrada de $Q1$, debemos emplear Ec. (8-41)

$$R_{i1} = h_{ie} + A_{I1}R_{i2} \approx \frac{(1+h_{fe})^2 R_e}{1+h_{oe}h_{fe}R_e} \tag{8-79}$$

Esta ecuación de la resistencia de entrada del circuito Darlington es válida para $h_{oe}R_e \leqslant 0{,}1$ y puede compararse con la resistencia de entrada del seguidor de emisor de una sola etapa dada por la ecuación (8-55). Empleando los parámetros h de la Tabla 8-2, si R = 4 K obtenemos R_{i2} = 205 K para el seguidor de emisor y R_{i1} = 1,73 M para el circuito Darlington. Vemos también que A_I = 427, que es mucho mayor que la ganancia de corriente del seguidor de emisor (= 51).

Hemos supuesto en los cálculos anteriores que los parámetros h de $Q1$ y de $Q2$ eran idénticos. En realidad, normalmente no ocurre así, porque los parámetros h dependen del punto de reposo de $Q1$ y de $Q2$. Considerando que la corriente de emisor de $Q1$ es la

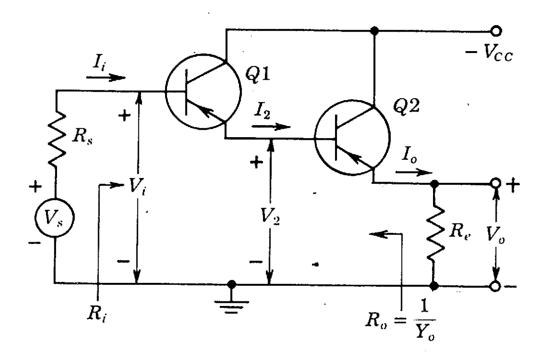


Fig. 8-30. Seguidor de emisor Darlington

corriente de base de $Q2$, la corriente de reposo de la primera etapa es mucho menor que la de la segunda. Según la Fig. 8-8, observamos que h_{fe} no varía grandemente con la corriente, y por tanto podemos suponer, en las ecuaciones anteriores, que:

$$h_{fe1} = h_{fe2} = h_{fe}$$

El símbolo h_{oe}, que crece rápidamente con la corriente, se refiere a $Q1$ en estas ecuaciones. Veremos en el capítulo 11 que la resistencia de entrada en cortocircuito varía aproximadamente en proporción inversa con la corriente de colector [Ec. (11-11)]. Considerando que la corriente en $Q2$ es $1 + h_{fe}$ veces la corriente en $Q1$, entonces $h_{ie1} \approx (1 + h_{fe})h_{ie2}$. Empleando esta relación, encontramos (Prob. 8-50) que la ganancia de tensión en un seguidor de emisor Darlington es:

$$A_V \approx 1 - \frac{h_{ie2}}{R_{i2}} \left(2 + h_{oe}h_{fe}R_e\right) \tag{8-80}$$

y la impedancia de salida es:

$$R_o \approx \frac{R_s}{(1+h_{fe})^2} + \frac{2h_{ie2}}{1+h_{fe}} \tag{8-81}$$

Por las ecuaciones anteriores se puede concluir que el seguidor de emisor Darlington tiene una impedancia de entrada mucho mayor y una ganancia de tensión menos cercana a la unidad que un seguidor de emisor de una sola etapa. La impedancia de salida del circuito Darlington puede ser mayor o menor que en el caso de un seguidor de emisor de un solo transistor, dependiendo del valor relativo de R_s con respecto a h_{ie2}. Si $R_s = 0$, entonces R_o para la combinación Darlington es el doble que para una sola etapa, lo que cabe ver comparando las ecuaciones (8-81) y (8-57).

El mayor inconveniente de la pareja de transistores Darlington es que la corriente de fuga del primer transistor es amplificada por el segundo. Debido a esto, en la práctica no se puede emplear un montaje Darlington con tres o más transistores.

El par compuesto de transistores de la Fig. 8-29*a* puede asimismo ser empleado como amplificador en emisor común. La ventaja de este par consiste en el valor total muy grande de h_{fe}, nominalmente igual al producto de las ganancias en cortocircuito de los dos transistores. En la práctica pueden encontrarse pares Darlington integrados con una h_{fe} de hasta 30.000.

El problema de la polarización. Al estudiar la pareja de transistores Darlington, hemos resaltado el elevado valor de la impedancia de entrada. En cambio, hemos simplificado el problema al no tener en cuenta el circuito de polarización utilizado. La Fig. 8-31*a* muestra una red de polarización típica formada por las resistencias R_1, R_2 y R_e. La resistencia de entrada R_i' de esta etapa (que se comentará con detalle en la Sec. 9-3) está constituida por $R_i \| R'$, donde $R' \equiv R_1 \| R_2$. Supongamos que el circuito de entrada se modifica como en la Fig. 8-31*b* agregando R_3 pero con $C' = 0$ (prescindiendo por el momento, de C'). Ahora R' aumenta hasta $R_3 + R_1 \| R_2$, pero como R_i es normalmente mucho mayor que R', resulta que $R_i' \approx R'$, que puede ser de unos pocos cientos de kilohms a lo sumo.

La disminución de la resistencia de entrada, debida a la red de polarización, puede llevarnos a modificar el circuito de entrada (Fig. 8-31*b*) agregando un condensador C'

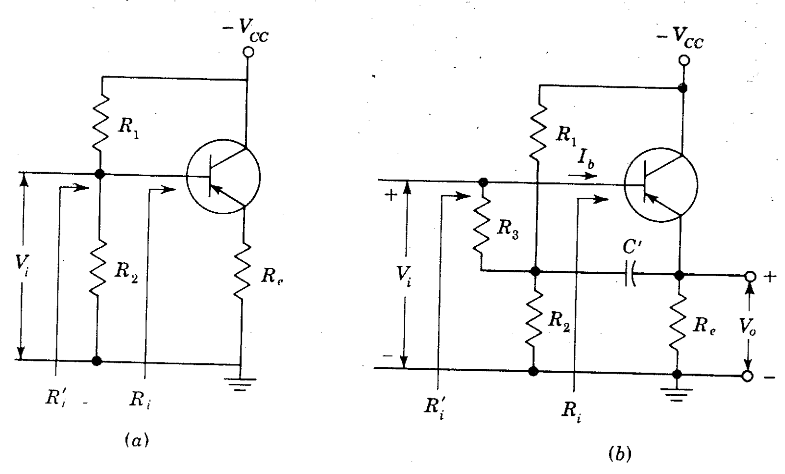


Fig. 8-31. *(a)* Circuito de autopolarización. *(b)* El principio del aumento simultáneo de tensión en ambos extremos de R_3 (Boostrap) incrementa el valor efectivo de R_3

entre el emisor y la unión de las resistencias $R1$ y $R2$. El condensador se elige bastante grande con el fin de que sea un cortocircuito para las más bajas frecuencias que se consideren. Así, pues, el extremo interior de R_3 está efectivamente conectado a la salida (al emisor), mientras que el otro extremo lo está a la entrada (a la base). Ya que la tensión de entrada es V_i y la de salida $V_o = A_V V_i$, puede hacerse el cálculo de la corriente que atraviesa R_3 debida a la señal de entrada, a partir del teorema de Miller y de la Fig. 8-17. Podemos ver entonces, que la red de polarización formada por R_1, R_2 y R_3 representa una resistencia efectiva de entrada:

$$R_{\text{eff}} = \frac{R_3}{1 - A_V} \tag{8-82}$$

Pero como, en un seguidor de emisor, A_V se aproxima a la unidad, R_{eff} es extremadamente grande. Por ejemplo, con $A_V = 0{,}995$ y $R_3 = 100\,\text{K}$, encontramos que $R_{\text{eff}} = 20\,\text{M}$. Observemos que la corriente de reposo de base atraviesa R_3, y por ende es probable que el límite superior de R_3 sea de unos pocos cientos de kilohms.

El efecto descrito, cuando $A_V \to +1$, se denomina en América "Bootstraping"*. La expresión proviene de que, si un extremo de la resistencia R_3 cambia de tensión, el otro extremo varía también en la misma cuantía como si "aumentara su propio valor tirando de sí misma". La resistencia de entrada del amplificador en CC dada por la Ec. (8-42) es $R_i = h_{ie}/(1\text{-}A_V)$. Esta expresión es de la misma forma que la Ec. (8-82), lo que es un ejemplo del efecto descrito sobre la resistencia h_{ie} entre base y emisor.

Para calcular A_I, R_i y A_V, deberíamos en principio tener en cuenta que el seguidor de emisor está cargado no solamente con R_e y $R_1 \| R_2$, sino también por R_3. La cuantía con que R_3 carga el seguidor de emisor puede calcularse de la siguiente manera: el extremo de emisor de R_3 tiene una tensión A_V veces superior a la del extremo de base. Según la

* Que significa aproximadamente "tirar del cordón". (*N. del T.*)

Fig. 8-17, demostrativa del teorema de Miller, el efecto de la resistencia visto entre el emisor y tierra no es R_3, sino que, exagerada por el efecto Miller, se transforma en:

$$R_{3M} = \frac{A_V R_3}{A_V - 1} \tag{8-83}$$

Debido a que A_V es positivo y ligeramente menor que la unidad, R_{3M} es una resistencia (negativa) de gran magnitud. Además, por estar en paralelo con una resistencia (positiva) apreciablemente menor R_e y con $R_1 \| R_2$, el efecto de R_3 normalmente será despreciable.

Circuito Darlington modificado. Vimos en el problema 8-16 que aun despreciando el efecto de las resistencias R_1, R_2 y R_3 y suponiendo infinita la resistencia de emisor, la máxima resistencia de entrada estaba limitada a $1/h_{ob} \approx 2\,\text{M}$. Ya que $1/h_{ob}$ es la resisten-

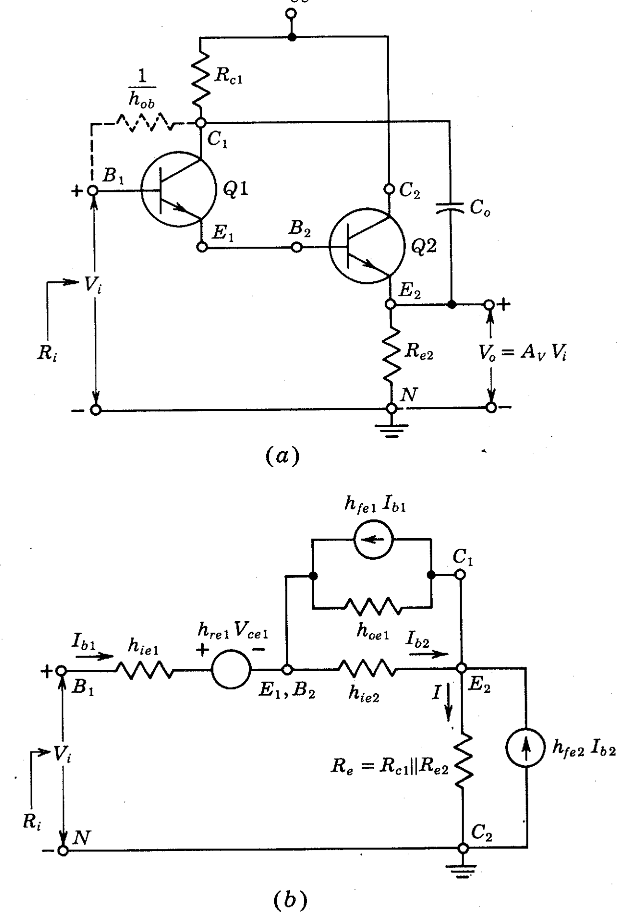


Fig. 8-32. *(a)* Circuito Darlington modificado. *(b)* Circuito equivalente

cia entre base y colector, puede aumentarse extraordinariamente la resistencia de entrada en el circuito Darlington agregando un condensador C_o entre el colector del primer transistor C_1 y el emisor del segundo E_2, tal como se indica en la Fig. 8-32*a*. Hay que tener en cuenta que la resistencia de colector R_{c1} es esencial porque sin ella R_{e2} estaría cortocircuitada a tierra. Si varía en V_i la señal de entrada, E_2 variará en $A_V V_i$ y (suponiendo que la reactancia de C_o sea despreciable) el colector cambiará en la misma cuantía. Por esto, $1/h_{ob}$ ha crecido efectivamente hasta un valor $1/(h_{ob})(1 - A_V) \approx 400$ M, para una ganancia de tensión de 0,995.

Con el circuito equivalente de la Fig. 8-32*b*, puede obtenerse una expresión de la resistencia de entrada R_i del par Darlington modificado. La resistencia efectiva R_e entre E_2 y tierra es $R_e = R_{c1} \| R_{e2}$. Si $h_{oe}R_e \leqslant 0{,}1$, el modelo aproximado de parámetros *h* puede representar *Q*2. Sin embargo, debe emplearse el modelo híbrido exacto indicado en la Fig. 8-32*b* para *Q*1. Puesto que $1/h_{oe1} \gg h_{ie2}$, puede omitirse h_{oe1} en esta figura. Despejando V_i/I_{b1}, obtenemos (Prob. 8-51):

$$R_i \approx h_{fe1} h_{fe2} R_e \tag{8-84}$$

Esta ecuación demuestra que la resistencia de entrada de un Darlington seguidor de emisor modificado, es esencialmente igual al producto de la ganancia de corriente en cortocircuito por la resistencia efectiva de emisor. Si $h_{fe1} = h_{fe2} = 50$ y $R_e = 4$ K, tendremos $R_i \approx 10$ M. Si se empleasen transistores con una ganancia de corriente de 100 en lugar de 50, la resistencia de entrada llegaría a ser de 40 M.

Cabe emplear la misma red de polarización de la Fig. 8-31 en el circuito de la Fig. 8-32. Entonces, la resistencia de entrada, teniendo en cuenta los efectos descritos en la base y en colector de *Q*1, sería $R_{\text{eff}} \| h_{fe1} h_{fe2} R_e$ en donde R_{eff} viene dada por la ecuación (8-82).

REFERENCIAS

1. "IRE Standards on Semiconductor Symbols", *Proc. IRE,* Vol. 44, pp. 935-937, julio de 1956.
2. "Transistor Manual", 7.ª ed., pp. 52-55, General Electric Company, Syracuse, N. Y., 1964.
3. Ref. 2, pp. 477-482.
4. Millman J. y H. Taub: "Pulse, Digital and Switching Waveforms", PP. 528-532, McGraw-Hill Book Company, Nueva York, 1965.
5. Miller, J. M.: "Dependence of the Input Impedance of a Three-electrode Vacuum Tube upon the Load in the Plate Circuit", *Natl. Bur. Std. (U.S.) Res. Papers,* Vol. 15, n.º 351, pp. 367-385, 1919.
6. Dion, D. F.: "Common Emitter Transistor Amplifiers", *Proc. IRE,* Vol. 46, p. 920, mayo de 1958.
7. Levine, I.: "Hight Input Impedance Transistor Circuits", *Electronics,* Vol. 33, pp. 50-54, septiembre de 1960.

TEMAS DE REPASO

8-1 Un transistor se excita mediante una gran corriente senoidal cuyo valor sobrepasa el valor del punto de reposo I_B para $0 < \omega t < \pi$ y es menor que I_B para $\pi < \omega t < 2\pi$. La variación de la magnitud de corriente de colector respecto a la de reposo, ¿será mayor en $\omega t = \pi/2$ o en $3\pi/2$? Razonar la respuesta con la ayuda de un gráfico.

8-2 La distorsión no lineal, ¿cuándo es mayor? ¿para una entrada senoidal de la corriente de base o para una entrada senoidal de la tensión de base? Explicarlo con la ayuda de las características de entrada y de salida del transistor.

8-3 Definir literalmente y como derivada parcial (*a*) h_{ie}; (*b*) h_{fe}; (*c*) h_{re}; (*d*) h_{oe}. Indicar en cada caso la variable que se mantiene constante y dar las dimensiones de cada parámetro *h*.

8-4 Repetir el ejercicio 8-3 para (*a*) h_{ic}; (*b*) h_{fc}; (*c*) h_{rc}; (*d*) h_{oe}.

8-5 Repetir el ejercicio 8-3 para (*a*) h_{ib}; (*b*) h_{fb}; (*c*) h_{rb}; (*d*) h_{ob}.

8-6 Dibujar el circuito de un transistor en configuración de EC y determinar su modelo híbrido.

8-7 Repetir el ejercicio 8-6 para la configuración en CC

8-8 Repetir el ejercicio 8-6 para la configuración en BC.

8-9 Explicar cómo se obtienen, a partir de la característica de salida, (*a*) h_{fe}; (*b*) h_{oe}.

8-10. Demostrar que (*a*) $h_{ie} = h_{ic}$; (*b*) $h_{fc} = -(h_{fe} + 1)$; (*c*) $h_{oe} = h_{oc}$; (*d*) $h_{rc} = 1\ h_{re}$.

8-11 Determinar (para $I_E \approx 1$ mA) el orden de magnitud (incluyendo el signo) de (*a*) h_{ib}; (*b*) h_{ie}; (*c*) h_{re}; (*d*) h_{rc}; (*e*) h_{fb}; (*f*) h_{fe}; (*g*) h_{fc}; (*h*) $1/h_{oe}$; (*i*) $1/h_{ob}$.

8-12 En función de los parámetros *h* y de la impedancia de carga, deducir las expresiones de (*a*) A_I y (*b*) R_i.

8-13 Deducir la expresión de A_V en función de A_I.

8-14 En función de los parámetros *h* y de la resistencia de la fuente, obtener la ecuación de la admitancia de salida.

8-15 Hállese (*a*) A_{Vs} en función de A_V; (*b*) A_{Is} en función de A_I.

8-16 ¿Cuál de las configuraciones (BC, EC, CC) tiene la (*a*) mayor R_i; (*b*) menor R_i; (*c*) mayor R_o; (*d*) menor R_o; (*e*) menor A_V; (*f*) menor A_I.

8-17 Enunciar (*a*) el teorema de Thévenin; (*b*) el teorema de Norton; (*c*) los corolarios de estos teoremas.

8-18 (*a*) Dibujar el circuito de un seguidor de emisor. (*b*) Citar sus tres características más importantes.

8-19 (*a*) Enunciar el teorema de Miller con la ayuda del diagrama de un circuito. (*b*) Repetirlo para el dual del teorema de Miller.

8-20 Dibujar un amplificador en cascada con dos etapas: la primera en EC y la segunda en CC. En función de A_{V1}, A_{V2}, A_{I1} y A_{I2}, obtener la expresión de (*a*) la ganancia de tensión resultante A_V; (*b*) la ganancia de corriente resultante A_I.

8-21 Se desea obtener una elevada ganancia con gran impedancia de entrada y baja impedancia de salida. Empleando un amplificador de cuatro etapas, ¿cuál configuración debería tener cada una de ellas?

8-22 Utilizando el modelo aproximado con parámetros híbridos, obtener la expresión de (*a*) A_I; (*b*) R_i; (*d*) R_o para un circuito en EC.

8-23 Repetir el ejercicio 8-22 para un circuito seguidor de emisor.

8-24 Repetir el ejercicio 8-22 para un circuito EC con resistencia en el emisor.

8-25 Repetir el ejercicio 8-22 para un seguidor de emisor con resistencia en el colector.

8-26 Dibujar el circuito equivalente de un circuito en EC con una resistencia de emisor (o de un seguidor de emisor), visto desde (*a*) la base y (*b*) el emisor.

8-27 Hallar un circuito con el emisor a tierra que equivalga a un circuito en EC con resistencia en el emisor. Este nuevo circuito tendrá resistencias agregadas a la base y al colector, y éstas dependerán del valor de A_I.

8-28 (*a*) Dibujar un seguidor de emisor Darlington. (*b*) Explicar por qué la impedancia de entrada es mayor que en el caso de un seguidor de emisor de una sola etapa.

8-29 (*a*) Indicar el circuito de un seguidor de emisor con resistencia de polarización R_1 y R_2. Demostrar que la resistencia de entrada es reducida debido a estas resistencias de polarización. (*b*) Añadir una resistencia intercalada R_3 y explicar cómo ésta aumenta la impedancia de entrada.

9

Polarización y estabilización térmica del transistor

Este capítulo presenta los métodos para establecer el punto de reposo de un amplificador a transistores en la región activa de las características. El punto de funcionamiento varía con los cambios de la temperatura T, debido a que los parámetros del transistor (β, I_{CO}, y V_{BE}) son funciones de T. Estableceremos un criterio para comparar la estabilidad de los diferentes circuitos de polarización. También presentaremos distintas técnicas de compensación para la estabilización del punto de reposo.

9-1. EL PUNTO DE FUNCIONAMIENTO

De las explicaciones sobre las características del transistor dadas en las secciones 5-6 a 5-8, aparece claro que el transistor funciona más linealmente cuando se limita a trabajar en la región activa. Para establecer un punto de funcionamiento en esta región, hay que aplicar tensiones y corrientes continuas apropiadas, empleando alimentaciones exteriores. Una vez establecido un punto Q, como el indicado en la Fig. 8-2a, los recorridos de la señal de entrada (corriente de base por ejemplo) en función del tiempo darán lugar a una señal de salida (tensión o corriente de colector) de la misma forma de onda. Si la señal de salida no es una fiel reproducción de la señal de entrada, por ejemplo si está recortada por un lado, el punto de funcionamiento no es el satisfactorio y debe ser colocado de nuevo en las características de colector. La cuestión estriba ahora, en cómo elegir el punto de funcionamiento. La Fig. 9-1 representa un circuito de transistor en emisor común, y en la 9-2 sus características de salida. Obsérvese que, si bien somos libres de escoger R_c, R_L, R_b y V_{CC}, no podemos hacer trabajar el transistor en cualquier punto de la región activa debido a que las diversas características del transistor limitan su margen de empleo útil. Estas características limitadoras (indicadas en las especificaciones de los fabricantes) son la disipación máxima de colector $P_{C,\max}$, la tensión máxima $V_{C,\max}$, la corriente de colector máxima $I_{C,\max}$, y la máxima tensión emisor-base $V_{EB,\max}$. En la fig. 9-2, aparecen tres de estos límites sobre las características típicas de colector.

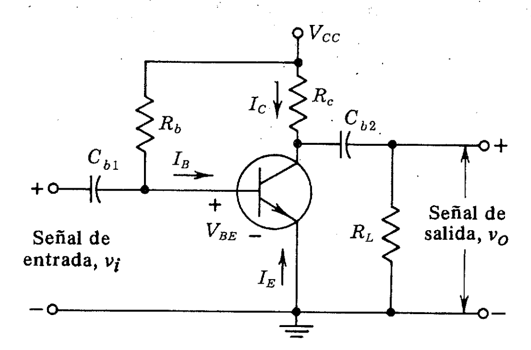


Fig. 9-1. Circuito de polarización fija

Acoplamiento capacitivo. Obsérvese en el circuito de la Fig. 8-1, que ningún lado del generador de señal está a tierra, y que se emplea una fuente auxiliar de polarización V_{BB}. Estas dos dificultades pueden soslayarse empleando un condensador C_{b1} acoplado entre la señal de entrada y el transistor, como indica la Fig. 9-1. En este esquema, uno de los terminales de v_i está a tierra, y la alimentación del colector V_{CC} también suministra la corriente de polarización de base I_B. En condiciones de reposo (sin entrada de señal), C_{b1} (denominado condensador de *bloqueo*) actúa como un circuito abierto, debido a que la reactancia del condensador es infinita a frecuencia cero (tensión continua). Las capacidades de C_{b1} y C_{b2} se eligen lo suficientemente grandes para que, a la menor frecuencia de excitación, sus reactancias sean lo bastante pequeñas como para que puedan considerarse cortocircuitos. Estos condensadores de acoplo bloquean la tensión continua, pero dejan el paso libre a las tensiones de la señal. Por ejemplo, la tensión de reposo del colector no aparecerá en la salida; en cambio, v_o es la réplica amplificada de la señal de entrada v_i. La señal de salida (alterna o incremental) puede aplicarse a la entrada de otro amplificador sin afectar su polarización gracias al condensador de bloqueo C_{b2}. En la Sec. 12-8, consideraremos el efecto de la capacidad finita del condensador de bloqueo sobre la respuesta de frecuencia del amplificador.

Rectas de carga estática y dinámica. Hemos indicado más arriba que, con tensión continua, C_{b2} actúa como un circuito abierto. Por lo tanto, la corriente y la tensión de reposo de colector se obtienen dibujando una recta de carga estática (en continua) correspondiente a la resistencia R_c que pasa por el punto $i_C = 0, v_{CE} = V_{CC}$, como se indica en la Fig. 9-2. Si $R_L = \infty$ y si la señal de entrada es grande y simétrica (corriente de base), deberemos localizar el punto de reposo Q_1 en el centro de la recta de carga. De esta forma, la tensión y corriente de colector pueden variar más o menos simétricamente en torno a los valores de reposo: V_C e I_C respectivamente. Si $R_L \neq \infty$, se puede dibujar una recta de carga *dinámica* (en alterna). Como hemos supuesto que a la frecuencia de la señal, C_{b2} actúa como un cortocircuito, la carga efectiva R'_L del colector es R_c en paralelo R_L. La recta de carga dinámica debe pasar por el punto de reposo Q_1 y ha de tener una pendiente correspondiente a $R'_L = R_c \| R_L$. Esta recta de carga en alterna aparece en la Fig. 9-2, en la que observamos que la señal de entrada puede desviarse un máximo de aproximadamente $40\,\mu A$ en torno a Q_1, ya que, si la corriente de base disminuye en más de ese valor, el transistor se corta.

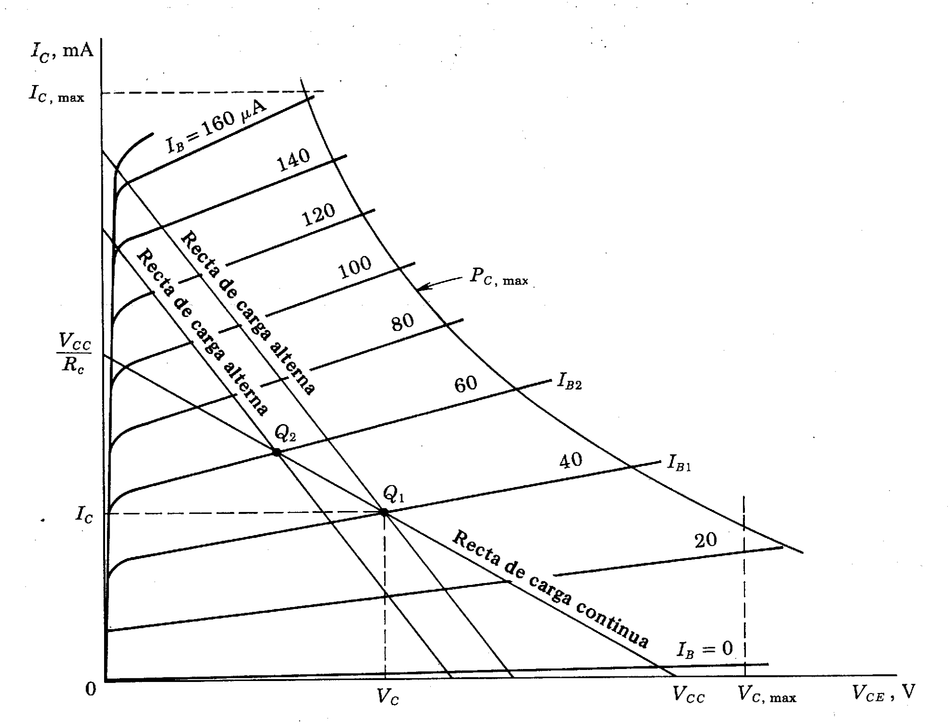


Fig. 9-2. Características de colector en emisor común; rectas de carga en continua (estática) y en alterna (dinámica)

Si es presumible una variación de entrada más elevada, para evitar el corte durante una parte del ciclo, el punto de reposo debe localizarse en un punto de corriente más elevada. Por ejemplo, por simple tanteo localizaremos Q_2 en *la recta de carga estática* de tal forma que una recta con una pendiente correspondiente a una resistencia R'_L en alterna y dibujada de modo que pase por Q_2, dé una salida lo mayor posible sin demasiada distorsión. En la Fig. 9-2, el punto Q_2 permite una variación de pico de la corriente de entrada de aproximadamente $60\,\mu A$.

Circuito de polarización fija. El punto Q_2 puede establecerse observando en la Fig. 9-2 la corriente I_{B2} precisa, y eligiendo la resistencia R_b de la Fig. 9-1 de tal forma que la corriente de base sea I_{B2}. Por lo tanto:

$$I_B = \frac{V_{CC} - V_{BE}}{R_b} = I_{B2} \tag{9-1}$$

La tensión V_{BE} en la unión de emisor polarizada en directo es (Tabla 5-1) aproximadamente de 0,2 V para un transistor de germanio y de 0,7 V para uno de silicio en la región activa. Como V_{CC} es normalmente mucho mayor que V_{BE}, tenemos:

$$I_B \approx \frac{V_{CC}}{R_b} \tag{9-2}$$

La corriente I_B es constante, y la red de la Fig. 9-1 se denomina *circuito de polarización fija*. En resumen, vemos que la selección del punto Q depende de un determinado número de factores. Entre estos factores, tenemos las cargas en continua y en alterna de la etapa, la potencia de alimentación disponible, los valores máximos del transistor, los valores de pico de la señal y la tolerancia en la distorsión.

9-2. ESTABILIDAD DE LA POLARIZACION

En la sección precedente hemos examinado el problema de la selección del punto de funcionamiento Q en la recta de carga del transistor. Vamos a considerar ahora algunos de los problemas para mantener estable el punto de funcionamiento.

Vamos a referirnos al circuito de polarización de la Fig. 9-1. En este circuito, la corriente de base I_B se mantiene constante ya que $I_B \approx V_{CC}/R_b$. Supongamos que el transistor de la Fig. 9-1 es reemplazado por otro del mismo tipo. A despecho de los grandes esfuerzos que se han hecho en la tecnología de la fabricación de dispositivos semiconductores, los transistores de un determinado tipo todavía salen al mercado con una gran dispersión de los valores de sus parámetros. Por ejemplo, en la Fig. 5-15 puede verse una variación de $h_{FE} \approx \beta$, de aproximadamente 3 a 1. Para informar al respecto, en las tablas de datos de los transistores es frecuente que aparezcan tres columnas de valores: máximos, mínimos y medios.

En la Sec. 5-6 vimos que el espaciado de las curvas características de salida aumenta o disminuye (para iguales cambios en I_B) a la vez que lo hace β. En la Fig. 9-3 hemos supuesto que β es mayor para el nuevo transistor de la Fig. 9-1, y como I_B se mantiene constantemente igual a I_{B2} por la polarización externa del circuito, el punto de reposo se desplazará hacia Q_2. Este punto de trabajo nuevo puede ser completamente insatisfactorio. Incluso puede darse el caso de que el transistor entre en saturación. Vemos, pues, que manteniendo I_B constante no se logra la estabilización del punto de funcionamiento al variar β. Por el contrario, I_B debería variar al variar β para mantener constantes I_C y V_{CE}.

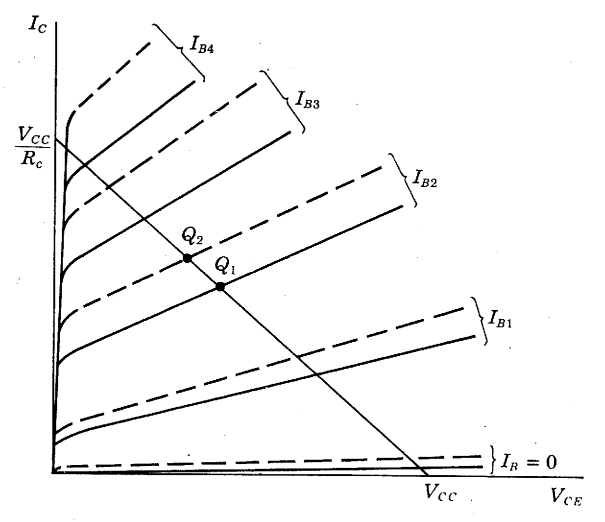


Fig. 9-3. Gráfico de las características de colector de dos transistores del mismo tipo. Las características a trazos son las de un transistor cuya β es mucho mayor que la del transistor representado por las curvas continuas

Inestabilidad térmica. Una segunda causa muy importante de inestabilidad de la polarización es la variación de temperatura. En la Sec. 5-7 vimos que la corriente inversa de saturación I_{CO}* cambia grandemente con la temperatura. Sabemos que I_{CO} se duplica cada 10° C de aumento de temperatura, cosa que puede provocar dificultades prácticas considerables para emplear el transistor como elemento de un determinado circuito. Por ejemplo, la corriente del colector I_C da lugar a un aumento de temperatura en la unión del colector lo cual revierte en un incremento de I_{CO}. Como resultado de este aumento de I_{CO}, I_C crecerá [Ec. (5-16)], lo cual seguirá aumentando la temperatura de la unión, y en consecuencia I_{CO}. Puede ocurrir que esta sucesión ininterrumpida se transforme en acumulativa, hasta el punto de sobrepasar los máximos valores tolerados por el transistor y estropear el elemento.

Aunque no se llegue a los extremos indicados anteriormente, puede suceder que el transistor que en un principio estaba polarizado en la región activa se traslade por sí mismo a la región de saturación como consecuencia de esta inestabilidad del punto de funcionamiento (Sec. 9-9). Vemos ahora como puede suceder esto; obsérvese que si $I_B = 0$, entonces, de la Ec. (5-16), $I_C = I_{CO}\,(1 + \beta)$. A medida que la temperatura aumenta, I_{CO} crece, y aun suponiendo que β permanece constante (en realidad también crece) es evidente que la línea $I_B = 0$ en las características de salida en emisor común, se moverá hacia arriba. Las características para otros valores de I_B también se moverán hacia arriba en la misma cuantía (suponiendo que β permanezca constante), y en consecuencia el punto de funcionamiento se desplazará, si forzamos que I_B permanezca constante. En la Fig. 9-4 vemos las características de salida del transistor 2N708 a las temperaturas de

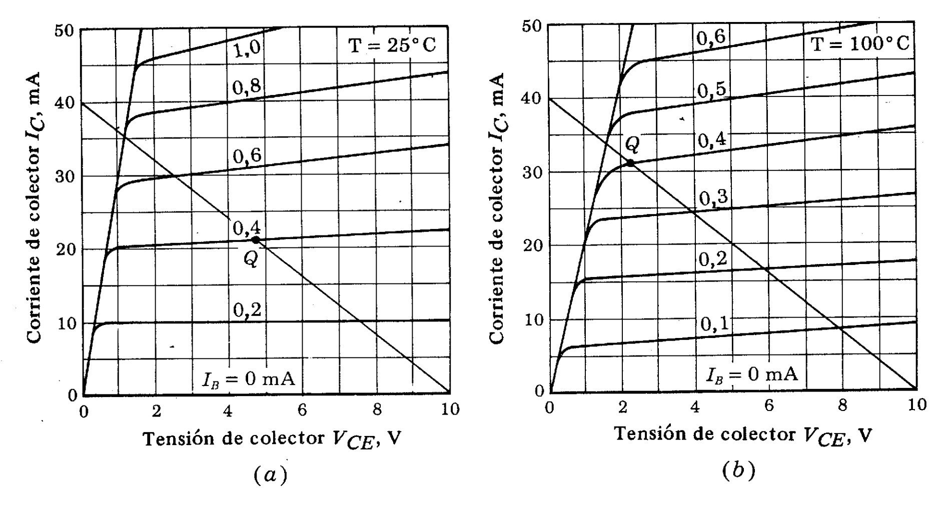


Fig. 9-4. Características de salida en emisor común del transistor *n-p-n* de silicio planar difusión, 2N708: (*a*) a 25° C y (*b*) a 100° C. (Cortesía de Fairchild Semiconductor.)

* A lo largo de este capítulo I_{CBO} se abreviará como I_{CO} (Sec. 5-7).

+ 25 y + 100° C. Este transistor, empleado en el circuito de la Fig. 9-1 con $V_{CC} = 10$ V, $R_c = 250\ \Omega$, $R_b = 24$ K, trabaja en Q con $I_B = (10 - 0{,}7)/24 \approx 0{,}4$ mA. Por lo tanto, llegará casi a la región de saturación a + 100° C, mientras que estará en la mitad de la región activa a + 25° C.

9-3. AUTOPOLARIZACION, O POLARIZACION POR EMISOR

Uno de los circuitos que se emplean para obtener un punto de funcionamiento estable es la configuración de autopolarización de la Fig. 9-5*a*. La corriente en la resistencia R_e del emisor provoca una caída de potencial en dirección de la polarización inversa de la unión del emisor. Puesto que esta unión debe estar polarizada en sentido directo, la tensión de base se obtiene a partir de la fuente de alimentación a través de la red R_1R_2.

La razón física que mejora la estabilidad en este circuito es la que sigue: Si I_C tiende a aumentar, debido por ejemplo a que I_{CO} ha subido como resultado de una elevación de temperatura, la corriente en R_e aumenta. Como consecuencia de esto, aumenta la caída de potencial en R_e y la corriente de base disminuirá. Por lo tanto, I_C aumentará menos de lo que lo haría de no haberse instalado la resistencia de autopolarización R_e.

Análisis del circuito de autopolarización. Si se especifican los valores de los componentes del circuito de la Fig. 9-5*a*, el punto de reposo puede hallarse de la siguiente manera. Aplicando la ley de Kirchhoff de las tensiones al circuito de colector, tendremos:

$$-V_{CC} + I_C(R_c + R_e) + I_BR_e + V_{CE} = 0 \tag{9-3}$$

Si la caída en R_e debida a I_B es despreciable comparada con la debida a I_C, la relación entre I_C y V_{CE} es una línea recta cuya pendiente corresponde a $R_c + R_e$ y cuya intersección con $I_C = 0$ es $V_{CE} = V_{CC}$. Esta recta de carga se dibuja sobre las características de colector.

Si el circuito de la izquierda entre la base B y la tierra N de la Fig. 9-5*a* es reemplazado por su equivalente de Thévenin, se obtiene el circuito de dos mallas de la Fig. 9-5*b*, en

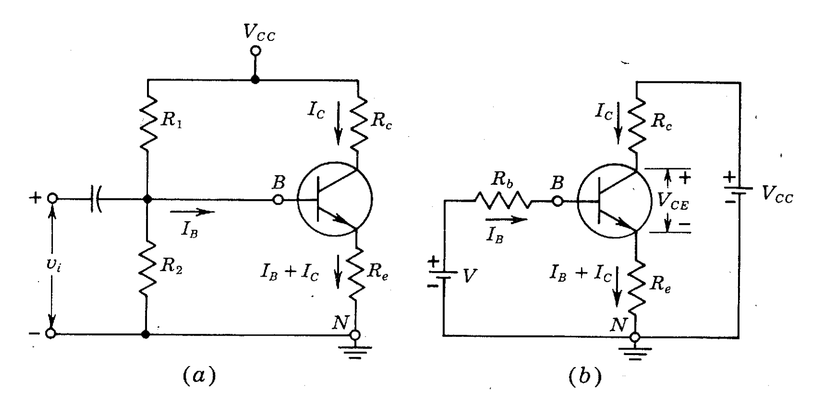


Fig. 9-5. (*a*) Circuito de autopolarización. (*b*) Simplificación del circuito de base de (*a*) empleando el teorema de Thévenin

donde:

$$V \equiv \frac{R_2V_{CC}}{R_2 + R_1} \qquad R_b \equiv \frac{R_2R_1}{R_2 + R_1} \tag{9-4}$$

Desde luego, R_b es la resistencia efectiva vista desde el terminal de la base hacia atrás. Aplicando la ley de Kirchhoff al circuito de la base:

$$V = I_BR_b + V_{BE} + (I_B + I_C)R_e \tag{9-5}$$

Si I_C de la Ec. (9-5) se sustituye en la Ec. (9-3) se obtendrá una relación entre I_B y V_{CE}. Para cada valor de I_B dado en las curvas del colector, se calcula V_{CE}. El lugar geométrico de los puntos correspondientes a V_{CE} e I_B sobre las características de salida en emisor común, se denomina *curva de polarización.* La intersección de la recta de carga con la curva de polarización es el punto de reposo.

En muchos casos, las características del transistor no están a nuestro alcance pero en cambio se conoce el valor de β. Entonces el cálculo del punto Q puede obtenerse analíticamente. En la región activa, la corriente de colector viene dada por la Ec. (5-16), es decir:

$$I_C = \beta I_B + (1 + \beta)I_{CO} \tag{9-6}$$

Las ecuaciones (9-5) y (9-6) pueden ahora resolverse para I_B e I_C (ya que V_{BE} en la región activa se conoce). Obsérvese que con este método las corrientes (en la región activa) se determinan por el circuito de base y los valores de β y de I_{CO}.

Ejemplo. Un transistor de silicio cuyas características de salida en emisor común son las indicadas en la Fig. 9-6*b*, va a ser empleado en el circuito de la Fig. 9-5*a*, siendo $V_{CC} = 22{,}5$ V, $R_c = 5{,}6$ K, $R_e = 1$ K, $R_2 = 10$ K, y $R_1 = 90$ K. Para este transistor, $\beta = 55$. Hallar el punto Q (*a*) gráficamente y (*b*) a partir del valor conocido de β.

SOLUCION. *a.* De las Ecs. (9-4) tenemos:

$$V = \frac{10 \times 22{,}5}{100} = 2{,}25 \text{ V} \qquad R_b = \frac{10 \times 90}{100} = 9{,}0 \text{ K}$$

El circuito equivalente aparece en la Fig. 9-6*a*. La recta de carga correspondiente a una resistencia total de 6,6 K y una alimentación de 22,5 V se traza sobre las características de colector de la Fig. 9-6*b*. Aplicando la ley de Kirchhoff de las tensiones a los circuitos de colector y de base, tendremos respectivamente, (con $V_{BE} = 0{,}65$):

$$-22{,}5 + 6{,}6I_C + I_B + V_{CE} = 0 \tag{9-7}$$

$$0{,}65 - 2{,}25 + I_C + 10{,}0I_B = 0 \tag{9-8}$$

Eliminando I_C de estas dos ecuaciones, encontraremos la ecuación de la curva de la polarización:

$$V_{CE} = 65{,}0I_B + 11{,}9$$

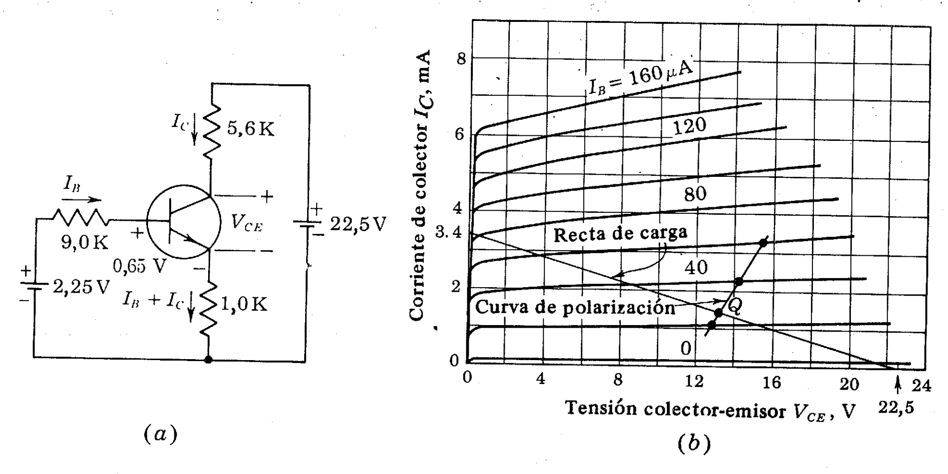


Fig. 9-6. (*a*) Ejemplo ilustrativo. (*b*) La intersección de la recta de carga con la curva de polarización determina el punto Q

Los valores de V_{CE} correspondientes a $I_B = 20$, 40, y 60 μA se obtienen de esta ecuación y se dibujan en la Fig. 9-6*b*. La intersección de la curva de polarización con la recta de carga tiene lugar a $V_{CE} = 13{,}3$ V, $I_C = 1{,}4$ mA, y de la ecuación de la curva de polarización, $I_B = 26\ \mu$A.

b. En muchos casos, las características del transistor no se conocen y, en cambio, se conoce β. Entonces el cálculo del punto Q puede llevarse a cabo de la siguiente manera: Para corrientes de base grandes comparadas con la corriente inversa de saturación ($I_B \gg I_{CO}$), se obtiene de la Ec. (9-6) que:

$$I_C = \beta I_B \tag{9-9}$$

Esta ecuación se puede emplear en lugar de las características del colector. Como $\beta = 55$ para el transistor empleado en este ejemplo, sustituyendo $I_B = I_C/55$ en la Ec. (9-8) para el circuito de base obtendremos:

$$-1{,}60 + I_C + \frac{10}{55} I_C = 0$$

o sea:

$$I_C = 1{,}36 \text{ mA} \quad \text{e} \quad I_B = \frac{I_C}{55} = \frac{1{,}36}{55} \text{ mA} = 24{,}8\ \mu\text{A}$$

Estos valores son muy cercanos a los encontrados a partir de las características.

La tensión colector-emisor puede hallarse de la Ec. (9-7) y de los valores conocidos de I_B e I_C:

$$-22{,}5 + 6{,}6 \times 1{,}36 + 0{,}025 + V_{CE} = 0$$

o sea:

$$V_{CE} = 13{,}5 \text{ V}$$

9-4. ESTABILIZACION FRENTE A LAS VARIACIONES DE I_{CO}, V_{BE}, Y β

Los motivos de inestabilidad de I_C son fundamentalmente tres[1], a saber: la corriente inversa de saturación I_{CO}, que se duplica por cada aumento en 10° C de temperatura; la tensión base-emisor V_{BE}, que disminuye a razón de 2,5 mV/° C tanto para el Ge como para el Si; y β, que aumenta con la temperatura (Tablas 9-1 y 9-2).

Despreciaremos la variación de V_{CE} con la temperatura, ya que esta variación es muy pequeña y suponemos que el transistor trabaja en la región activa, con lo que I_C es aproximadamente independiente de V_{CE}.

Característica de transferencia. En la Fig. 9-7 se dibuja la corriente de salida I_C en función de la tensión de entrada para el transistor de germanio, tipo 2N1631. Esta característica de transferencia para el Si aparece en la Fig. 5-17. Cada curva se desplaza hacia la izquierda a razón de 2,5 mV/° C (a I_C constante) al aumentar la temperatura. Vamos a examinar con detalle el efecto del desplazamiento de las características de transferencia y la variación de β y de I_{CO} con la temperatura. Si la Ec. (9-5) obtenida por la aplicación de las leyes de Kirchhoff al circuito de base del circuito autopolarizado de la Fig. 9-5*b*, se combina con la Ec. (9-6), que representa las características de colector en la región activa, resulta:

$$V_{BE} = V + (R_b + R_e)\frac{\beta + 1}{\beta} I_{CO} - \frac{R_b + R_e(1 + \beta)}{\beta} I_C \tag{9-10}$$

La ecuación (9-10) representa la recta de carga en el plano $I_C - V_{BE}$, y aparece

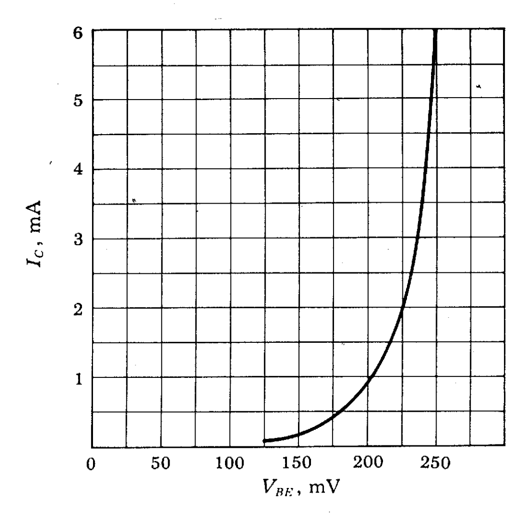


Fig. 9-7. Característica de transferencia del transistor de germanio, de aleación *p-n-p* 2N1631, a $V_{CE} = -9$ V y $T_A = 25°$ C. (Cortesía de Radio Corporation of America.)

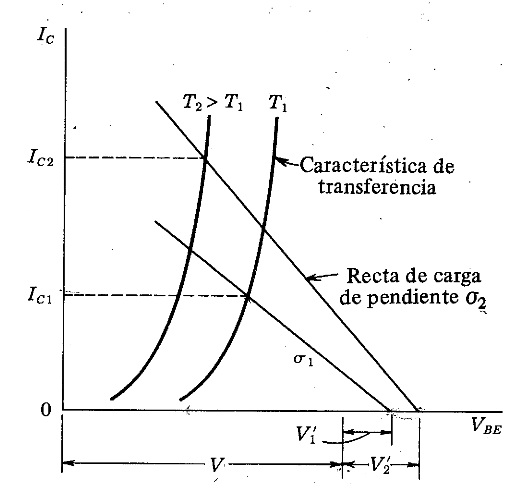


Fig. 9-8. Indica que la corriente de colector varía con la temperatura debido a que V_{BE}, I_{CO} y β cambian con T

indicada en la Fig. 9-8. La intersección con el eje V_{BE} es $V + V'$, en donde:

$$V' = (R_b + R_e)\frac{\beta + 1}{\beta} I_{CO} \approx (R_b + R_e) I_{CO} \tag{9-11}$$

ya que $\beta \gg 1$. Si a $T = T_1$ (T_2), $I_{CO} = I_{CO1}$ (I_{CO2}) y $\beta = \beta_1(\beta_2)$, entonces $V_1' \approx (R_b + R_e) I_{CO1}$ y $V_2' \approx (R_b + R_e) I_{CO2}$. Por lo tanto, la intersección de la recta de carga con el eje V_{BE} es función de la temperatura ya que I_{CO} aumenta con T. La pendiente de la recta de carga es

$$\sigma = \frac{-\beta}{R_b + R_e(1 + \beta)}$$

Y por lo tanto $|\sigma|$ aumenta con T debido a que β lo hace. La característica de transferencia para $T = T_2 > T_1$ se desplaza a la izquierda de la curva correspondiente a $T = T_1$, ya que V_{BE} (siendo I_C constante) varía con T, como se ha indicado más arriba. La intersección de la recta de carga con la característica de transferencia da la corriente de colector I_C. Vemos que $I_{C2} > I_{C1}$, ya que I_{CO}, β y V_{BE} varían todos con la temperatura.

Puesto que por la Ec. (9-10), I_C es función de I_{CO}, V_{BE} y β, es conveniente introducir las tres derivadas parciales de I_C respecto a estas variables. Estas derivadas se denominan *factores de estabilidad S, S', y S''* y se definen como sigue.

Factor de estabilización S. Definiremos S como el incremento de la corriente de colector respecto a la corriente de saturación inversa, conservándose β y V_{BE} constantes, o sea:

$$S \equiv \frac{\partial I_C}{\partial I_{CO}} \approx \frac{\Delta I_C}{\Delta I_{CO}} \tag{9-12}$$

Cuanto mayor el valor de S, más probable será la inestabilidad.* Empleando la definición anterior y la Ec. (9-10), tenemos:

$$S = (1 + \beta)\frac{1 + R_b/R_e}{1 + \beta + R_b/R_e} \tag{9-13}$$

Obsérvese que S varía entre 1 para pequeños R_b/R_e y $1 + \beta$ para $R_b/R_e \to \infty$. Si $\beta + 1 \gg R_b/R_e$, la Ec. (9-13) se reduce a:

$$S \approx 1 + \frac{R_b}{R_e} \tag{9-14}$$

Por lo tanto, para V_{BE} y β constantes, y S pequeño tendremos:

$$\frac{\Delta I_C}{I_C} \approx S\frac{\Delta I_{CO}}{I_C} \approx \frac{\Delta I_{CO}}{I_C} + \frac{R_b}{R_e}\frac{\Delta I_{CO}}{I_C} \tag{9-15}$$

En un diseño normal, $R_b/R_e > 1$, haciendo el segundo término de la Ec. (9-15) mayor que el primero. El denominador del segundo término es la caída de potencial en continua a través de R_e (ya que $|I_C| \approx |I_E|$).

Factor de estabilidad S'. La variación de I_C con V_{BE} viene dado por el factor de estabilidad S', definido por:

$$S' \equiv \frac{\partial I_C}{\partial V_{BE}} \approx \frac{\Delta I_C}{\Delta V_{BE}} \tag{9-16}$$

en donde I_{CO} y β se consideran constantes. De la Ec. (9-10) se deduce:

$$S' = \frac{-\beta}{R_b + R_e(1 + \beta)} = \frac{-\beta/R_e}{1 + \beta + R_b/R_e} \tag{9-17}$$

Si suponemos nuevamente que $\beta + 1 \gg R_b/R_e$, y que $\beta \gg 1$, la Ec. (9-17) se reduce a:

$$S' \approx \frac{\Delta I_C}{\Delta V_{BE}} \approx -\frac{1}{R_e} \tag{9-18}$$

o sea:

$$\frac{\Delta I_C}{I_C} \approx \frac{S'\Delta V_{BE}}{I_C} \approx -\frac{\Delta V_{BE}}{I_C R_e} \tag{9-19}$$

Por la ecuación anterior y la Ec. (9-15) vemos que el factor dominante en la estabilización

* En este caso S debería llamarse más apropiadamente *factor de inestabilidad.*

contra variaciones de I_{CO} y V_{BE} es la caída de potencial de reposo en la resistencia de emisor R_e. A mayor caída, menor es el porcentaje de variación de la corriente de colector debida a ΔI_{CO} y a ΔV_{BE}.

Factor de estabilidad S''. La variación de I_C respecto a β viene dada por el factor de estabilidad S'', definido por:

$$S'' \equiv \frac{\partial I_C}{\partial \beta} \approx \frac{\Delta I_c}{\Delta \beta} \tag{9-20}$$

en donde I_{CO} y V_{BE} se consideran constantes. De la Ec. (9-10):

$$I_C = \frac{\beta(V + V' - V_{BE})}{R_b + R_e(1+\beta)} \tag{9-21}$$

donde, por la Ec. (9-11), V' puede considerarse independiente de β. Después de derivar y de algunas transformaciones algebraicas obtendremos:

$$S'' = \frac{\partial I_C}{\partial \beta} = \frac{I_C S}{\beta(1+\beta)} \tag{9-22}$$

La variación de la corriente de colector debida a los cambios de β es:

$$\Delta I_C \approx S'' \Delta\beta = \frac{I_C S}{\beta(1+\beta)} \Delta\beta \tag{9-23}$$

en donde $\Delta\beta = \beta_2 - \beta_1$ puede representar un gran cambio de β. Por lo tanto, no queda claro si se debe emplear β_1, β_2 o quizás algún valor medio de β en las expresiones de S''. (Este problema no existe para S o S', ya que estos factores son bastante independientes de β). Esta dificultad se soslaya si se toman diferencias finitas para calcular S'' en lugar de hacerlo por las derivadas. Por lo tanto:

$$S'' \approx \frac{I_{C2} - I_{C1}}{\beta_2 - \beta_1} = \frac{\Delta I_C}{\Delta\beta} \tag{9-24}$$

De la Ec. (9-21) tenemos:

$$\frac{I_{C2}}{I_{C1}} = \frac{\beta_2}{\beta_1} \frac{R_b + R_e(1+\beta_1)}{R_b + R_e(1+\beta_2)} \tag{9-25}$$

Restando la unidad de ambos miembros de la ecuación (9-25), vemos que:

$$\frac{I_{C2}}{I_{C1}} - 1 = \left(\frac{\beta_2}{\beta_1} - 1\right) \frac{R_b + R_e}{R_b + R_e(1+\beta_2)} \tag{9-26}$$

o sea:

$$S'' = \frac{\Delta I_C}{\Delta\beta} = \frac{I_{C1} S_2}{\beta_1(1+\beta_2)} \tag{9-27}$$

donde S_2 es el valor del factor de estabilización S cuando $\beta = \beta_2$ calculado por la Ec. (9-13). Obsérvese que esta ecuación se reduce a la Ec. (9-22), cuando $\Delta\beta = \beta_2 - \beta_1 \to 0$.

Si suponemos que S_2 es pequeño hasta el punto de que el valor aproximado dado en la Ec. (9-14) sea válido, entonces de la Ec. (9-27) con $\beta \approx 1$ encontramos:

$$\frac{\Delta I_C}{I_{C1}} \approx \left(1 + \frac{R_b}{R_e}\right) \frac{\Delta\beta}{\beta_1\beta_2} = \left(1 + \frac{R_b}{R_e}\right) \frac{\beta_2/\beta_1 - 1}{\beta_2} \tag{9-28}$$

Es evidente que R_b/R_e debe tomarse pequeño. Asimismo, para una dispersión dada en el valor de β (por ejemplo, $\beta_2/\beta_1 = 3$), un circuito con β elevada será más estable que otro que utilice transistores de bajo valor de β.

La Ec. (9-27) es de primordial importancia ya que nos permite determinar el valor máximo de S_2 para una dispersión dada de β y una I_{C1} dada. Estas variaciones de β pueden ser debidas a cualquier causa, ya sea a cambios de temperatura, a la sustitución de un transistor, etc.

Ejemplo. El transistor tipo 2N335, empleado en el circuito de la Fig. 9-5*a*, puede tener cualquier valor de β comprendido entre 36 y 90 a la temperatura de 25° C, y la corriente I_{CO} tiene efectos despreciables sobre I_C a la temperatura ambiente. Hallar R_e, R_1, y R_2, sujetos a las siguientes especificaciones: $R_C = 4$ K, $V_{CC} = 20$ V; el punto de polarización nominal debe ser $V_{CE} = 10$ V, $I_C = 2$ mA; e I_C estará comprendido entre 1,75 a 2,25 mA cuando β varíe desde 36 a 90.

SOLUCION. Del circuito de colector (con $I_C \gg I_B$):

$$R_c + R_e = \frac{V_{CC} - V_{CE}}{I_C} = \frac{20 - 10}{2} = 5 \text{ K}$$

Por lo tanto, $R_e = 5 - 4 = 1$ K.

De la Ec. (9-27) podemos despejar S_2. Por lo tanto, con $\Delta I_C = 2{,}25 - 1{,}75 = 0{,}5$ mA, $I_{C1} = 1{,}75$ mA, $\beta_1 = 36$, $\beta_2 = 90$, y $\Delta\beta = 54$, obtendremos:

$$\frac{0{,}5}{54} = \frac{1{,}75}{36} \frac{S_2}{1+90}$$

o sea:

$$S_2 = 17{,}3$$

Sustituyendo $S_2 = 17{,}3$, $R_e = 1$ K, y $\beta_2 = 90$ en la Ec. (9-13) tendremos:

$$(17{,}3)(91 + R_b) = 91(1 + R_b)$$

de donde:

$$R_b = 20{,}1 \text{ K}$$

De la Ec. (9-10), con $I_C = 1{,}75$ mA, $\beta = 36$, $R_b = 20{,}1$ K, $R_e = 1$ K, $V_{BE} = 0{,}65$ V, e $I_{CO} = 0$, tendremos

$$V = V_{BE} + \frac{R_b + R_e(1+\beta)}{\beta} I_C = 0{,}65 + \left(\frac{20{,}1 + 37}{36}\right)(1{,}75) = 3{,}43 \text{ V}$$

De las ecuaciones (9-4), resolviendo para R_1 y R_2, encontramos:

$$R_1 = R_b \frac{V_{CC}}{V} = (20{,}1)\left(\frac{20}{3{,}43}\right) = 117 \text{ K}$$

$$R_2 = \frac{R_1 V}{V_{CC} - V} = \frac{(117)(3{,}43)}{20 - 3{,}43} = 24{,}2 \text{ K}$$

9-5. CONSIDERACIONES GENERALES SOBRE LA ESTABILIDAD DE LA CORRIENTE DE COLECTOR[2]

Los factores de estabilidad se han definido en la sección precedente, considerando las variaciones de la corriente de colector con respecto a I_{CO}, V_{BE}, y β. Estos factores de estabilidad se repiten aquí por mayor comodidad.

$$S = \frac{\Delta I_C}{\Delta I_{CO}} \qquad S' = \frac{\Delta I_C}{\Delta V_{BE}} \qquad S'' = \frac{\Delta I_C}{\Delta \beta} \tag{9-29}$$

Cada cociente diferencial (derivada parcial) se calcula con todos los demás parámetros mantenidos constantes.

Si deseamos obtener la variación total de la corriente de colector en un determinado margen de temperatura, se puede expresar como suma de las variaciones individuales debidas a los tres factores de estabilidad. Tomando la diferencial total de $I_C = f(I_{CO}, V_{BE}, \beta)$, obtenemos:

$$\Delta I_C = \frac{\partial I_C}{\partial I_{CO}} \Delta I_{CO} + \frac{\partial I_C}{\partial V_{BE}} \Delta V_{BE} + \frac{\partial I_C}{\partial \beta} \Delta \beta$$

$$= S\,\Delta I_{CO} + S''\,\Delta V_{BE} + S''\,\Delta \beta \tag{9-30}$$

Los factores de estabilidad pueden expresarse en función de los parámetros M definidos por:

$$M \equiv \frac{1}{1 + R_b/[R_e(1+\beta)]} \approx \frac{1}{1 + R_b/\beta R_e} \tag{9-31}$$

donde suponemos $\beta \gg 1$. Obsérvese que si $\beta R_e \gg R_b$, entonces $M \approx 1$. Sustituyendo las ecuaciones (9-13), (9-17) y (9-28) en la Ec. (9-30), tendremos la variación por unidad de la corriente del colector:

$$\frac{\Delta I_C}{I_{C1}} = \left(1 + \frac{R_b}{R_e}\right) \frac{M_1\,\Delta I_{CO}}{I_{C1}} - \frac{M_1 \Delta V_{BE}}{I_{C1} R_e} + \left(1 + \frac{R_b}{R_e}\right) \frac{M_2\,\Delta \beta}{\beta_1 \beta_2} \tag{9-32}$$

donde M_1 (M_2) corresponde a β_1 (β_2). Nótese que cuando T aumenta, $\Delta I_{CO}/I_{C1}$ y $\Delta\beta$ aumentan también, mientras que $\Delta V_{BE}/I_{C1}$ disminuye. Por lo tanto, todos los términos de la Ec. (9-32) son positivos para un incremento de T y negativos para una disminución de T.

Vamos a examinar ahora, con detalle, el orden de magnitud de los términos de la Ec. (9-32), ya sea para los transistores de germanio o bien los de silicio, en el margen completo de temperaturas de funcionamiento especificado por los fabricantes. Este intervalo suele ser de − 65 a + 75° C para los transistores de germanio y de − 65 a + 175° C para los de silicio.

TABLA 9-1 Parámetros típicos del transistor de silicio

T, °C	−65	+25	+175
I_{CO}, nA	1,95 × 10^{-3}	1,0	33.000
β	25	55	100
V_{BE}, V	0,78	0,60	0,225

TABLA 9-2 Parámetros típicos de un transistor de germanio

T, °C	−65	+25	+75
I_{CO}, μA	1,95 × 10^{-3}	1,0	32
β	20	55	90
V_{BE}, V	0,38	0,20	0,10

Las Tablas 9-1 y 9-2 muestran parámetros típicos de los transistores de silicio y de germanio, ambos con la misma β (55) a temperatura ambiente. Para el Si, I_{CO} es mucho menor que para el Ge. Obsérvese que I_{CO} se duplica aproximadamente por cada 10° C y $|V_{BE}|$ disminuye aproximadamente en 2,5 mV/° C.

Ejemplo. En el circuito autopolarizado de la Fig. 9-5*a*, R_e = 4,7 K, R_b = 7,75 K, y R_b/R_e = 1,65. La tensión de alimentación del colector y R_c se ajustan para establecer una corriente de colector de 1,5 mA a 25° C. (*a*) Determinar las variaciones de I_C en el margen de temperaturas de − 65 a + 175° C cuando se emplea el transistor de silicio de la Tabla 9-1. (*b*) Repetir (*a*) para el margen de − 65 a + 75° C cuando se emplea el transistor de germanio correspondiente a la Tabla 9-2.

SOLUCION. *a*. Como se conoce R_b/R_e, podemos encontrar el porcentaje de cambio de I_C empleando la Ec. (9-32). A la temperatura ambiente:

$$M_1 = \frac{1}{1 + R_b/\beta_1 R_e} = \frac{1}{1 + 1{,}65/55} = 0{,}97 \approx 1$$

Como a 175° C, β_2 = 100, M_2 está más cercano a la unidad que M_1. Por lo tanto, a T = + 175° C, supondremos $M_1 = M_2 = 1$. De la Ec. (9-32) tenemos:

$$\frac{\Delta I_C(+175°\text{ C})}{I_{C1}} = (1 + 1{,}65) \times \frac{33.000 \times 10^{-9}}{1{,}5 \times 10^{-3}} + \frac{0{,}6 - 0{,}225}{1{,}5 \times 4{,}7}$$

$$+ (1 + 1{,}65) \times \frac{100 - 55}{55 \times 100} = 5{,}82 + 5{,}32 + 2{,}17\ \%,$$

o sea que el cambio de la corriente de colector será:

$$\Delta I_C(+175^\circ \text{ C}) = 0{,}087 + 0{,}080 + 0{,}032 = 0{,}199 \text{ mA}$$

A -65° C, $M_2 = 1/(1 + 1{,}65/25) = 0{,}94$, y tendremos en cuenta este pequeño factor de corrección. Por la Ec. (9-32) encontramos:

$$\frac{\Delta I_C(-65^\circ \text{ C})}{I_{C1}} = -\frac{2{,}65 \times 10^{-9}}{1{,}5 \times 10^{-3}} - \frac{0{,}78 - 0{,}60}{1{,}5 \times 4{,}7} - \frac{2{,}65 \times (55-25) \times 0{,}94}{25 \times 55}$$

$$= 0 - 2{,}55 - 5{,}34 \%$$

o sea:

$$\Delta I_C(-65^\circ \text{ C}) = 0 - 0{,}038 - 0{,}080 = -0{,}118 \text{ mA}$$

Por lo tanto, para el transistor de silicio, la corriente de colector será aproximadamente de 1,70 mA a + 175° C y 1,38 mA a − 65° C.

b. De igual forma, para el transistor de germanio a + 75° C, hallamos con $M_1 \approx M_2 \approx 1$:

$$\frac{\Delta I_C(+75^\circ \text{ C})}{I_{C1}} = 2{,}65 \times \frac{31 \times 10^{-6}}{1{,}5 \times 10^{-3}} + \frac{0{,}10}{1{,}5 \times 4{,}7} + 2{,}65 \times \frac{35}{55 \times 90}$$

$$= 5{,}48 + 1{,}42 + 1{,}87 \%$$

o sea que el cambio de la corriente de colector será:

$$\Delta I_C(+75^\circ \text{ C}) = 0{,}082 + 0{,}021 + 0{,}028 = 0{,}131 \text{ mA}$$

A -65° C encontramos, con $M_1 \approx 1$ y $M_2 = 1/(1 + 1{,}65/20) = 0{,}93$,

$$\frac{\Delta I_C(-65^\circ \text{ C})}{I_{C1}} = 2{,}65 \times \frac{10^{-6}}{1{,}5 \times 10^{-3}} - \frac{0{,}18}{1{,}5 \times 4{,}7} - 2{,}65 \times \frac{35}{20 \times 55} \times 0{,}93$$

$$= -0{,}18 - 2{,}56 - 7{,}85 \%$$

o sea:

$$\Delta I_C(-65^\circ \text{ C}) = -0{,}003 - 0{,}038 - 0{,}118 = -0{,}159 \text{ mA}$$

Por tanto, para el transistor de germanio, la corriente del colector será aproximadamente de 1,63 mA a + 75° C y 1,34 mA a − 65° C.

Consideraciones prácticas. El ejemplo anterior revela la superioridad de los transistores de silicio sobre los de germanio, ya que aproximadamente, se obtiene el mismo cambio de la corriente de colector para variaciones de temperaturas muy superiores en los de silicio. En el ejemplo anterior, con $S \approx 1 + R_b/R_e = 2{,}65$ y $R_e = 4{,}7$ K, la variación de corriente en las temperaturas extremas es sólo del 10 %. Por lo tanto, este circuito podrá emplearse a temperaturas superiores a los 75° C para el germanio y a 175° C para el silicio. Si S es grande y R_e pequeña, la inestabilidad de corriente es mayor. Por ejemplo, en el Prob. 9-23 tenemos para $R_e = 1$ K y $S = 7{,}70$ que la corriente de colector a 25° C varía un 30 % entre 65° C y + 75° C (Ge) o entre − 65° C y + 175° C (Si). Este valor numérico indica porque se emplea raramente el transistor de germanio en torno a los 75° C, y el de silicio cerca de los 175° C. La importancia de tomar S y S' pequeños y β grande queda así clara.

La variación de la corriente de colector que puede tolerarse en cualquier aplicación específica, depende de las necesidades del diseño, tales como los picos de señal de tensión necesarios a través de R_c. Debemos puntualizar también que la tolerancia en las resistencias de polarización y en las tensiones de alimentación deben tenerse en cuenta, además de las variaciones de β, I_{CO} y V_{BE}.

Nuestras observaciones sobre estabilidad y los resultados obtenidos son independientes de R_c, y por tanto permanecen válidas para $R_c = 0$. Si la salida se toma en los extremos de R_e, el circuito resultante se denomina *seguidor de emisor* (Sec. 8-8). Si tenemos un seguidor de emisor directamente acoplado *excitado por una fuente de tensión ideal,* entonces $R_b = 0$ y este circuito puede emplearse para temperaturas más elevadas que un circuito similar con $R_b \neq 0$. Para el seguidor de emisor, la Ec. (9-32) se reduce a:

$$\frac{\Delta I_C}{I_{C1}} = \frac{\Delta I_{CO}}{I_{C1}} - \frac{\Delta V_{BE}}{I_{C1} R_e} + \frac{\Delta \beta}{\beta_1 \beta_2} \qquad (9\text{-}33)$$

En el ejemplo anterior, el aumento de corriente de colector entre 25 a 75° C en un transistor de germanio es de 0,08 mA debido a I_{CO}, 0,02 mA debido a V_{BE}, y 0,03 mA debido a β. Por lo tanto, para el Ge el efecto de I_{CO} tiene influencia dominante sobre la corriente del colector. Por otra parte, el aumento de I_C para el silicio en el intervalo entre 25 a 175° C a causa de I_{CO} es aproximadamente el mismo que el debido a V_{BE}, pero mucho menor el debido a β. No obstante, si se restringe el margen de temperaturas, por ejemplo, entre 25 a 145° C, entonces $\Delta I_C = 0{,}01$ mA debido a I_{CO} y $\Delta I_C = 0{,}06$ mA a causa de V_{BE}. Estos números se calculan como sigue: Si T_{max} se reduce de 175 a 145° C o sea 30°, I_{CO} queda dividido por $2^{\Delta T/10} = 2^3 = 8$. Por lo tanto, $S\Delta I_{CO} = 0{,}087/8 \approx 0{,}01$ mA. También ΔV_{BE} se incrementa en 30. 2,5 = 75 mV, o sea que ΔV_{BE} pasa desde − 0,375 a − 0,30 V y $S'\Delta V_{BE} \approx -\Delta V_{BE}/R_e = -0{,}30/4{,}7 = 0{,}06$ mA. Por lo tanto, para el Si, el efecto de V_{BE} es más importante que el de I_{CO} en la corriente de colector. Sin embargo para un transistor con pequeño β, una gran dispersión de β puede tener influencia dominante en I_C.

Ejemplo. Diseñar el circuito autopolarizado de la Fig. 9-5*a* empleando un transistor de Si del tipo 2N3565 para cumplir las siguientes especificaciones en el intervalo de temperatura de 25° a 65° C.

$$\frac{\Delta I_C}{I_C} \leqslant 15 \%$$

V_{BE} a 25° C = 650 ± 50 mV $\quad V_{CC} = 20$ V

β tiene una dispersión de 150 a 600 a $I_C = 1$ mA y $T = 25^\circ$ C.

El β más pequeño a 25° C = 150, el mayor β a 65° C = 1 200.

I_{CO} a 25° C = 50 nA max $\quad I_{CO}$ a 65° C = 3,0 μA max.

SOLUCION. Supondremos para nuestro diseño que cada uno de los factores I_{CO}, β y V_{BE} causa el mismo porcentaje de cambio (5 %) en I_C. Vamos a seguir el procedimiento por partes:

1. Seleccionaremos R_b/R_e empleando el término $\Delta\beta$ de la Ec. (9-32) y suponiendo $M \approx 1$.

$$\left(1+\frac{R_b}{R_e}\right)\frac{\Delta\beta}{\beta_1\beta_2}=\left(1+\frac{R_b}{R_e}\right)\times\frac{1\,200-150}{1\,200\times 150}=0{,}05$$

o sea:

$$\frac{R_b}{R_e}=7{,}56$$

Como el β más pequeño es 150:

$$1>M>\frac{1}{1+R_b/\beta R_e}=\frac{1}{1+7{,}56/150}=0{,}95$$

lo que justifica la suposición de que $M \approx 1$.

2. Seleccionaremos I_{C1}, considerando el término ΔI_{CO} de la Ec. (9-32):

$$\left(1+\frac{R_b}{R_e}\right)\frac{\Delta I_{CO}}{I_{C1}}=8{,}56\,\frac{3\times 10^{-6}}{I_{C1}}=0{,}05$$

o sea $I_{C1} = 0{,}515$ mA. Utilizaremos $I_C = 0{,}6$ mA.

3. Seleccionaremos $I_{C1}R_e$, considerando el término ΔV_{BE} en la Ec. (9-32). Ya que V_{BE} varía $-2{,}5$ mV/° C, $\Delta V_{BE} = -2{,}5 \times 40 = -100$ mV debido al intervalo de temperatura. Como hay una incertidumbre en V_{BE} a 25° C de ± 50 mV, el incremento total es $\Delta V_{BE} = -100 - 100 = -200$ mV $= -0{,}2$ V. Por lo tanto:

$$\frac{0{,}20}{I_{C1}R_e}=0{,}05 \qquad \text{o sea} \qquad I_{C1}R_e = 4\text{ V}$$

4. Ya que $I_{CI} = 0{,}6$ mA, entonces $R_e = 4/0{,}6 = 6{,}65$ K. Asimismo $R_b = (R_b/R_e)R_e = 7{,}56 \times 6{,}65 = 50$ K.

5. Para determinar el valor de las resistencias de polarización R_1 y R_2, debemos hallar primero V. De la Fig. 9-5*b* o de la Ec. (9-5), a 25° C y empleando el valor medio de $\beta = 1/2\,(150 + 600) = 375$,

$$V=I_BR_b+V_{BE}+(I_B+I_C)R_e=\frac{0{,}6\times 50}{375}+0{,}65+4=4{,}73\text{ V}$$

Resolviendo las Ecs. (9-4) para R_1 y R_2, obtendremos:

$$R_1=R_b\,\frac{V_{CC}}{V}=50\times\frac{20}{4{,}73}=211\text{ K}$$

$$R_2=\frac{R_1V}{V_{CC}-V}=\frac{211\times 4{,}73}{20-4{,}73}=66\text{ K}$$

El valor de R_c se selecciona considerando la ganancia para pequeña señal y el funcionamiento simétrico del circuito.

9-6. COMPENSACION DE LA POLARIZACION[2]

En nuestra explicación anterior vemos que al polarizar un transistor en la región activa deberá tratarse de mantener estable el punto de funcionamiento haciendo constantes I_C y V_{CE}. Las técnicas normalmente empleadas para ello pueden clasificarse en dos categorías: *técnicas de estabilización* y *técnicas de compensación.* Las técnicas de estabilización se refieren al empleo de circuitos de polarización resistivos (tales como los de la Fig. 9-5) que hacen variar I_B para mantener I_C relativamente constante, aun variando I_{CO}, β y V_{BE}. Las técnicas de compensación se refieren al empleo de elementos sensibles a la temperatura, tales como diodos, transistores, termistores, etc. Vamos a ver ahora dos circuitos que emplean diodo de compensación.

Compensación de V_{BE} por diodo. En la Fig. 9-9 se indica un circuito que emplea la técnica de autopolarización y compensación por diodo. Este diodo está polarizado en sentido directo por la fuente V_{DD} y la resistencia R_d. Si el diodo es del mismo material y tipo que el transistor, la tensión V_o entre sus extremos tendrá el mismo coeficiente de temperatura (– 2,5 mV/° C) que la tensión V_{BE} de base-emisor. Si aplicamos la ley de tensiones de Kirchhoff al circuito de base de la Fig. 9-9, la Ec. (9-21) se transforma en:

$$I_C=\frac{\beta[V-(V_{BE}-V_o)]+(R_b+R_e)(\beta+1)I_{CO}}{R_b+R_e(1+\beta)} \tag{9-34}$$

Puesto que V_{BE} sigue a V_o con respecto a la temperatura, es evidente por la Ec. (9-34) que I_C será insensible a las variaciones de V_{BE}. En la práctica, la compensación de V_{BE} no es exacta, pero sí suficientemente efectiva para compensar la mayor parte de la desviación de los transistores debida a las variaciones de V_{BE}.

Compensación de I_{CO} por diodo. Demostramos en la Sec. 9-5 que las variaciones de V_{BE} con la temperatura contribuyen apreciablemente a las variaciones de la corriente de colector de los transistores de silicio. En cambio, para los transistores de germanio, los

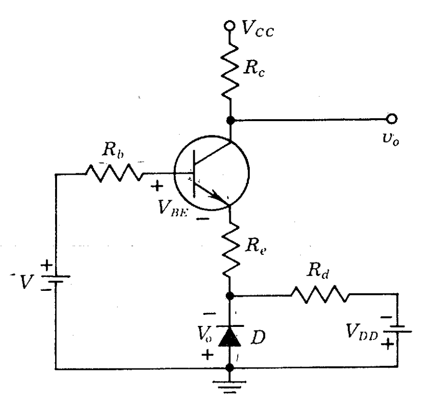


Fig. 9-9. Técnicas de estabilización por autopolarización y compensación por diodo

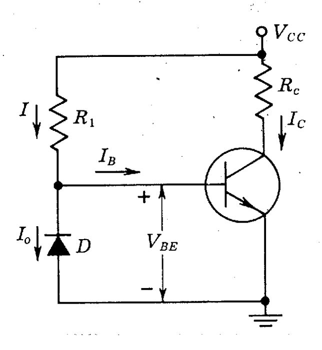


Fig. 9-10. Compensación por diodo de un transistor de germanio

cambios de I_{CO} con la temperatura desempeñan el papel más importante en la estabilización de la corriente de colector. El circuito de compensación por diodo de la Fig. 9-10 estabiliza frente a las variaciones de I_{CO}, y se emplea, por lo tanto, para la estabilización de los transistores de germanio.

Si el diodo y el transistor son del mismo tipo y material, la corriente de saturación inversa I_o del diodo aumentará con la temperatura al mismo ritmo que la corriente de saturación de colector del transistor I_{CO}. En la Fig. 9-10 tenemos:

$$I = \frac{V_{CC} - V_{BE}}{R_1} \approx \frac{V_{CC}}{R_1} = \text{constante}$$

Como el diodo está polarizado en sentido inverso con unos $V_{BE} \approx 0{,}2$ V para los elementos de germanio, la corriente por D será I_o. La corriente de base es $I_B = I - I_o$. Sustituyendo esta expresión de I_B en la Ec. (9-6), tendremos:

$$I_C = \beta I - \beta I_o + (1+\beta)I_{CO} \tag{9-35}$$

Vemos en la Ec. (9-35) que si $\beta \gg 1$ y si I_o de D e I_{CO} de Q varían en la misma proporción dentro del intervalo de temperaturas deseado, I_C permanecerá fundamentalmente constante en ese intervalo.

9-7. TECNICAS DE POLARIZACION DE CIRCUITOS INTEGRADOS LINEALES[3]

Muchas veces, el circuito auto-polarizado de la Fig. 9-5*a* necesita un condensador en paralelo con R_e, ya que, de otra forma, la realimentación negativa debida a R_e, reduce notablemente la ganancia (Sec. 8-15). Esta capacidad de desacoplo es demasiado grande para su fabricación en circuitos integrados (del orden de microfarad Sec. 12-8). De ahí que se haya desarrollado la técnica de polarización indicada en la Fig. 9-11 para los circuitos monolíticos. En la Fig. 9-11*a*, el transistor $Q1$ se conecta como un diodo en paralelo con la unión base-emisor de $Q2$ cuya corriente de colector se quiere estabilizar respecto a la temperatura. La corriente de colector de $Q1$ viene dada por:

$$I_{C1} = \frac{V_{CC} - V_{BE}}{R_1} - I_{B1} - I_{B2} \tag{9-36}$$

Para $V_{BE} \ll V_{CC}$ e $(I_{B1} + I_{B2}) \ll I_{C1}$, la Ec. (9-36) se transforma en:

$$I_{C1} \approx \frac{V_{CC}}{R_1} = \text{constante} \tag{9-37}$$

Si los transistores $Q1$ y $Q2$ son idénticos y tienen igual V_{BE} sus corrientes de colector serán iguales. Por lo tanto, $I_{C2} = I_{C1}$ = constante. Aun cuando, los dos transistores no sean idénticos, experimentalmente[3] se demuestra que este esquema tiende a igualar la corriente de colector de los transistores de polarización y de funcionamiento con una dispersión menor de un 5 % siendo estable en un amplio margen de temperaturas.

El circuito de la Fig. 9-11*a* se modifica como se indica en la Fig. 9-11*b*, de manera que los transistores tengan la misma corriente de base en lugar de tener la misma tensión de base. Como la corriente de colector en la región activa varía linealmente con I_B, pero exponencialmente con V_{BE}, se mejora así la adaptación de las corrientes de colector. Las resistencias R_2 y R_3 se fabrican de idéntica manera, de tal forma que $R_3 = R_2$. Como las dos bases están excitadas por la misma tensión común de un nudo a través de resistencias iguales, entonces $I_{B1} = I_{B2} = I_B$, y las corrientes de colector están bien adaptadas para transistores de construcción idéntica.

De la Fig. 9-11, la corriente de colector de $Q1$ viene dada por:

$$I_{C1} = \frac{V_{CC} - V_{BE}}{R_1} - \left(2 + \frac{R_2}{R_1}\right) I_B \tag{9-38}$$

En el supuesto de que $V_{BE} \ll V_{CC}$, y $(2 + R_2/R_1)I_B \ll V_{CC}/R_1$, la Ec. (9-38) se transforma en:

$$I_{C1} = I_{C2} = \frac{V_{CC}}{R_1}$$

Si $R_c = 0{,}5\,R_1$, entonces $V_{CE} = V_{CC} - I_{C2}R_c \approx V_{CC}/2$, lo que significa que el amplificador estará polarizado a la tensión mitad de la de alimentación V_{CC}, independien-

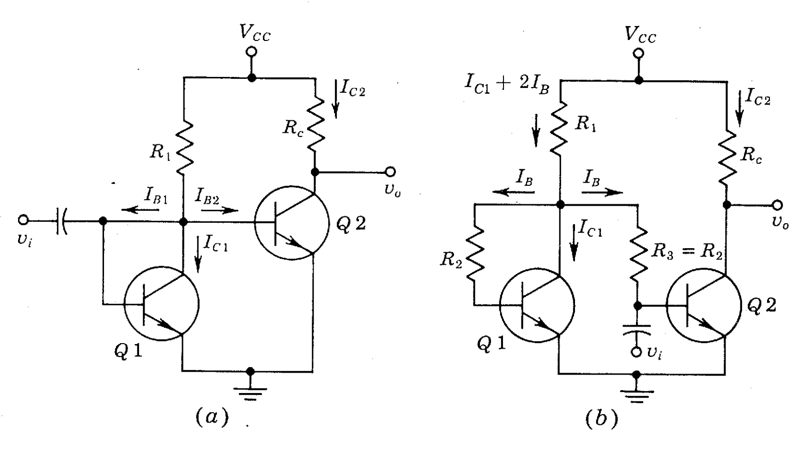


Fig. 9-11. Técnicas de polarización para circuitos lineales integrados

temente de la tensión de alimentación así como de la temperatura, y dependiente solamente de la adaptación de los componentes dentro del circuito integrado. En la Ref. 3 se evalúan los efectos de una desadaptación en cuanto a la estabilidad del circuito.

9-8. COMPENSACION MEDIANTE TERMISTOR Y SENSISTOR

Existe un método de compensación de un transistor el cual implica el empleo de elementos resistivos sensibles a la temperatura en lugar de diodos o transistores. El *termistor* (Sec. 5-2) tiene un coeficiente de temperatura negativo, su resistencia decrece exponencialmente al aumentar T. El circuito de la Fig. 9-12 emplea un termistor R_T para minimizar los incrementos de corriente de colector debidos a las variaciones de I_{CO}, V_{BE}, o β con T. Cuando T sube, R_T disminuye, y la corriente que, pasando por R_T circula por R_e, aumenta. Puesto que la caída de potencial en R_e está en dirección que polariza inversamente el transistor, la sensibilidad a la temperatura de R_T actúa de tal manera que tiende a compensar el incremento de I_C debido a T.

En la Fig. 9-12 hay otra posibilidad para compensar el circuito mediante un termistor R_T colocando éste en paralelo con R_2. Cuando T aumenta, la caída de potencial en R_T disminuye y, por tanto, se reduce la tensión de polarización directa de base; esta circunstancia tenderá a compensar el incremento de la corriente de colector con la temperatura.

En lugar de termistor, se puede emplear una resistencia sensible a la temperatura con coeficiente positivo como en el caso de un metal, o sea un *sensistor* (Sec. 2-7). En el circuito de la Fig. 9-12 (eliminando la R_T) puede obtenerse la compensación de temperatura colocando un sensistor en paralelo con R_1 o en paralelo con R_e (o en lugar de ella). ¿Por qué?

En la práctica, a menudo es necesario emplear resistencias de silicio y resistencias de carbón en serie o en paralelo, para formar el circuito de compensación adecuado.[4] Las características requeridas para eliminar los efectos de la temperatura pueden determinarse experimentalmente de la siguiente forma: la red de compensación se sustituye por una resistencia variable que se ajusta para mantener constante la corriente de colector cuando cambia la temperatura de funcionamiento. Cabe, entonces, trazar una gráfica de la resistencia en función de la temperatura que proporcionará las características requeridas por la

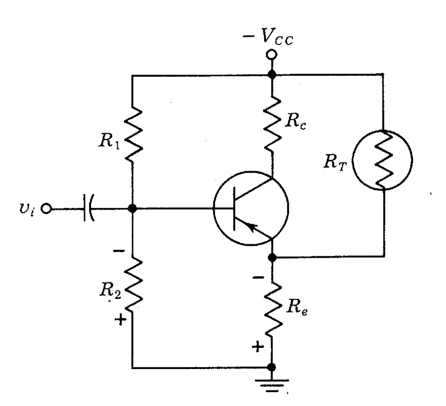


Fig. 9-12. Compensación del incremento de I_C con T mediante termistor

red. El problema se reduce ahora a lograr una red con dichas características a base de termistores, sensistores, y resistencias insensibles a la temperatura.

9-9. DISIPACION TERMICA

La máxima potencia media $P_{D,\max}$ que un transistor puede disipar, depende de la construcción del transistor y puede estar comprendida entre unos pocos milivatt y 200 W. Esta máxima potencia está limitada por la temperatura que puede soportar la unión de base-colector. Para los transistores de silicio, esta temperatura tiene unos límites que van desde 150 a 225° C, y para el germanio es de 60 a 100° C. La temperatura de la unión puede aumentar debido a la temperatura ambiente o por autocalentamiento. La máxima potencia de disipación se indica para una temperatura de la envoltura del transistor (caja), o del ambiente de 25° C. El problema del autocalentamiento, mencionado en la Sec. 9-2, procede de la potencia disipada en la unión del colector. Como consecuencia de la potencia disipada, la temperatura de la unión sube, lo que provoca el aumento de la corriente de colector, y, en consecuencia, aumenta de nuevo la disipación de potencia. Si continúa este fenómeno, se irá acumulando calor, lo que dará como resultado un deterioro permanente del transistor.

Resistencia térmica. Se ha comprobado experimentalmente que la *temperatura de equilibrio* que alcanza la unión del colector es proporcional a la potencia disipada por la unión, o sea:

$$T_j - T_A = \Theta P_D \tag{9-39}$$

en donde T_j y T_A son las temperaturas de la unión y del ambiente, respectivamente, en grados centígrados, y P_D es la potencia en vatt disipada por la unión del colector. La constante de proporcionalidad Θ se denomina *resistencia térmica.* Este valor depende del tamaño del transistor, de la convección o radiación al ambiente, de la ventilación forzada (si se emplea), y de la conexión térmica del elemento con el chàsis de metal o con un disipador de calor. Los valores más corrientes para los diversos diseños de transistores varían desde 0,2° C/W para transistores de elevada potencia con un disipador eficiente, a 1 000° C/W para un transistor de baja potencia al aire libre. La temperatura debida a la disipación de potencia en régimen permanente se obtiene derivando la Ec. (9-39) respecto a T_j, o sea:

$$\frac{\partial P_D}{\partial T_j} = \frac{1}{\Theta} \tag{9-40}$$

La máxima potencia de colector alcanzable P_C para un funcionamiento seguro se especifica a 25° C. Para una temperatura ambiente por encima de este valor, P_C deberá disminuir, y a la temperatura extrema a la que el transistor puede funcionar, P_C se reduce a cero. En la Fig. 9-13 aparece una curva típica de potencia-temperatura, suministrada por las especificaciones de los fabricantes. La resistencia térmica de este transistor viene dada por la recíproca de la pendiente de la línea inclinada de la Fig. 9-13, o sea $\Theta = 75/150 = 0{,}5°$ C/W.

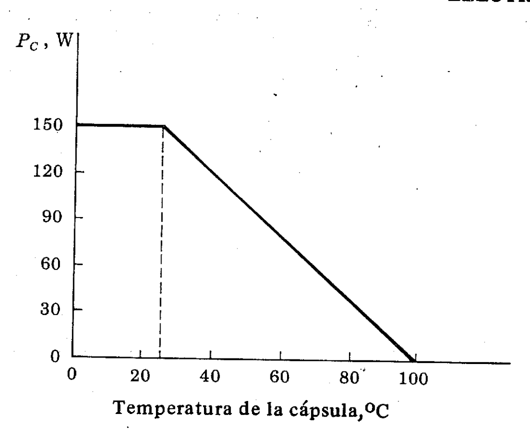


Fig. 9-13. Curva de disminución de la potencia con la temperatura, para un transistor de potencia de germanio

Consideraciones sobre el punto de funcionamiento. Los efectos del autocalentamiento pueden apreciarse haciendo referencia a la Fig. 9-14, que muestra tres hipérbolas a potencia constante y una recta de carga en continua tangente a una de ellas. Puede demostrarse (Prob. 9-32) que el punto de tangencia C es el punto medio de la recta de carga AB. Consideremos que el punto de reposo está más arriba del punto de tangencia, por ejemplo en Q_1. Si ahora la corriente de colector aumenta, el resultado es una disipación de potencia menor ya que Q_1 se mueve a lo largo de la recta de carga apartándose de la hipérbola de 300 W hacia la de 100 W. Si el punto de reposo está por debajo del punto de tangencia, tal como Q_2 sucederá lo contrario. Podemos concluir que, si V_{CE} es menor que $V_{CC}/2$, el punto de reposo se sitúa en una región segura, en la que el aumento de la corriente del colector da como resultado una disminución de la disipación. Si, en cambio, el punto de funcionamiento está situado de tal manera que $V_{CE} > V_{CC}/2$, el autocalentamiento da como resultado mayor disipación del colector, y el efecto es acumulativo.

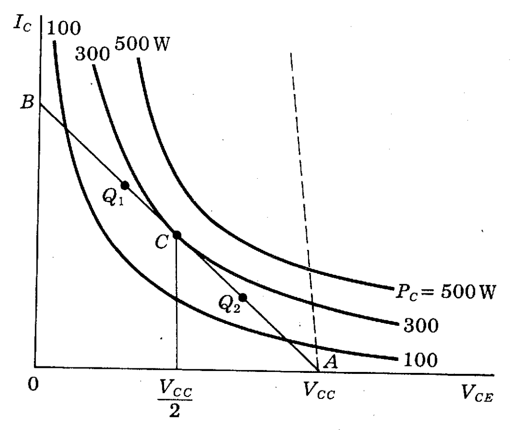


Fig. 9-14. Corresponde al autocalentamiento del transistor. La recta de carga de trazos corresponde a una resistencia en continua muy pequeña

No siempre es posible seleccionar el punto de funcionamiento para que satisfaga la restricción de $V_{CE} < ½ V_{CC}$. Por ejemplo, si la carga está acoplada al colector con un transformador, como en la Fig. 9-15, entonces R_c representa la pequeña resistencia en continua del primario, y por lo tanto la recta de carga es bastante vertical, como aparece indicada por la línea de trazos de la Fig. 9-14. Naturalmente, V_{CE} puede ser menor que ½ V_{CC} sólo con corriente de colector excesivamente grande. Por lo tanto, puede ocurrir con facilidad la acumulación de calor en el caso de acoplar la carga mediante un transformador o con amplificadores de potencia que tengan resistencias de colector y de emisor pequeñas. Para tales circuitos, es particularmente importante tomar precauciones para que los factores de estabilidad (comentados en la sección precedente) sean suficientemente pequeños para mantener esencialmente constante la corriente del colector.

Condición de estabilidad térmica. Vamos ahora a determinar las condiciones que se han de cumplir si se quiere evitar la acumulación térmica. La condición requerida es la de que el calor engendrado en la unión del colector no debe exceder al que pueda disiparse en régimen permanente. De la Ec. (9-40) obtenemos:

$$\frac{\partial P_C}{\partial T_j} < \frac{1}{\Theta} \tag{9-41}$$

que es la condición que debe satisfacerse para evitar una acumulación térmica. Con un diseño adecuado del circuito, se puede asegurar que el transistor no llegue a la acumulación térmica por debajo de una temperatura ambiente determinada, ni bajo condición alguna. Tal es el análisis que hacemos en la próxima sección.

9-10. ESTABILIDAD TERMICA

Nos referiremos a la Fig. 9-5*a* y supondremos que el transistor está polarizado en la región activa. La potencia generada en la unión del colector cuando no hay señal, es:

$$P_C = I_C V_{CB} \approx I_C V_{CE} \tag{9-42}$$

Si suponemos que las corrientes de reposo del emisor y del colector son fundamentalmente iguales, la Ec. (9-42) se transformará en:

$$P_C = I_C V_{CC} - I_C^2 (R_e + R_c) \tag{9-43}$$

La Ec. (9-41), condición para evitar la acumulación térmica, puede escribirse:

$$\frac{\partial P_C}{\partial I_C} \frac{\partial I_C}{\partial T_j} < \frac{1}{\Theta} \tag{9-44}$$

Como que Θ y $\partial I_C / \partial T_j$ son positivas, la ecuación (9-44) quedará siempre satisfecha si $\partial P_C / \partial I_C$ es negativa. De la Ec. (9-43):

$$\frac{\partial P_C}{\partial I_C} = V_{CC} - 2I_C(R_e + R_c) \tag{9-45}$$

Por lo tanto, para evitar la acumulación térmica, es necesario que:

$$I_C > \frac{V_{CC}}{2(R_e + R_c)} \tag{9-46}$$

Puesto que $V_{CE} = V_{CC} - I_C(R_e + R_c)$, la Ec. (9-46) implica que $V_{CE} < V_{CC}/2$, lo que confirma nuestra conclusión anterior de la Fig. 9-14. Si la desigualdad de la Ec. (9-46) no se satisface y $V_{CE} > V_{CC}/2$, entonces por la Ec. (9-45) vemos que $\partial P_C/\partial I_C$ es positiva, y el diseñador debe asegurarse de que la Ec. (9-44) quede satisfecha, pues de lo contrario habrá acumulación de temperatura.

Ejemplo. Hallar el valor de Θ requerido para el transistor de Ge del primer ejemplo de la sección 9-5 para que el circuito sea térmicamente estable. Supongamos $V_{CC} = 30$ V; $R_c = 2{,}0$ K y $R_e = 4{,}7$ K.

SOLUCION. A partir de la Ec. (9-45), como que $I_C = 1{,}5$ mA y $R_e = 4{,}7$ K,

$$\frac{\partial P_C}{\partial I_C} = 30 - (2)(1{,}5)(4{,}7 + 2{,}0) = 9{,}9 \text{ V}$$

Observando el ejemplo antes citado vemos que I_C aumenta 0,131 mA en el intervalo de temperatura de 25 a 75° C. Por lo tanto:

$$\frac{\partial I_C}{\partial T_j} = \frac{0{,}131 \times 10^{-3}}{75 - 25} = 2{,}62 \times 10^{-6} \text{ A/° C}$$

A partir de la Ec. (9-44):

$$9{,}9 \times 2{,}62 \times 10^{-6} < \frac{1}{\Theta}$$

o sea:

$$\Theta < 3{,}85 \times 10^{4}\ \text{° C/W}$$

Este límite superior de Θ es tan elevado que el transistor no puede sobrepasarlo, y por lo tanto este circuito estará a salvo de la acumulación térmica.

En algunos casos prácticos, domina el efecto de I_{CO}, y vamos a analizar la acumulación térmica en este caso. De las ecuaciones (9-44) y (9-30):

$$\frac{\partial P_C}{\partial I_C}\left(S\,\frac{\partial I_{CO}}{\partial T_j}\right) < \frac{1}{\Theta} \tag{9-47}$$

En la sección 5-7 se ha indicado que la corriente inversa de saturación tanto para el silicio

como para el germanio aumenta aproximadamente un 7 %/° C, o sea:

$$\frac{\partial I_{CO}}{\partial T_j} = 0{,}07 I_{CO} \tag{9-48}$$

Sustituyendo las ecuaciones (9-45) y (9-48) en la Ec. (9-47), resultará:

$$[V_{CC} - 2I_C(R_e + R_c)](S)(0{,}07 I_{CO}) < \frac{1}{\Theta} \tag{9-49}$$

La ecuación (9-49) permanece válida para un transistor *p-n-p* con la consideración de que I_C (e I_{CO}) represente el módulo de la corriente.

La ecuación anterior indica que un circuito amplificador que funcione a corrientes bajas y diseñado con valores pequeños del factor de estabilidad ($S < 10$), es raramente susceptible de sufrir acumulación térmica. Por contra, los amplificadores de potencia funcionan a elevados niveles de potencia. Además, en tales circuitos, R_e es una resistencia pequeña para mayor rendimiento de potencia, y en consecuencia resultará un valor elevado del factor de estabilidad S. En consecuencia, la acumulación térmica de las etapas de potencia es algo que exige la máxima consideración, y el diseñador debe tenerla muy en cuenta y prevenirla mediante la colocación de disipadores en el colector, si es del caso.

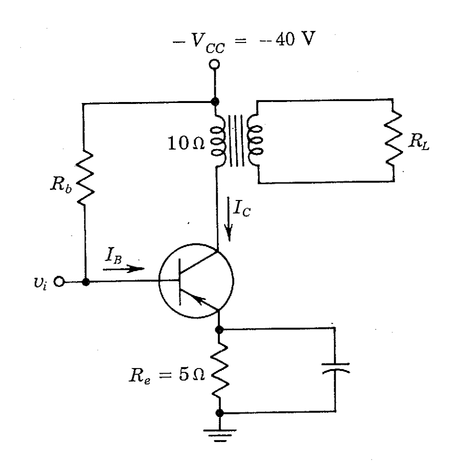


Fig. 9-15. Amplificador de potencia con la carga acoplada por transformador

---

Ejemplo. En la Fig. 9-15 aparece un amplificador de potencia que emplea un transistor de germanio *p-n-p* con $\beta = 100$ e $I_{CO} = -5$ mA. La corriente de reposo de colector es $I_C = -1$ A. Hallar: (*a*) el valor de la resistencia R_b; (*b*) el mayor valor de Θ para que el circuito sea térmicamente estable. Supóngase que dominan los efectos de I_{CO}.

SOLUCION. *a.* La corriente de colector viene dada por la Ec. (9-6), o sea:

$$I_C = \beta I_B + (1 + \beta)I_{CO} \approx \beta(I_B + I_{CO})$$

e

$$I_B = -\frac{1 - 5 \times 10^{-3} \times 100}{100} \text{ A} = -5 \text{ mA}$$

Si despreciamos V_{BE}, tendremos:

$$5 \times 10^{-3} R_b = 40 - 5 \quad \text{o sea} \quad R_b = 7\,000\ \Omega$$

b. Como $|V_{CE}| = 40 - 15 = 25 > 1/2\,|V_{CC}| = 20$ V, el circuito de la Fig. 9-15 no es inherentemente estable. El factor de estabilidad S se obtiene de la Ec. (9-13):

$$S = 101 \frac{1 + 7\,000/5}{101 + 7\,000/5} = 94{,}3$$

Sustituyendo en la Ec. (9-49), obtendremos:

$$(40 - 2 \times 1 \times 15)(94{,}3)(0{,}07 \times 5 \times 10^{-3}) < \frac{1}{\Theta}$$

o sea

$$\Theta < 3{,}03^{\circ}\ \text{C/W}$$

REFERENCIAS

1. Brown, W. L., y D. E. Perrine: "Don't Guess at Bias Circuit Design", *Electron. Design,* 9 de mayo de 1968, pp. 80-86.

2. Hunter, L. P.: "Handbook of Semiconductor Electronics," McGraw-Hill Book Company, Nueva York, 1970.
"Transistor Manual", 7ª ed., General Electric Co., Syracuse, N. Y., 1964.
"Motorola Power Transistor Handbook", Phoenix, Ariz., 1961.

3. Widlar, R. I.: "Some Circuit Design Techniques for Linear Integrated Circuits," *IEEE Trans. Circuit Theory,* vol. CT-12, n.º 4, pp. 586-590, diciembre de 1965.

4. Konjian, E., y J. S. Schaffner: "Shaping of the Characteristics of Temperature-sensitive Elements", *Commun. and Electron.,* vol. 14, pp. 396-400, septiembre de 1954.

TEMAS DE REPASO

9-1 ¿Cuáles son las características que limitan el funcionamiento de un transistor?
9-2 ¿Por qué se emplea un condensador de acoplamiento para conectar una fuente de señal a un amplificador?
9-3 En caso de una carga acoplada capacitivamente, la carga en continua ¿es mayor o menor que la carga en alterna? Razónese.
9-4 (*a*) Dibujar un circuito de polarización fija. (*b*) Explicar por qué este circuito no es satisfactorio en caso de que el transistor sea reemplazado por otro del mismo tipo.
9-5 Discutir la *inestabilidad térmica.*

9-6 (*a*) Dibujar un circuito autopolarizado. (*b*) Explicar cualitativamente por qué tal circuito es una mejora con respecto al de polarización fija, por lo que se refiere a la estabilidad.
9-7 (*a*) ¿Cómo se traza la recta de carga de un circuito autopolarizado? Justificar la respuesta. (*b*) Definir la *curva de polarización.* (*c*) Explicar cómo se emplea la curva de polarización para obtener el punto de reposo del circuito.
9-8 (*a*) Mencionar las tres fuentes de inestabilidad de la corriente de colector. (*b*) Definir los tres factores de estabilidad.
9-9 ¿Cómo minimizará el diseñador el porcentaje de las variaciones de I_C (*a*) debidas a las variaciones de I_{CO} y de V_{BE} y (*b*) debidas a las variaciones de β?
9-10 ¿En qué intervalo de temperatura puede emplearse el transistor en caso de que sea: (*a*) de silicio, (*b*) de germanio?
9-11 Las variaciones de la corriente del colector, ¿debido al cambio de cuál parámetro (I_{CO} o V_{BE}) son normalmente mayores? (*a*) ¿para el silicio? (*b*) ¿para el germanio?
9-12 Definir (*a*) *técnicas de estabilización* y (*b*) *técnicas de compensación.*
9-13 Dibujar un circuito en el que se empleen diodos para compensar las variaciones (*a*) de V_{BE} y (*b*) de I_{CO}.
9-14 (*a*) Dibujar un amplificador lineal con circuito integrado polarizado apropiadamente. (*b*) ¿Cómo se eligen los valores de los parámetros para que la tensión de salida de reposo sea ½ V_{CC}?
9-15 Trazar un circuito en el que se emplee: (*a*) compensación por termistor y (*b*) compensación por sensistor.
9-16 Comentar la *acumulación térmica.*
9-17 Definir la *resistencia térmica.* Dar sus dimensiones y el orden de magnitud para un transistor.
9-18 (*a*) Dibujar una *curva de resistencia térmica* para un transistor de potencia. (*b*) ¿Cómo se obtiene la resistencia térmica mediante esta curva?
9-19 Demostrar gráficamente que la acumulación térmica no puede tener lugar si el punto de reposo está localizado en $V_{CE} < ½\, V_{CC}$.
9-20 ¿Cuál es la condición de estabilidad térmica? Explicarlo.

10

Transistores de efecto de campo

Los transistores de efecto de campo[1] son unos dispositivos semiconductores que dependen, en cuanto al control de corriente, de un campo eléctrico. Hay dos tipos de transistores de efecto campo: los *transistores de efecto campo de unión* (abreviadamente JFET, o simplemente FET) y los *transistores de efecto campo de puerta aislada* (IGFET), más comúnmente denominados *transistores de metal-óxido-semiconductor* (MOS, MOST o MOSFET)*.

Los principios que rigen su funcionamiento, así como sus características, se estudiarán en este capítulo. También se presentarán circuitos representativos que empleen transistores FET.

Los transistores de efecto campo difieren de los transistores bipolares de unión en las siguientes importantes características:

1. Su funcionamiento depende únicamente de la circulación de portadores mayoritarios. Es pues un dispositivo *unipolar* (un solo tipo de portador).
2. Es más simple de fabricar y ocupa menos espacio en forma integrada.
3. Tiene una gran impedancia de entrada, normalmente de muchos megaohms.
4. Tiene menos ruidos que un transistor bipolar.
5. No tiene tensión de compensación cuando la corriente de drenado es cero, y por tanto es un excelente recortador de señal.[2]

La desventaja principal de los FET es su relativamente pequeño producto de ganancia por anchura de banda, en comparación con el que se puede obtener con un transistor convencional. La principal aplicación de los MOSFET es en sistemas digitales LSI.

* Las siglas indicadas proceden de las denominaciones en inglés: Junction-Field-Efect-Transistor (JFET o simplemente FET); Insulated-Gate Field-Efect Transistor (IGFET); Metal-Oxide-Semiconductor Transistor (MOS, MOST o MOSFET). (*N. del T.*)

10-1. TRANSISTORES DE UNION DE EFECTO CAMPO

La estructura de los transistores de efecto campo de *canal n* aparece en la Fig. 10-1. Se construyen dos contactos óhmicos en los dos extremos de una barra de semiconductor tipo n (si se emplea silicio del tipo p, el dispositivo se denomina FET *de canal p*). Se hace circular una corriente a lo largo de la barra conectando una tensión de alimentación entre sus extremos. Esta corriente está constituida por portadores mayoritarios, que en este caso son electrones. En la Fig. 10-1*a*, aparece un JFET visto lateralmente y en la Fig. 10-1*b* una perspectiva más detallada del mismo. En la Fig. 10-2 se muestra el símbolo del circuito con las polaridades de tensiones y corrientes señaladas. La notación siguiente es la normalizada.

Fuente. La *fuente S* es el terminal a través del cual los portadores mayoritarios entran en la barra. La corriente convencional que entra en la barra por S se designa por I_S.

Drenaje. El drenaje D es el terminal por el cual los portadores mayoritarios salen de la barra. La corriente convencional que entra en la barra por D, se denomina I_D. La tensión de drenaje-fuente se denomina V_{DS}, y es positiva si D es más positivo que S. En la Fig. 10-1, $V_{DS} = V_{DD}$ = tensión de alimentación de drenaje.

Puerta. En los dos lados de la barra tipo n de la Fig. 10-1 se ha formado una región fuertemente drogada de impurezas aceptadoras (p^+) por aleación, difusión, o por cualquier otro procedimiento empleado para la creación de uniones p-n. Estas regiones impurificadas se denominan *puertas* G. Se aplica una tensión $V_{GS} = - V_{GG}$ entre puerta y fuente en el sentido que polarice inversamente la unión p-n. La corriente convencional que entra en la barra por G se denomina I_G.

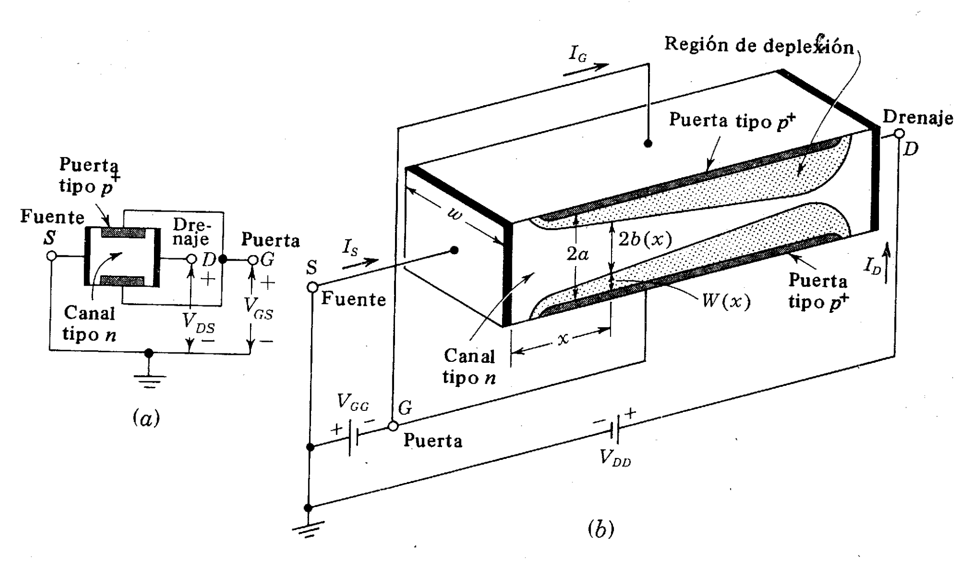


Fig. 10-1. Estructura básica de un transistor de efecto campo de canal n. (*a*) Vista simplificada. (*b*) Dibujo con más detalle. Las polaridades de alimentación normal fuente-drenaje (V_{DD}) y puerta-fuente (V_{GG}) aparecen indicadas en la figura. En un FET de canal p, las tensiones deben invertirse

Canal. La región de material tipo n de la Fig. 10-1 entre las dos regiones de puerta es el *canal* a través del cual los portadores mayoritarios se mueven de la fuente al drenaje.

Funcionamiento del FET. Es necesario recordar que en los dos lados de la unión p-n polarizada en sentido inverso (región de transición), hay regiones de carga espacial (Sec. 3-7). Los portadores de corriente se difunden a través de la unión, dejando tan sólo iones positivos no neutralizados en el lado n e iones negativos en el lado p. Las líneas del campo eléctrico que parten de los iones positivos y terminan en los negativos, son el origen de la caída de tensión en la unión. Cuando la polarización inversa de la unión aumenta, también lo hace la anchura de la región de cargas inmóviles no neutralizadas. La conductividad de esta región es prácticamente cero, debido a la inexistencia de portadores de corriente. Por lo tanto, vemos que la anchura efectiva del canal de la Fig. 10-1 va decreciendo progresivamente a medida que aumenta la polarización inversa. En consecuencia, para una determinada tensión drenaje-fuente, la corriente de drenaje será función de la tensión de polarización inversa de la unión de puerta. El término *efecto de campo* se emplea para describir este dispositivo porque el mecanismo de control de la corriente es el *efecto* de la extensión del *campo* asociado con la región de cargas no neutralizadas al incrementarse la polarización inversa.

Características estáticas de los FET. En la Fig. 10-2, se indican el circuito, el símbolo y la polaridad convencionales de un FET. La dirección de la flecha en la puerta de la unión FET de la Fig. 10-2 indica la dirección en que fluiría la corriente si la unión de puerta estuviera polarizada en sentido directo. Las características de drenaje de un FET de canal n en configuración de fuente común aparecen en la Fig. 10-3 dando I_D en función de V_{DS} con V_{GS} como parámetro. Para ver cualitativamente por qué las características tienen la forma indicada, vamos a considerar el caso en que $V_{GS} = 0$. Para $I_D = 0$, el canal entre las uniones de puerta está completamente abierto. Para una pequeña tensión aplicada V_{DS} el dispositivo se comportará como un simple semiconductor de tipo n, y la corriente I_D aumentará linealmente con V_{DS}. Con el aumento de la corriente, la caída óhmica de potencial entre la fuente y la región del canal polariza inversamente la unión, y

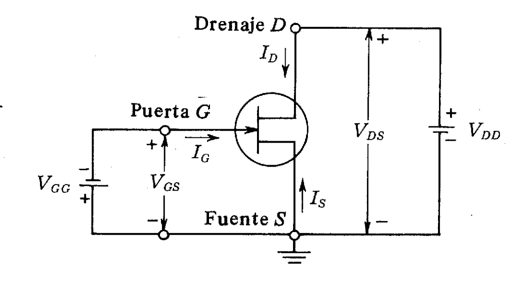


Fig. 10-2. Símbolo del circuito para un FET de canal n. (Para un FET de canal p, la flecha de la unión de puerta es de sentido contrario.) Para un FET de canal n, I_D y V_{DS} son positivas y V_{GS} negativa. Para un FET de canal p, I_D y V_{DS} son negativas y V_{GS} positiva

la porción conductora del canal empieza a contraerse. Debido a la caída óhmica propia a lo largo de todo el canal, la contracción no es uniforme, sino que es más pronunciada a mayores distancias de la fuente, como indica la Fig. 10-1. Finalmente, se alcanza una tensión V_{DS} para la cual el canal se contrae totalmente. Esta es la tensión, no muy definida en la Fig. 10-3, en la que la corriente I_D se empieza a aproximar a un valor constante. No es posible, en principio, cerrar completamente el canal y con ello reducir la corriente I_D a cero, pero si esto pudiera verdaderamente suceder, la caída óhmica necesaria para dar lugar a la polarización inversa se anularía por sí misma. Obsérvese que todas las curvas características tienen una región óhmica para pequeños valores de V_{DS}, en donde I_D es proporcional a V_{DS}. También tienen todas ellas una región a corriente constante para valores grandes de V_{DS}, en las cuales I_D responde muy poco a V_{DS}.

Si ahora se aplica una tensión de puerta V_{GS} para dar lugar a una tensión inversa adicional, la contracción tiene lugar con menores valores de V_{DS}, y la corriente máxima de drenaje será menor. Este proceder queda reflejado en la Fig. 10-3. Obsérvese que también aparece una curva para el FET de silicio con $V_{GS} = +0,5$ V, que corresponde a polarizada en sentido directo. Veamos en la Tabla 5-1 que, en este caso, la corriente de puerta será muy pequeña, ya que esta tensión de puerta está próxima a la tensión umbral V_γ de la unión de Si.

La máxima tensión que puede aplicarse entre dos terminales cualesquiera del FET, es la menor tensión a la que se provoca la ruptura por avalancha (Sec. 3-11) a través de la unión de puerta. En la Fig. 10-3 se ve que la avalancha tiene lugar a un valor menor de V_{DS} cuando la puerta está polarizada en sentido inverso, que cuando $V_{GS} = 0$. La explicación a tal hecho es que la tensión de polarización inversa de puerta se añade a la tensión de drenaje, y por tanto aumenta la tensión efectiva a través de la unión de puerta.

Observemos en la Fig. 10-2 que el FET de canal n requiere una polarización de puerta negativa o nula, y una tensión de drenaje positiva. El FET de canal p necesita tensiones de polaridad opuesta. Cualquiera de los dos extremos del canal puede ser empleado como

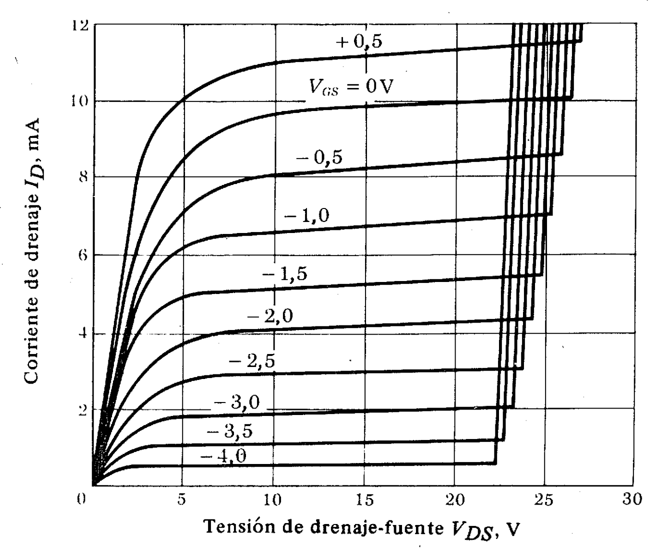


Fig. 10-3. Características de drenaje en fuente común de un transistor de efecto campo de canal n

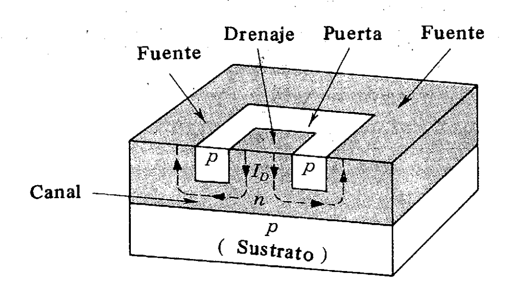


Fig. 10-4. Geometría de un FET de unión

fuente. Podemos recordar la polaridad de las alimentaciones empleando el tipo del canal, p o n, para designar la polaridad correspondiente al lado de la *fuente* de la alimentación del sumidero.

Estructura práctica del FET. La estructura de la Fig. 10-1 no es práctica, ya que implica dificultades en la difusión de impurezas en ambos lados de la oblea del semiconductor. La figura 10-4 muestra la geometría de un FET de unión cuya difusión se realiza en un solo lado. El sustrato es de tipo p, en el que se ha hecho crecer epitaxialmente un canal de tipo n (Sec. 7-3). Seguidamente se difunde una puerta tipo p en el canal tipo n. El sustrato, que puede funcionar como una segunda puerta, es un material de resistividad relativamente baja. La puerta difundida también es de muy baja resistividad lo que permite que la región de transición penetre más en el canal tipo n.

10-2. TENSION DE CONTRACCION V_P

Vamos a calcular la expresión de la tensión inversa de puerta V_P que elimina todas las cargas libres del canal empleando el modelo físico descrito en la sección precedente. Este análisis fue hecho por primera vez por Shockley[1], empleando la estructura de la Fig. 10-1. En este dispositivo se intercala una plancha de semiconductor de tipo n entre dos capas de material tipo p, formando dos uniones p-n.

Supongamos que la región de tipo p está drogada con N_A aceptadores por metro cúbico, que la región de tipo n está drogada con N_D donadores por metro cúbico, y que la unión formada es abrupta. Esta suposición es la misma que se hizo en la Sec. 3-7 y Fig. 3-10, y se elige por su simplicidad. Por otra parte, si $N_A \gg N_D$, vemos por la Ec. (3-17) que $W_p \ll W_n$, y, empleando la Ec. (3-21), tenemos, una anchura de la zona de carga espacial, $W_n(x) = W(x)$ a una distancia x de la fuente en la Fig. 10-1:

$$W(x) = a - b(x) = \left\{ \frac{2\epsilon}{qN_D} [V_o - V(x)] \right\}^{1/2} \tag{10-1}$$

donde: ϵ = constante dieléctrica del material del canal.
q = valor de la carga del electrón.
V_o = potencial de contacto de la unión en x (Fig. 3-1d)
$V(x)$ = potencial aplicado a través de la región de carga espacial en x; es un número negativo para una tensión de polarización inversa.
$a - b(x)$ = penetración $W(x)$ de la región de transición en el canal en un punto x a lo largo del canal (Fig. 10-1).

Si la corriente de drenaje es cero, $b(x)$ y $V(x)$ son independientes de x y $b(x) = b$. Si en la Ec. (10-1) sustituimos $b(x) = b = 0$ y despejamos V, en el supuesto de que $|V_o| \ll |V|$, obtenemos la tensión de contracción de saturación V_P, que es la tensión inversa del diodo que elimina todas las cargas libres del canal. Por lo tanto:

$$|V_P| = \frac{qN_D}{2\epsilon} a^2 \tag{10-2}$$

Si sustituimos V_{GS} por $V_o - V(x)$ en la Ec. (10-1), obtenemos, con el empleo de la Ec. (10-2):

$$V_{GS} = \left(1 - \frac{b}{a}\right)^2 V_P \tag{10-3}$$

La tensión V_{GS} en la Ec. (10-3) representa la polarización inversa de la unión de puerta, y es independiente de la distancia a lo largo del canal, si $I_D = 0$.

Ejemplo. Para un FET de canal n de silicio con $a = 3 \times 10^{-4}$ cm y $N_D = 10^{15}$ electrones/cm^3, hallar (a) la tensión de contracción de saturación y (b) la semianchura del canal para $V_{GS} = ½ V_P$ e $I_D = 0$.

SOLUCION. *a.* La constante dieléctrica relativa del silicio viene dada en la Tabla 2-1 y es 12, y por tanto, $\epsilon = 12\,\epsilon_o$. Empleando los valores de q y ϵ_o del apéndice A, tenemos, por la Ec. (10-2), expresado en unidades MKS,

$$V_P = \frac{1{,}60 \times 10^{-19} \times 10^{21} \times (3 \times 10^{-6})^2}{2 \times 12 \times (36\pi \times 10^9)^{-1}} = 6{,}8 \text{ V}$$

b. Despejando b de la Ec. (10-3), obtenemos para $V_{GS} = ½ V_P$

$$b = a\left[1 - \left(\frac{V_{GS}}{V_P}\right)^{½}\right] = (3 \times 10^{-4})[1 - (½)^{½}| = 0{,}87 \times 10^{-4} \text{ cm}$$

Por lo tanto, la anchura del canal se ha reducido a una tercera parte, aproximadamente, del valor a $V_{GS} = 0$.

10-3. CARACTERISTICAS TENSION-CORRIENTE DE UN JFET

Supongamos, primero, que se aplica una pequeña tensión V_{DS} entre drenaje y fuente. La pequeña corriente de drenaje resultante I_D no tendrá entonces efecto apreciable en el perfil del canal. En estas condiciones podemos considerar que la sección transversal efectiva A del canal es constante en toda su longitud. Por lo tanto, $A = 2bw$, siendo $2b$ la anchura del canal correspondiente a una corriente de drenaje nula, dada por la Ec. (10-3) para un valor dado de V_{GS}, y w es la dimensión del canal perpendicular a la dirección b, como indica la Fig. 10-1.

Puesto que no circula corriente en la región de transición, haciendo uso de la ley de Ohm [Ec. (2-7)], obtendremos la corriente de drenaje:

$$I_D = AqN_D\mu_n \mathcal{E} = 2bwqN_D\mu_n \frac{V_{DS}}{L} \tag{10-4}$$

donde L es la longitud del canal.

Sustituyendo b de la Ec. (10-3) en la Ec. (10-4), tendremos:

$$I_D = \frac{2awqN_D\mu_n}{L}\left[1 - \left(\frac{V_{GS}}{V_P}\right)^{½}\right] V_{DS} \tag{10-5}$$

La resistencia en funcionamiento $r_{d,\mathrm{ON}}$. La Ec. (10-5) describe las características tensión-corriente de la Fig. 10-3 para valores muy pequeños de V_{DS}, y pone de manifiesto que en estas condiciones el FET se comporta como una resistencia óhmica cuyo valor está determinado por V_{GS}. La relación V_{DS}/I_D en el origen se denomina la *resistencia de drenaje* $r_{d,\mathrm{ON}}$. Para un JFET, obtenemos de la Ec. (10-5), con $V_{GS} = 0$:

$$r_{d,\mathrm{ON}} = \frac{L}{2awqN_D\mu_n} \tag{10-6}$$

Para los valores dados en el ejemplo práctico de esta sección y con $L/w = 1$, encontramos que $r_{d,\mathrm{ON}} = 3{,}3$ K. Con las dimensiones y concentraciones empleadas en los FET y MOSFET comerciales (Sec. 10-5), pueden encontrarse valores de $r_{d,\mathrm{ON}}$ que van desde 100 Ω a 100 K. Este parámetro es importante en las aplicaciones como interruptor en las que el FET se lleva a la conducción (ON) enérgicamente. El transistor bipolar tiene la ventaja sobre los dispositivos de efecto campo de que R_{CS} es normalmente de unos pocos ohm, y por tanto mucho menor que $r_{d,\mathrm{ON}}$. No obstante, el transistor bipolar tiene el inconveniente, para las aplicaciones como recortador[2], de poseer una tensión inicial (Sec. 5-12), mientras que las características del FET pasan por el origen, $I_D = 0$ y $V_{DS} = 0$.

Región de contracción. Vamos a considerar ahora el caso en que aparece un campo eléctrico $\mathcal{E}_x$ a lo largo del eje x. Si circula una corriente de drenaje I_D sustancial, el extremo de la puerta del lado del drenaje está polarizado más inversamente que el extremo de la fuente, y por tanto los límites de la región de transición no son paralelos al eje del canal, sino que son convergentes como indica la Fig. 10-1. Si la convergencia de esta región es gradual, es válido[1] el análisis unidimensional anterior para una estrecha franja de anchura Δx y a una distancia x de la fuente. Supeditada a esta condición de canal "gradual", puede escribirse la corriente observando la Fig. 10-1:

$$I_D = 2b(x)wqN_D\mu_n\mathcal{E}_x \tag{10-7}$$

Cuando V_{DS} aumenta, $\mathcal{E}_x$ e I_x aumentan mientras $b(x)$ disminuye, ya que el canal se estrecha y, por tanto, la densidad de corriente $J = I_D/2b(x)w$ también aumentará. Vemos ahora que no puede haber un total estrangulamiento ($b = 0$); si esto sucediera, J pasaría a ser infinito, lo que es una condición física imposible. Si J pudiera aumentar sin límites,

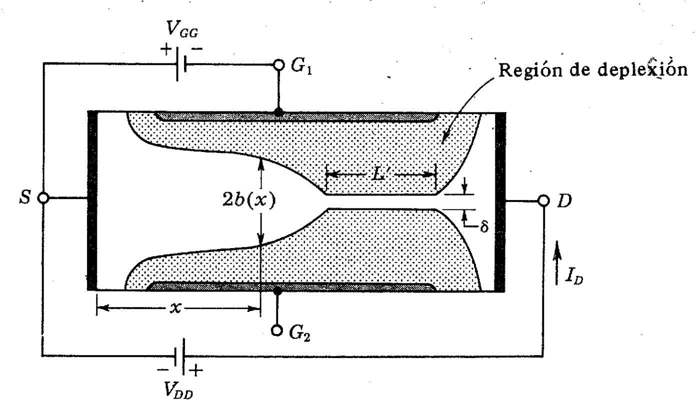


Fig. 10-5. Después del estrangulamiento, cuando V_{DS} aumenta, L' aumenta también pero δ e I_D permanecen fundamentalmente constantes. (G_1 y G_2 están conectados juntos.)

entonces, por la Ec. (10-7), también lo haría $\mathcal{E}_x$, supuesto que μ_n permanece constante. Se comprueba experimentalmente[3,4], no obstante, que la movilidad es función de la intensidad del campo eléctrico y permanece constante únicamente para $\mathcal{E}_x < 10^3$ V/cm en el silicio tipo n. Para campos moderados, 10^3 a 10^4 V/cm, la movilidad es, aproximadamente, inversamente proporcional a la raíz cuadrada del campo aplicado. Al llegar a campos elevados, como en el caso de la contracción hasta saturación, μ_n es inversamente proporcional a $\mathcal{E}_x$. En esta región, la velocidad de desplazamiento de los electrones ($v_x = \mu_n \mathcal{E}_x$) permanece constante, y la ley de Ohm no es válida. En la Ec. (10-7) puede verse que I_D y b permanecen constantes, lo que justifica la zona de corriente constante en las características *V-I* de la Fig. 10-3.

¿Qué ocurre[4] si se incrementa V_{DS} más allá de la contracción hasta saturación, y permaneciendo V_{GS} constante? Como se ha explicado más arriba, la anchura mínima del canal $b_{\min} = \delta$ tiene un pequeño valor constante no nulo. Esta mínima anchura está localizada en el extremo del drenaje de la barra. Cuando V_{DS} crece, este aumento de potencial incrementa $\mathcal{E}_x$ en una sección adyacente del canal hacia la fuente. Refiriéndonos a la Fig. 10-5, la región limitada por velocidad L' aumenta con V_{DS}, mientras que δ permanece fijo.

Región antes de la contracción hasta saturación. Hemos comprobado que el FET se comporta como una resistencia óhmica para pequeños valores de V_{DS} y como un dispositivo a corriente constante para valores elevados de V_{DS}. Resulta bastante complicado hacer un análisis de la forma de las características tensión-corriente entre estos dos extremos. Se ha mencionado también que, en esta región, la movilidad es independiente al principio del campo eléctrico y que luego μ varía con $\mathcal{E}_x^{-1/2}$ para valores grandes de $\mathcal{E}_x$ (antes de la contracción). Teniendo en cuenta esta relación, es posible[3-5] obtener una expresión para I_D como función de V_{DS} y de V_{GS}, que esté de acuerdo con las curvas determinadas experimentalmente.

Característica de transferencia. Como amplificador, el FET se emplea casi siempre más allá de la región de contracción a saturación (denominada también de *corriente constante, pentodo* o *región de saturación*). La corriente de saturación de drenaje la designaremos por I_{DS}, y su valor, con la puerta cortocircuitada con la fuente ($V_{GS} = 0$), por I_{DSS}. Se ha visto[6] que la característica de transferencia, que da la relación entre I_{DS} y V_{GS}, puede aproximarse a la parábola:

$$I_{DS} = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2 \tag{10-8}$$

Esta simple aproximación a una parábola encaja bien con las características de transferencia determinadas experimentalmente de los FET fabricados por el proceso de difusión.

Corte. Vamos a considerar un FET trabajando con un valor fijo de V_{DS} en la región de corriente constante. A medida que V_{GS} aumenta en la dirección de polarización inversa de la unión de puerta, el canal de conducción se estrecha. Cuando $V_{GS} = V_P$, la anchura del canal se reduce a cero, y de la Ec. (10-8), $I_{DS} = 0$. Los elementos reales tienen siempre alguna corriente de fuga $I_{D,\mathrm{OFF}}$ aun en la región de corte $|V_{GS}| > |V_P|$. Los fabricantes especifican normalmente el máximo valor de $I_{D,\mathrm{OFF}}$ para unos valores dados de V_{GS} y de V_{DS}. Normalmente, cabe esperar unos pocos nanoampere para $I_{D,\mathrm{OFF}}$ en un FET de silicio.

La corriente inversa de puerta, denominada también *corriente de corte de puerta,* designada por I_{GSS}, es la corriente de puerta a fuente con el drenaje cortocircuitado con la fuente para $|V_{GS}| > |V_P|$. Normalmente, I_{GSS} es del orden de unos pocos nanoampere en un elemento de silicio.

10-4. MODELO FET DE PEQUEÑA SEÑAL

El circuito equivalente lineal para pequeña señal de un FET puede obtenerse de forma análoga a la que se ha empleado para hallar el correspondiente modelo de un transistor. Emplearemos las mismas notaciones para las tensiones y corrientes variables con el tiempo y en continua, empleadas en las secciones 8-1 y 8-2 para el transistor. Podemos expresar formalmente la corriente de drenaje i_D como función f de la tensión de puerta v_{GS} y la tensión de drenaje v_{DS}:

$$i_D = f(v_{GS}, v_{DS}) \tag{10-9}$$

Transconductancia g_m y resistencia de drenaje r_d. Si varían las tensiones de puerta y de drenaje, la variación de la corriente de drenaje viene dada, aproximadamente, por los dos primeros términos del desarrollo en serie de Taylor de la Ec. (10-9), o sea:

$$\Delta i_D = \left.\frac{\partial i_D}{\partial v_{GS}}\right|_{V_{DS}} \Delta v_{GS} + \left.\frac{\partial i_D}{\partial v_{DS}}\right|_{V_{GS}} \Delta v_{DS} \tag{10-10}$$

En las notaciones para pequeña señal de la Sec. 8-1, $\Delta i_D = i_d$, $\Delta v_{GS} = v_{gs}$, y $\Delta v_{DS} = v_{ds}$, de tal manera que la Ec. (10-10) se transforma en:

$$i_d = g_m v_{gs} + \frac{1}{r_d} v_{ds} \tag{10-11}$$

donde:

$$g_m \equiv \frac{\partial i_D}{\partial v_{GS}}\bigg|_{V_{DS}} \approx \frac{\Delta i_D}{\Delta v_{GS}}\bigg|_{V_{DS}} = \frac{i_d}{v_{gs}}\bigg|_{V_{DS}} \tag{10-12}$$

es la *conductancia mutua* o *transconductancia*. Se designa también, a menudo, por y_{fs} o g_{fs} y es denominada *transadmitancia directa (en fuente común)*. El segundo parámetro r_d de la Ec. (10-11) es la resistencia de drenaje (*o de salida*), y queda definido por:

$$r_d \equiv \frac{\partial v_{DS}}{\partial i_D}\bigg|_{V_{GS}} \approx \frac{\Delta v_{DS}}{\Delta i_D}\bigg|_{V_{GS}} = \frac{v_{ds}}{i_d}\bigg|_{V_{GS}} \tag{10-13}$$

La inversa de r_d es la conductancia de drenaje g_d. También se designa por y_{os} y g_{os} y se denomina conductancia de salida (en fuente común).

Puede definirse un *factor de amplificación* μ para el FET como:

$$\mu \equiv -\frac{\partial v_{DS}}{\partial v_{GS}}\bigg|_{I_D} = -\frac{\Delta v_{DS}}{\Delta v_{GS}}\bigg|_{I_D} = -\frac{v_{ds}}{v_{gs}}\bigg|_{i_d = 0} \tag{10-14}$$

podemos comprobar que μ, r_d y g_m están relacionados por la fórmula:

$$\mu = r_d g_m \tag{10-15}$$

haciendo $i_d = 0$ en la Ec. (10-11).

La expresión de g_m se obtiene por la aplicación de la definición dada en la Ec. (10-12) a la Ec. (10-8). El resultado es:

$$g_m = g_{mo}\left(1 - \frac{V_{GS}}{V_P}\right) = -\frac{2}{V_P}(I_{DSS}I_{DS})^{1/2}, \tag{10-16}$$

donde g_{mo} es el valor de g_m para $V_{GS} = 0$, y viene dado por:

$$g_{mo} = \frac{-2I_{DSS}}{V_P} \tag{10-17}$$

Como I_{DSS} y V_P son de signo opuesto, g_{mo} es siempre positivo. Obsérvese que la transconductancia varía con la raíz cuadrada de la corriente de drenaje. La relación entre g_{mo}, I_{DSS} y V_P se ha comprobado experimentalmente[7]. Como g_{mo} puede medirse e I_{DSS} puede leerse en un miliamperímetro de continua colocado en el conductor de drenaje (con excitación de puerta nula), la Ec. (10-7) da un método para obtener V_P.

La dependencia de g_m respecto a V_{GS} está indicada en la Fig. 10-6 para el FET 2N3277 (con $V_P \approx 4{,}5$ V) y el FET 2N3278 (con $V_P \approx 7$ V). Puede verse que la relación lineal predicha en la Ec. (10-16) es sólo aproximadamente válida.

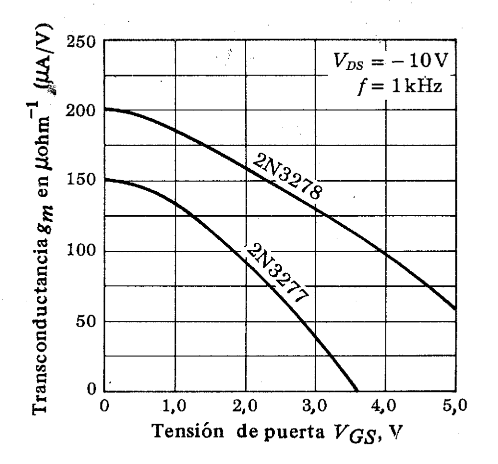


Fig. 10-6. Transconductancia en función de la tensión de puerta para los FET tipo 2N3277 y el 2N3278. (Cortesía de Fairchild Semiconductor Company.)

Dependencia con la temperatura. Las curvas de g_m y de r_d en función de la temperatura vienen dadas en la Fig. 10-7. La corriente de drenaje I_{DS} tiene la misma variación con la temperatura que g_m. La principal razón del coeficiente de temperatura negativo de I_{DS} es que la movilidad decrece con el aumento de temperatura.[8] Puesto que esta corriente de portadores mayoritarios disminuye con la temperatura (contrariamente al transistor bipolar, cuya corriente de portadores minoritarios aumenta con la temperatura), no puede darse en los transistores de efecto campo la perturbación de acumulación térmica (Sec. 9-9).

Modelo del FET. En la Fig. 10-8*a*, aparece un circuito que satisface la Ec. (10-11). Este modelo de pequeña señal a baja frecuencia tiene un circuito de salida Norton con un

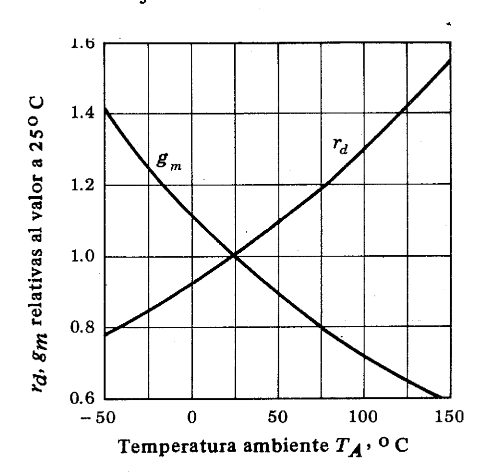


Fig. 10-7. g_m y r_d normalizadas en función de T_A (para los FET 2N3277 y 2N3278 con $V_{DS} = -10$ V, $V_{GS} = 0$ V y $f = 1$ kHz). (Cortesía de Fairchild Semiconductor Company.)

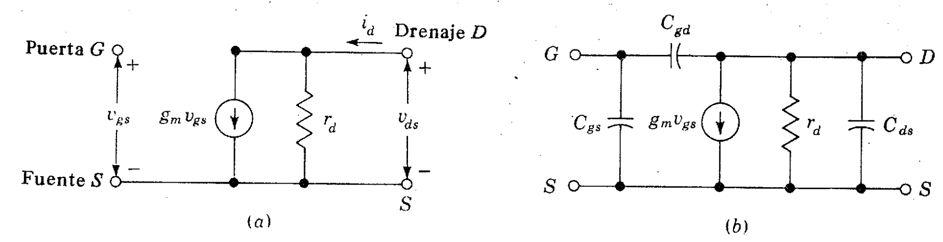


Fig. 10-8. (*a*) Modelo del FET para pequeña señal a baja frecuencia. (*b*) El modelo para alta frecuencia, teniendo en cuenta las capacidades entre conexiones

generador de corriente dependiente cuya corriente es proporcional a la tensión puerta-fuente. El factor de proporcionalidad es la transconductancia g_m, lo que está conforme con la definición de g_m de la Ec. (10-12). La resistencia de salida r_d está en concordancia con la definición de la Ec. (10-13). La resistencia de entrada entre puerta y fuente es infinita, en el supuesto de que la puerta polarizada en sentido inverso no tome corriente. Por la misma razón, la resistencia entre puerta y drenaje se supone también infinita.

El modelo FET de la Fig. 10-8*a* debe compararse con el modelo de parámetros *h* del transistor bipolar de unión de la Fig. 8-6. Este último también tiene un circuito Norton de salida, pero la corriente generada depende de la *corriente* de entrada, mientras que en el modelo FET la corriente del generador depende de la *tensión* de entrada. Obsérvese que en el FET no hay realimentación a bajas frecuencias de la salida a la entrada, en tanto que sí existe en el transistor bipolar mediante el parámetro h_{re}. Finalmente, nótese que la elevada (casi infinita) resistencia de entrada del FET está reemplazada por una resistencia de entrada de aproximadamente 1 K para un amplificador en emisor común. En resumen, a baja frecuencia, el transistor de efecto campo es un amplificador mucho más ideal que el transistor convencional. Desafortunadamente, esto no es así en el intervalo más allá de las audio frecuencias, como veremos seguidamente.

El modelo para altas frecuencias dado en la Fig. 10-8*b* es idéntico al de la Fig. 10-8*a* excepto en que se han agregado las capacidades entre los pares de nudos. El condensador C_{gs} representa la capacidad de la barrera entre puerta y fuente y C_{gd} entre drenaje y puerta. El elemento C_{ds} representa la capacidad entre drenaje y fuente del canal. Debido a estas capacidades internas, existe una realimentación entre los circuitos de entrada y de salida, y la amplificación de tensión cae rápidamente cuando la frecuencia aumenta (Sec. 10-11). En la Tabla 10-1 se dan los órdenes de magnitud de los parámetros del modelo de un FET de unión por difusión.

TABLA 10-1. Margen del valor de los parámetros de un FET

Parámetro	JFET	MOSFET*
g_m	0,1–10 mA/V	0,1–20 mA/V o más
r_d	0,1–1 M	1–50 K
C_{ds}	0,1–1 pF	0,1–1 pF
C_{gs}, C_{gd}	1–10 pF	1–10 pF
r_{gs}	$>10^8\ \Omega$	$>10^{10}\ \Omega$
r_{gd}	$>10^8\ \Omega$	$>10^{14}\ \Omega$

* Discutido en la Sec. 10-5.

10-5. FET DE METAL-OXIDO-SEMICONDUCTOR (MOSFET)

En las secciones precedentes hemos desarrollado las características tensión-corriente y las propiedades para pequeñas señales de los transistores de efecto campo de unión. Vamos a centrar ahora nuestra atención en los FET de puerta aislada, o sea los FET metal-óxido-semiconductor[9], que tienen mucha más importancia comercial que los FET de unión.

El MOSFET de canal *p* está constituido por un sustrato de tipo *n*, ligeramente drogado, en el que se difunden dos regiones de tipo p^+ fuertemente drogadas, tal como muestra la Fig. 10-9. Estas regiones p^+, que actuarán como fuente y drenaje, están separadas aproximadamente unos 10 a 20 μm. Se deposita una fina capa (1 000 a 2 000 Å) de aislante de dióxido de silicio (SiO_2) sobre la superficie de la estructura, y se practican unas ventanas en la capa de óxido para permitir el contacto con la fuente y el drenaje. Posteriormente, se cubre la región entera del canal con una superficie metálica que hace las veces de puerta. Simultáneamente, se hacen los contactos de metal de la fuente y del drenaje tal como indica la Fig. 10-9. El contacto con el metal de sobre el área del canal es el terminal de puerta. El área de un chip de un MOSFET es de 125 μm o menos, lo que representa cerca de un 5 % de la que se requiere para un transistor bipolar.

El área metálica de la puerta, conjuntamente con la capa de óxido aislante como dieléctrico y el canal semiconductor, forma un condensador de placas planas paralelas. La capa aislante de óxido justifica que se le denomine transistor de efecto campo de puerta aislada. Esta capa proporciona una resistencia de entrada extremadamente elevada (10^{10} a 10^{15} Ω) al MOSFET. Los MOSFET de acumulación de canal *p* son los dispositivos de efecto campo más comunes (1972), y seguidamente describiremos sus características.

MOSFET de acumulación. Si colocamos el sustrato de la estructura de la Fig. 10-9 al potencial de tierra y aplicamos una tensión negativa a la puerta, aparecerá un campo eléctrico perpendicular al óxido. Este campo eléctrico "inducirá" cargas positivas en el semiconductor, como indica la Fig. 10-9. Estas cargas positivas, que son portadores minoritarios en el sustrato tipo *n*, forman una "capa de inversión". Cuando el valor de la tensión negativa de la puerta aumenta, la carga positiva inducida en el semiconductor también aumenta. La región debajo del óxido tendrá ahora portadores tipo *p*, aumenta la

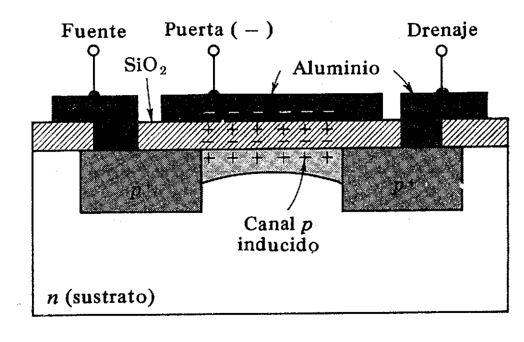


Fig. 10-9. MOSFET de acumulación de canal *p*. (Cortesía de Motorola Semiconductor Products, Inc.)

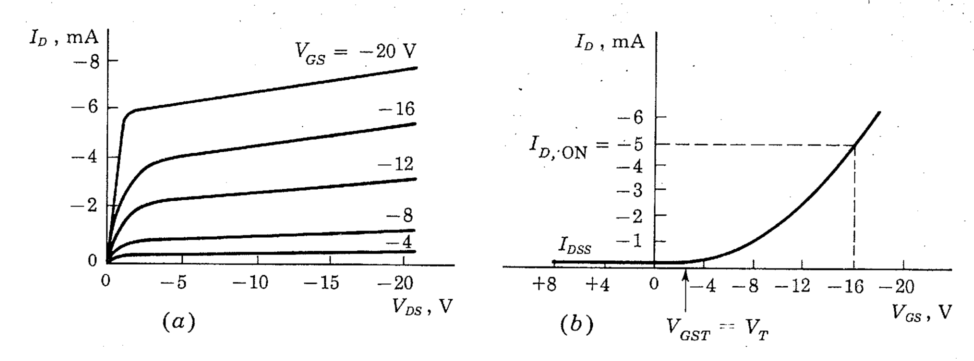


Fig. 10-10. *(a)* Características de drenaje y *(b)* curva de transferencia (para $V_{DS} = 10$ V) de un MOSFET de acumulación de canal *p*

conductividad, y la corriente circula desde la fuente al drenaje a través del canal inducido. Por lo tanto, la corriente de drenaje se "intensifica" con la tensión negativa de puerta, y por esta causa el sistema se denomina MOS *de acumulación.*

Tensión de umbral. Las características tensión-corriente de drenaje de un MOSFET de acumulación de canal *p*, aparecen en la Fig. 10-10*a*, y su curva de transferencia en la Fig. 10-10*b*. La corriente I_{DSS} a $V_{GS} \geqslant 0$ es muy pequeña, del orden de unos pocos nanoampere. A medida que V_{GS} se hace negativa, la corriente $|I_D|$ aumenta primero lentamente, y luego con rapidez mucho mayor. Los fabricantes suelen indicar la tensión umbral *puerta-fuente* V_{GST}, o V_T*, a la cual I_D alcanza un pequeño valor determinado, por ejemplo 10 μA. La corriente $I_{D,ON}$ que corresponde aproximadamente al máximo valor dado por las características de drenaje, y el valor de V_{GS} necesario para obtener esta corriente viene dado también por los fabricantes.

El valor de V_T para un MOSFET de canal *p* normal, es generalmente de − 4 V, y es bastante corriente emplear una fuente de alimentación de − 12 V para el drenaje. Esta elevada tensión es incompatible con la tensión de 5 V de la fuente de alimentación que se emplea normalmente en los circuitos integrados bipolares. De ahí que se hayan desarrollado varias técnicas de fabricación[10] para reducir V_T. En general, una tensión de umbral baja permite: (1) el empleo de una tensión de alimentación pequeña, (2) el funcionamiento compatible con dispositivos bipolares, y (3) pequeños tiempos de conmutación debido a la pequeña variación de tensión durante la conmutación.

Para disminuir el valor de V_T se emplean tres métodos:

1. Los MOSFET de elevado umbral emplean cristal de silicio con orientación (111). Si se utiliza en la dirección (100) el valor resultante de V_T vale aproximadamente la mitad del obtenido con la orientación (111).
2. El método del nitruro de silicio emplea una capa de Si_3N_4 y SiO_2, cuya constante dieléctrica es aproximadamente doble que la del SiO_2 solo. En un FET construido de esta forma (designado MNOS) V_T disminuye a 2 V, aproximadamente.
3. El silicio policristalino drogado con boro se emplea como puerta en lugar del aluminio. Esta reducción en la diferencia de potencial de contacto entre el electrodo de puerta y su dieléctrico, reduce V_T. Este dispositivo se denomina transistor MOS de *puerta de silicio.* Los tres métodos de fabricación descritos dan como resultado un dispositivo con V_T comprendido entre 1,5 y 2,5 V, mientras que el MOS de alto umbral tiene una V_T de 4 a 6 V, aproximadamente.

* En este capítulo, la tensión umbral no debe confundirse con la tensión equivalente de temperatura V_T de la Sec. 2-9.

Condicionamientos de la fuente de alimentación. La tabla 10-2 da las tensiones que se acostumbran a emplear en los MOSFET de canal *p* de elevado y de bajo umbral. Obsérvese que V_{SS} se refiere a la tensión de alimentación del sustrato, V_{DD} a la de drenaje, y V_{GG} a la de la puerta. El subíndice 1 indica que la fuente está a tierra, y el subíndice 2 que lo está el drenaje.

Los circuitos MOS de bajo umbral requieren tensiones de alimentación más bajas, lo que significa sistemas más baratos de alimentación. Además, las variaciones de la tensión de entrada para pasar un sistema de corte a conducción son menores para tensiones de umbral pequeñas, y por ello el funcionamiento es más rápido. Otra cualidad muy interesante de los circuitos MOS de bajo umbral es la de que son directamente compatibles con los circuitos integrados bipolares. Precisan y suministran las mismas variaciones de tensiones de entrada y de salida, y el sistema otorga flexibilidad para que el diseñador pueda emplear circuitos MOS y bipolares en el mismo sistema.

TABLA 10-2 Tensiones de alimentación para un MOSFET de canal *p* en volt

	V_{SS1}	$-V_{DD1}$	$-V_{GG1}$	V_{SS2}	V_{DD2}	$-V_{GG2}$
Umbral alto	0	−12	−24	+12	0	−12
Umbral bajo	0	−5	−17	+5	0	−12

Implantación de iones.[10] La técnica de implantación de iones demostrada en la Fig. 10-11 logra un control muy preciso del drogado. Los iones del drogador apropiado, tal como el fósforo o el boro, se aceleran hasta una elevada energía de más de 300.000 eV y se emplean para bombardear la oblea de silicio. La energía de los iones determina la profundidad de penetración en la oblea. En las zonas en que no se desea la implantación, una máscara de aluminio o una delgada capa de óxido (12.000 Å) absorben los iones. En principio, se puede obtener cualquier valor de tensión umbral empleando la implantación de iones. Además, vemos en la Fig. 10-11 que no hay sobreposición entre puerta y

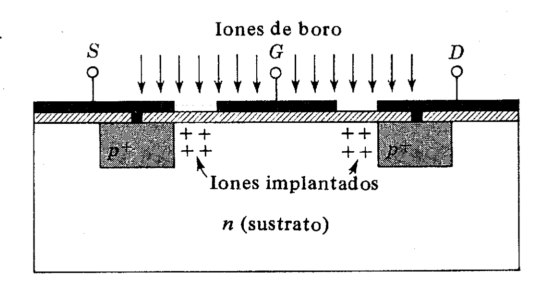


Fig. 10-11. Implantación de iones en un dispositivo MOS

drenaje, o entre puerta y fuente (compárese la Fig. 10-11 con la Fig. 10-9). En consecuencia, gracias a la implantación de iones, hay una gran reducción en C_{gd} y C_{gs}.

MOSFET de deplexión. Se puede formar un segundo tipo de MOSFET si, en la estructura básica de la Fig. 10-9, se difunde un canal entre la fuente y el drenaje con el mismo tipo de impureza empleado en la difusión de puerta y sumidero. Vamos ahora a considerar la estructura con el canal n mostrada en la Fig. 10-12*a*. Con este dispositivo, circula una apreciable corriente de drenaje I_{DSS} para una tensión $V_{GS} = 0$ entre puerta y fuente. Si la tensión de puerta se hace negativa se inducen cargas positivas en el canal a través del SiO_2 del condensador de puerta. Puesto que la corriente en un FET es debida a los portadores mayoritarios (electrones en un material tipo n) las cargas inductivas hacen al canal menos conductor y la corriente de drenaje cae cuando V_{GS} se va haciendo más negativo. La redistribución de las cargas en el canal provoca una deplexión o debilitamiento efectivo de portadores mayoritarios, lo cual es la razón de denominarlo MOSFET de deplexión. Obsérvese en la Fig. 10-12*b* que, por causa de la caída de tensión debida a la corriente de drenaje, la región del canal más cercana al propio drenaje está más debilitada que la porción en las proximidades de la fuente. Este fenómeno es análogo al de estrangulamiento de los JFET en el extremo del canal más próximo al drenaje (Fig. 10-1). De hecho, las características tensión-corriente de un MOS de deplexión y las de un JFET son parecidas.

Un MOSFET de deplexión puede funcionar también como el de acumulación. Basta con aplicar una tensión positiva a la puerta, de modo que se induzcan cargas negativas en el canal de tipo n, y de esta manera la conductividad del canal aumenta y la corriente supera I_{DSS}. Las características tensión-corriente de este dispositivo aparecen indicadas en la Fig. 10-13*a*, y la curva de transferencia en la Fig. 10-13*b*. Las regiones de deplexión y de acumulación, que corresponden a una V_{GS} negativa y positiva, respectivamente, aparecen diferenciadas. Los fabricantes indican a veces la tensión puerta-fuente de corte, $V_{GS,OFF}$, a la cual I_D se reduce a un valor específico despreciable para una tensión recomendada V_{DS}. Esta tensión de puerta corresponde a la tensión de contracción V_P de un JFET.

La discusión anterior se aplica también, en principio, al MOSFET de canal p. Para tal dispositivo, los signos de todas las corrientes y tensiones en las características tensión-corriente de la Fig. 10-13, deben invertirse.

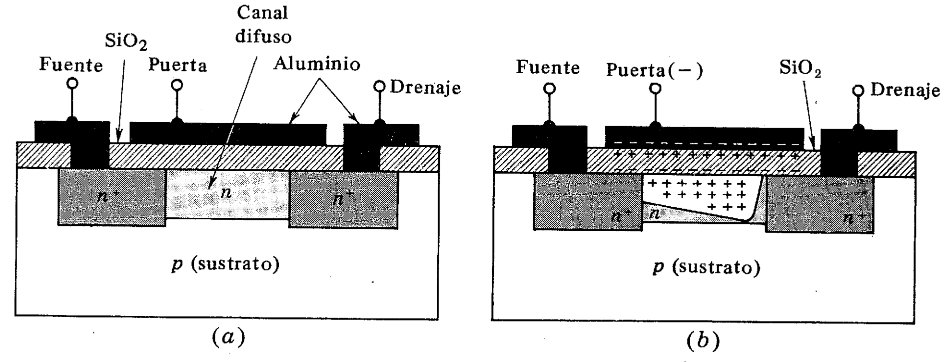


Fig. 10-12. (*a*) MOSFET de deplexión de canal n. (*b*) Deplexión del canal con una tensión de puerta negativa aplicada. (Cortesía de Motorola Semiconductor Products, Inc.)

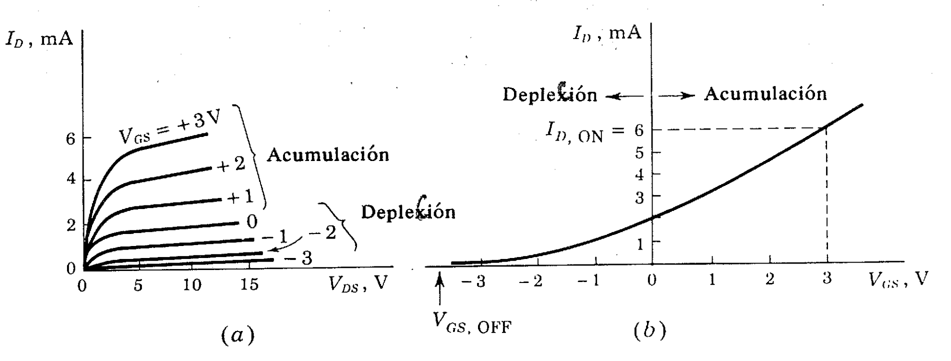


Fig. 10-13. (*a*) Características de drenaje y (*b*) curva de transferencia (para $V_{DS} = 10$ V) para un MOSFET de canal n que cabe emplear, ya sea como de acumulación o como de deplexión

Comparación de los FET de canal n con los del canal p. El FET de canal p de acumulación, mostrado en la Fig. 10-9, es muy popular en los sistemas MOS, ya que es mucho más fácil de producir que los de canal n. La mayor parte de los contaminantes en la fabricación de los MOS son iones móviles cargados positivamente que se localizan en la capa de óxido entre puerta y sustrato. En un dispositivo de acumulación de canal n, la puerta es normalmente positiva respecto al sustrato y, por lo tanto, los contaminantes cargados positivamente se sitúan a lo largo de la interfase entre el SiO_2 y el sustrato de silicio. La carga positiva de esta capa de iones atrae electrones libres en el canal, lo cual tiende a hacer que el transistor se cebe prematuramente. En el dispositivo de canal p, los iones contaminantes positivos son empujados al lado opuesto de la capa de óxido (entre el aluminio y el SiO_2) por la tensión negativa de puerta, y no afectan al canal.

La movilidad de los huecos en el silicio con una intensidad de campo eléctrico normal es, aproximadamente, de 500 cm^2/V-s. Por otra parte, la movilidad de los electrones es de unos 1 300 cm^2/V-s. Por lo tanto, el dispositivo de canal p tendrá doble resistencia en funcionamiento que el canal n equivalente de la misma geometría y en las mismas condiciones. En otras palabras, el elemento de canal p debe tener más del doble en área que el dispositivo de canal n, para alcanzar la misma resistencia. Por tanto, los circuitos MOS de canal n pueden ser menores para la misma complejidad que los de canal p. La mayor densidad de encapsulamiento de los MOS de canal n también los vuelve más rápidos para las aplicaciones como conmutador, debido a las menores áreas de la unión. La velocidad de funcionamiento está limitada en principio por la constante de tiempo interna RC, y la capacidad es directamente proporcional a las secciones de la unión. Por todas las razones anteriores, está claro que los circuitos MOS de canal n son más convincentes que los de canal p. No obstante, el proceso más exhaustivo de control, necesario para la fabricación del canal n, lo encarece y no es competitivo por el momento (1972) con los elementos de canal p.

Protección de las puertas en los MOSFET. Como la capa de SiO_2 de puerta es muy fina, se puede estropear fácilmente con una tensión excesiva. Una acumulación de cargas en circuito abierto puede dar como resultado un campo suficientemente elevado para perforar el dieléctrico. Para prevenir este deterioro, algunos dispositivos MOS se fabrican con un diodo zener entre puerta y sustrato. En funcionamiento normal, este diodo está

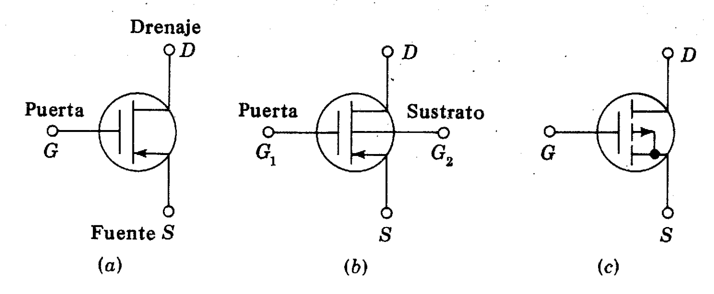


Fig. 10-14. Tres símbolos de MOSFET de canal *p*. (*a*) y (*b*) Puede representar los dos tipos: de acumulación o de deplexión, mientras que (*c*) representa específicamente el tipo de acumulación. En (*a*) se entiende que el sustrato está conectado internamente a la fuente. Para un MOSFET de canal *n*, la dirección de la flecha estaría en el sentido inverso

abierto y no tiene efecto sobre el circuito. En cambio, si la tensión de puerta llega a ser excesiva, se produce ruptura del diodo y el potencial de puerta queda limitado a un valor máximo igual a la tensión del zener.

Símbolos del circuito. Se puede sacar al exterior la conexión del sustrato para tener así un dispositivo tetrodo. La mayor parte, no obstante, de MOSFET son triodos, con el sustrato conectado interiormente a la fuente. Los símbolos del circuito empleados por la mayor parte de los fabricantes se indican en la Fig. 10-14. Muchas veces, el terminal del sustrato se omite en el símbolo, como en (*a*), y entonces se sobreentiende que está conectado a la fuente internamente. En el MOSFET de acumulación de la Fig. 10-14*c*, G_2 está conectado internamente a S tal como se indica.

Modelo del circuito MOSFET para pequeña señal.[11] Si las pequeñas resistencias de fuente y de drenaje se desprecian, el circuito equivalente para pequeña señal del MOSFET entre los terminales $G(= G_1)$, S y D es idéntico al dado en la Fig. 10-8 para el JFET. La transconductancia g_m y la capacidad interelectródica tienen valores comparables entre los dos tipos de elementos. No obstante, como se observa en la Tabla 10-1, la resistencia de drenaje r_d del MOSFET es mucho más pequeña que la del JFET. Obsérvese también, en la Tabla 10-1, que la resistencia de entrada r_{gs} y la resistencia de realimentación r_{gd} son mucho mayores para el MOSFET que para el JFET.

Si el terminal G_2 del sustrato no está conectado a la fuente, el modelo de la Fig. 10-8 deberá generalizarse de la siguiente manera: entre el nudo G_2 y S, se agrega un diodo $D1$ que representa la unión *p-n* entre el sustrato y la fuente. Análogamente, se incluye un segundo diodo $D2$ entre G_2 y D, que representa la unión *p-n* formada por el sustrato y el drenaje.

10-6. CIRCUITOS MOSFET DIGITALES[12]

Las aplicaciones más comunes de los dispositivos MOS son digitales, ya sea como puertas lógicas (estudiadas en esta sección) y registradores, o como dispositivos de memoria (Cap. 17). Debido a las capacidades parásitas de puerta-drenaje, puerta-fuente y de

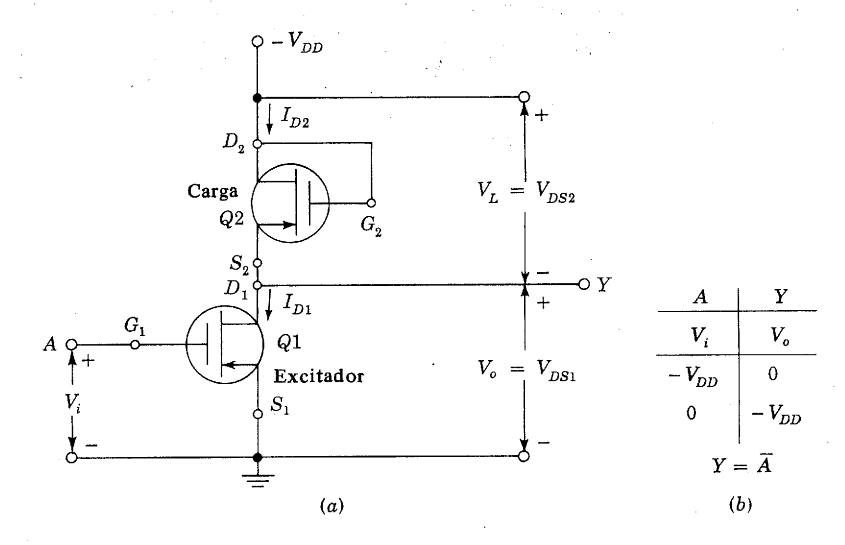


Fig. 10-15. (*a*) Inversor MOS (circuito NO). (*b*) Tabla de la verdad de las tensiones, y expresión de Boole

sustrato, los circuitos MOSFET son más lentos que los correspondientes circuitos bipolares. No obstante, la menor potencia de disipación y la mayor densidad de fabricación hacen que los dispositivos MOS sean más atractivos y económicos para muchas aplicaciones de baja velocidad.

Inversor. Los circuitos digitales MOSFET están constituidos *enteramente* por FET sin que haya resistencias, diodos, o condensadores (excepción hecha de las capacidades parásitas). Por ejemplo, considerando el MOSFET inversor de la Fig. 10-15*a*, $Q1$ es un FET *excitador*, mientras que $Q2$ actúa como su resistencia de carga y se llama el FET de *carga*. El carácter no lineal de la carga puede evidenciarse de la siguiente manera: Como la puerta está unida al drenaje, $V_{GS2} = V_{DS2}$. Las características de drenaje de la Fig. 10-10 se reproducen en la Fig. 10-16*a* y la curva sombreada representa el lugar geométrico de los puntos en que $V_{GS2} = V_{DS2} = V_L$. Esta curva también da I_{D2} en función de V_L (para $V_{GS2} = V_{DS2}$), y su pendiente da la conductancia incremental g_L de la carga de $Q2$ como carga. Naturalmente, la resistencia de carga no es lineal. Obsérvese que $Q2$ está siempre conduciendo, (para $|V_{DS2}| > |V_T|$), independientemente de que $Q1$ esté en conducción o en corte.

En la Ec. (10-8) se da una expresión analítica de la curva de carga, con $V_{GS} = V_{DS} = V_L$ y con V_P sustituida por la tensión umbral $V_{GST} = V_T$.

$$I_{DS} = I_{DSS}\left(1 - \frac{V_{DS}}{V_T}\right)^2 \quad \text{para } |V_{DS}| \geqslant |V_T| \tag{10-18}$$

y vemos que es una relación cuadrática en lugar de lineal. En la Ec. (10-18) encontramos (Probl. 10-9) que la conductancia de carga es igual a la transconductancia del FET: $g_L = g_m$. Se obtendrá el mismo resultado en la Sec. 10-7.

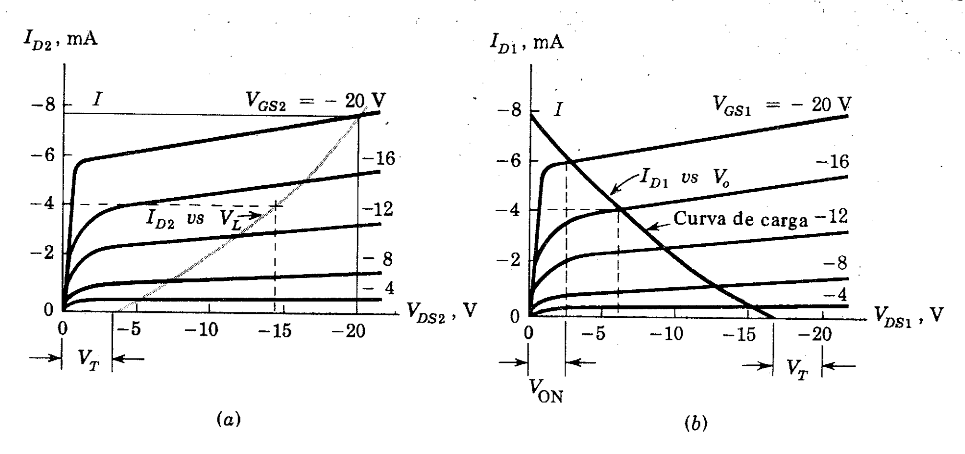


Fig. 10-16. (*a*) $Q2$ actúa como una carga I_{D2} en función de $V_L = V_{DS2}$ para el excitador $Q1$. (*b*) Curva de carga I_{D1} en función de $V_o = V_{DS1}$

La resistencia incremental no es un parámetro muy empleado cuando se considera un funcionamiento digital con señal fuerte. Es necesario dibujar la *curva de carga* (correspondiente a la *línea de carga* con una resistencia constante) en las características tensión-corriente del FET excitador $Q1$. La *curva de carga* representa:

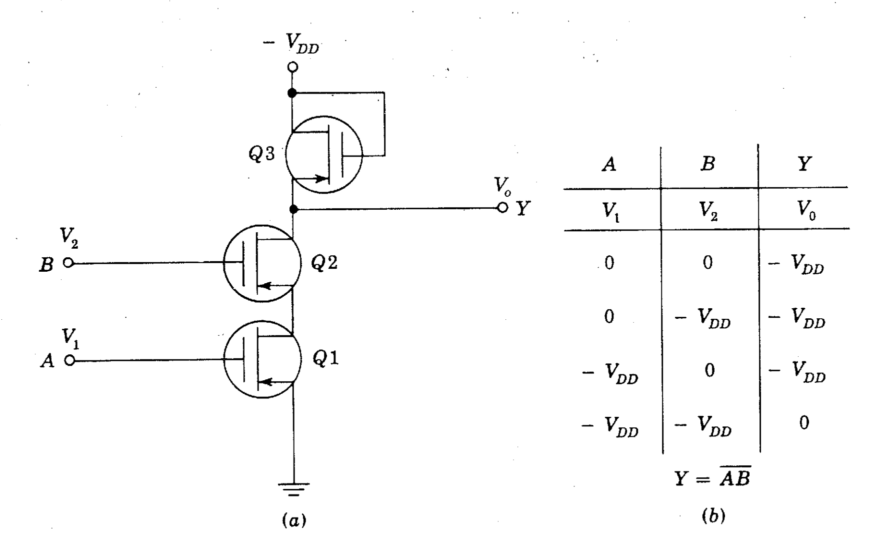
$$I_D = I_{D1} \text{ en función de } V_{DS1} = V_o = -V_{DD} - V_L = -20 - V_{DS2}$$

donde hemos supuesto una tensión de alimentación de 20 V. Para un valor dado de $I_{D2} = I_{D1}$, encontramos $V_{DS2} = V_L$ en la curva sombreada de la Fig. 10-16*a*, y entonces dibujaremos el lugar geométrico de los valores I_{D1} en función de $V_o = V_{DS1}$ en la Fig. 10-16*b*. Por ejemplo, de la Fig. 10-16*a* para $I_{D2} = 4$ mA, encontramos $V_{DS2} = -14$ V. Por lo tanto, $I_{D1} = 4$ mA está localizado a $V_{DS1} = -20 + 14 = -6$ V en la Fig. 10-16*b*.

Vamos a confirmar ahora que el circuito de la Fig. 10-15 es un inversor, o circuito NO. Supongamos lógica *negativa* (Sec. 6-1) con el 1, o estado inferior, dado por $V(1) \approx -V_{DD} = -20$ V y el 0, o estado superior, dado por $V(0) \approx 0$. Si $V_i = V_{GS1} = -20$ V, entonces, por la Fig. 10-16*b*, $V_o = V_{ON} \approx -2$ V. Por lo tanto, $V_i = V(1)$ da $V_o = V(0)$. Similarmente, por la Fig. 10-16*b*, si $V_i = 0$ V, entonces $V_o = -V_{DD} - V_T = -17$ V para $V_T \approx -3$ V. Por lo tanto, $V_i = V(0)$ da $V_o = V(1)$, lo que confirma la tabla de la verdad de la Fig. 10-15*b*.

Simplificaremos el razonamiento que sigue suponiendo que $|V_{ON}|$ y $|V_T|$ son pequeñas comparadas con $|V_{DD}|$ y tomaremos $V_{ON} = 0$ y $V_T = 0$. De ahí que, en primera aproximación, la carga FET pueda ser considerada como una resistencia constante R_L y pueda ser representada por una recta de carga que pase por $I_D = 0$, $V_{DS} = -V_{DD}$ e $I_D = I$, $V_{DS} = 0$, donde I es la corriente de drenaje para $V_{DS} = V_{GS} = -V_{DD}$. En otras palabras, $R_L = -V_{DD}/I$. La mayor parte de los MOSFET son de canal p de acumulación y se emplea lógica negativa con $V(0) = 0$ y $V(1) = -V_{DD}$.

Puerta NAND. El funcionamiento de la puerta negativa NAND de la Fig. 10-17 puede comprenderse si tenemos en cuenta que, si cualquiera de las entradas V_1 o V_2 están a 0 V



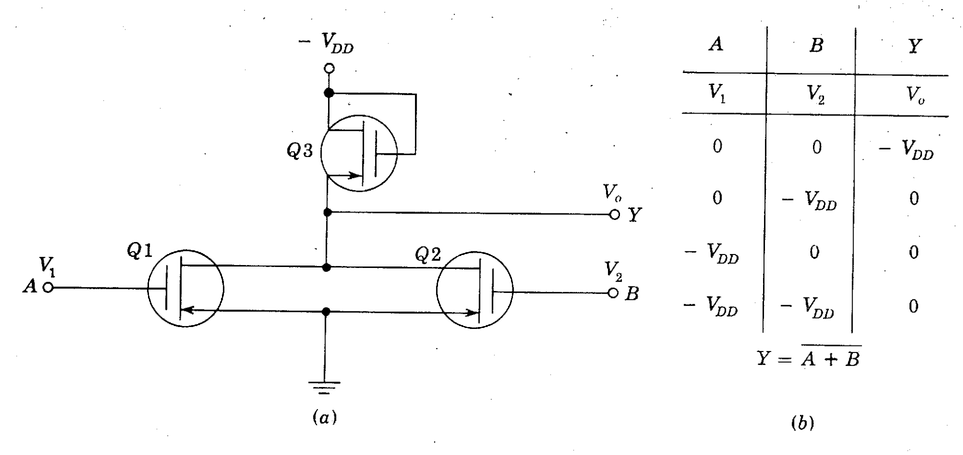
A	B	Y
V_1	V_2	V_0
0	0	$-V_{DD}$
0	$-V_{DD}$	$-V_{DD}$
$-V_{DD}$	0	$-V_{DD}$
$-V_{DD}$	$-V_{DD}$	0

Fig. 10-17. (*a*) Puerta NAND (negativa) con MOSFET, y (*b*) tabla de la verdad de tensiones, y expresión de Boole. (Recuérdese que 0 V es el estado cero y $-V_{DD}$ es el estado 1.)

(en el estado 0), el FET correspondiente está en corte y la corriente es cero. Por lo tanto, la caída de potencial en el FET de carga es nula y la salida $V_o = -V_{DD}$ (estado 1). Si ambos V_1 y V_2 están en el estado 1 ($V_1 = V_2 = -V_{DD}$), entonces ambos $Q1$ y $Q2$ están en conducción y las salidas están a 0 V, o sea en el estado 0. Estos valores concuerdan con la tabla de la verdad de tensiones de la Fig. 10-17*b*. Si se sustituye $-V_{DD}$ por 1 en la Fig. 10-17*b*, esta lógica está de acuerdo con la tabla de la verdad de la puerta NAND, dada en la Fig. 6-18. Observemos que sólo durante uno de los cuatro posibles estados de entrada la fuente de alimentación suministra potencia.

Puerta NOR. El circuito de la Fig. 10-18*a* es una puerta NOR negativa. Cuando cualquiera de las dos entradas (o ambas) está a V_{DD}, el FET correspondiente está en conducción y la salida está a 0 V. Si ambas entradas están a 0 V, los dos transistores $Q1$ y $Q2$ están en corte y la salida está a $-V_{DD}$. Estos valores concuerdan con la tabla de la verdad de la Fig. 10-18*b*. Obsérvese que se suministra potencia desde la fuente durante tres de los cuatro posibles estados de entrada. Debido a la alta densidad de los dispositivos MOS en el mismo chip, es importante minimizar el consumo de potencia en los sistemas LSI MOSFET (Sec. 17-7).

El circuito de la Fig. 10-17 puede considerarse como una puerta NOR *positiva*, y el de la Fig. 10-18 como puerta NAND *positiva* (Sec. 6-9). Estos circuitos MOSFET son ejemplos de lógica de transistores directamente acoplados (DCTL), mencionados en la Sec. 6-14. En cambio, los circuitos MOSFET DCTL no tienen ninguno de los inconvenientes (tales como la corriente de "transvase") de las puertas bipolares DCTL. En el Prob. 10-11 se indica un FLIP FLOP construido a partir de un MOSFET. Se obtiene una puerta Y (O) colocando en serie una puerta NAND(NOR) con una puerta NO. Normalmente, las puertas NAND de tres entradas ocupan unos 10^4 μm^2 del área del chip, mientras que un solo transistor de unión bipolar necesita cerca de cinco veces esta superficie.



A	B	Y
V_1	V_2	V_o
0	0	$-V_{DD}$
0	$-V_{DD}$	0
$-V_{DD}$	0	0
$-V_{DD}$	$-V_{DD}$	0

$Y = \overline{A + B}$

Fig. 10-18. (*a*) Puerta NOR con MOSFET (negativa), y (*b*) tabla de la verdad de tensiones y expresión de Boole

MOS complementarios (CMOS).[12] Cabe reducir la potencia de disipación a valores muy pequeños (50 nW) empleando dispositivos MOS de acumulación complementarios, de canal p y n, en el mismo chip. En la Fig. 10-19, se muestra un circuito inversor básico MOS complementario. El transistor $Q1$ es la unidad de canal p, y el transistor $Q2$ es de canal n. Los dos dispositivos están en serie con sus drenajes conectados entre sí, y sus puertas también conectadas entre sí. La variación lógica de la tensión de puerta V_i varía desde 0 V a la tensión de alimentación $-V_{DD}$. Cuando $V_i = -V_{DD}$ (lógica 1), el transistor $Q1$ pasa a estado de conducción (pero con corriente de reposo inapreciable) y $Q2$ se corta; la salida V_o está entonces a 0V (lógica 0), y se ha cumplido la inversión.

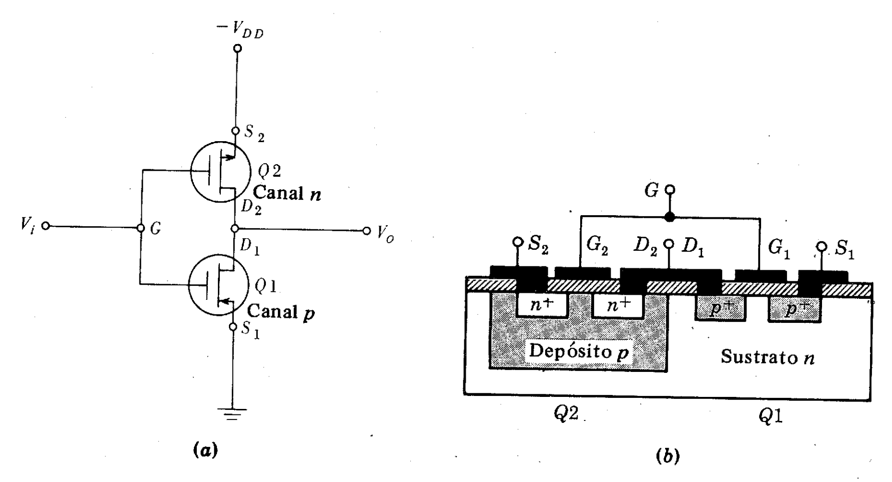


Fig. 10-19. (*a*) Inversor MOS complementario. (*b*) Sección transversal de los MOSFET complementarios. Obsérvese que el depósito de tipo p se difunde en el sustrato de tipo n y que el MOS de canal n $Q2$ se forma en esta región

Cuando se aplica a la entrada una tensión cero (lógica 0), el $Q2$ de canal n pasa al estado de conducción (sin corriente de reposo) y $Q1$ se corta. Por lo tanto, la salida estará a $-V_{DD}$ (lógica 1). En cualquier estado lógico, $Q1$ o $Q2$ están en corte y la potencia de disipación de reposo para este inversor simple es el producto de la corriente de fuga en corte por $-V_{DD}$.

Se pueden formar circuitos digitales CMOS (NAND, NOR, y FLIPS-FLOPS) combinando circuitos inversores simples. (Probs. 10-13 y 10-14).

El resto del capítulo considera el FET en funcionamiento para pequeñas señales. Primero explicaremos la ganancia a baja frecuencia, luego los métodos de polarización del dispositivo en el intervalo lineal, y finalmente las limitaciones de los FET para altas frecuencias.

10-7. AMPLIFICADORES DE BAJA FRECUENCIA CON FUENTE COMUN Y CON DRENAJE COMUN

En la Fig. 10-20*a* se indica la etapa en fuente común, y en la Fig. 10-20*b* la configuración en drenaje común. La primera es análoga al amplificador en emisor común de transistor-bipolar, y la última a una etapa en colector común. Analizaremos los dos circuitos simultáneamente, considerando la configuración general de la Fig. 10-21*a*. Para la etapa en fuente común, la salida es v_{o1} tomada en la fuente y $R_s = 0$. Para la etapa en drenaje común, la salida es v_{o2} tomada en la fuente y $R_d = 0$. La resistencia de la fuente de señal no es importante, ya que está en serie con la puerta, la cual tiene una corriente despreciable. No se indica el sistema de polarización (Sec. 10-8), pero se supone que la etapa está polarizada apropiadamente para el funcionamiento lineal.

Reemplazando el FET por su modelo para baja frecuencia y pequeña señal de la Fig. 10-8, se obtiene el circuito equivalente de la Fig. 10-21*b*. Aplicando las leyes de Kirchhoff al circuito de salida, tendremos:

$$i_d R_d + (i_d - g_m v_{gs}) r_d + i_d R_s = 0 \qquad (10\text{-}19)$$

En la Fig. 10-21*b*, la tensión entre G y S viene dada por:

$$v_{gs} = v_i - i_d R_s \qquad (10\text{-}20)$$

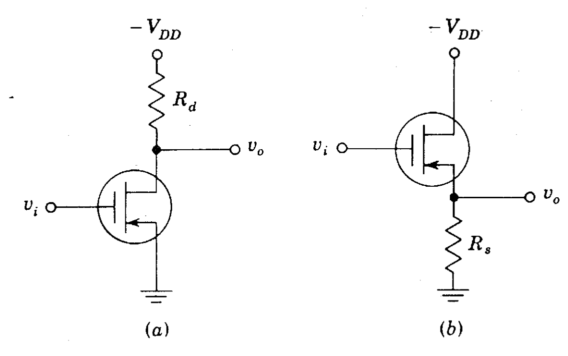


Fig. 10-20. Configuración en (*a*) fuente común y (*b*) drenaje común

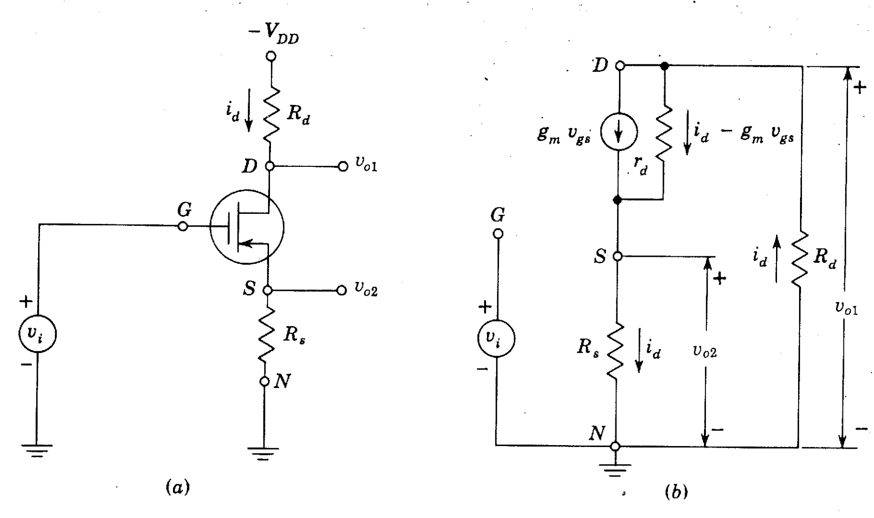


Fig. 10-21. *(a)* Configuración generalizada de un amplificador FET. *(b)* Circuito equivalente para pequeña señal

Combinando las ecuaciones (10-19) y (10-20) y recordando que $\mu = r_d g_m$ [Ec. (10-15)], encontramos:

$$i_d = \frac{\mu v_i}{r_d + R_d + (\mu + 1)R_s} \tag{10-21}$$

Amplificador en fuente común con una resistencia de fuente sin desacoplar. Ya que $v_{o1} = -i_d R_d$, tendremos

$$v_{o1} = \frac{-\mu v_i R_d}{r_d + R_d + (\mu + 1)R_s} \tag{10-22}$$

De la Ec. (10-22) obtenemos el circuito equivalente de Thévenin de la Fig. 10-22*a* visto desde el drenaje (a tierra). La tensión en circuito abierto es $-\mu v_i$, y la resistencia de salida es $R_o = r_d + (\mu + 1)R_s$. La ganancia de tensión es $A_V = v_{o1}/v_i$. El signo menos de la Ec. (10-22) indica que la salida tiene un cambio de fase de 180° respecto a la entrada. Si R_s se acopla con un gran condensador o si la fuente está a tierra, las ecuaciones anteriores son válidas con $R_s = 0$. En estas circunstancias,

$$A_V = \frac{v_{o1}}{v_i} = \frac{-\mu R_d}{r_d + R_d} = -g_m R'_d \tag{10-23}$$

donde $\mu = r_d g_m$ [Ec. (10-15)] y $R'_d = R_d \| r_d$

Amplificador en drenaje común con una resistencia de drenaje. Puesto que $v_{o2} = i_d R_s$, de la Ec. (10-21):

$$v_{o2} = \frac{\mu v_i R_s}{r_d + R_d + (\mu + 1)R_s} = \frac{[\mu v_i/(\mu + 1)]R_s}{(r_d + R_d)/(\mu + 1) + R_s} \tag{10-24}$$

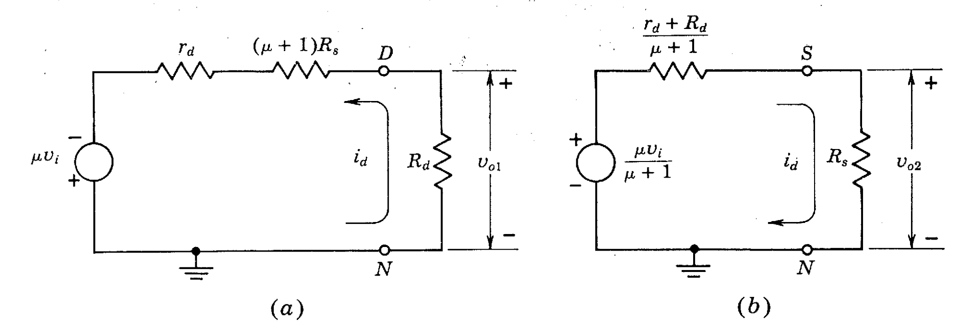


Fig. 10-22. Circuitos equivalentes del amplificador generalizado de la Fig. 10-21 "visto desde" *(a)* el drenaje, *(b)* la fuente. Obsérvese que $\mu = r_d g_m$

De la Ec. (10-24) deducimos el circuito equivalente de Thévenin de la Fig. 10-22*b*, visto desde la fuente (a tierra). La tensión en circuito abierto es $\mu v_i/(\mu + 1)$ y la resistencia de salida es $R_o = (r_d + R_d)/(\mu + 1)$. La ganancia de tensión es $A_V = v_{o2}/v_i$. Obsérvese que no hay cambio de fase entre la entrada y la salida. Si $R_d = 0$ y si $(\mu + 1)R_s \gg r_d$, entonces $A_V \approx \mu/(\mu + 1) \approx 1$ para $\mu \gg 1$. Una ganancia de tensión unidad significa que la salida (en la fuente) sigue a la entrada (en la puerta), y por esto la configuración en drenaje común se denomina *seguidor de fuente* (análogo al seguidor de emisor de un transistor bipolar de unión).

Obsérvese que la tensión en circuito abierto y la impedancia de salida en las Figs. 10-22*a* o *b* son independientes de la carga (R_d en la Fig. 10-22*a* y R_s en la Fig. 10-22*b*). Estas restricciones deben satisfacerse si las redes de la Fig. 10-22 han de representar los verdaderos equivalentes de Thévenin del amplificador de la Fig. 10-21.

Para el seguidor de fuente ($R_d = 0$) con $\mu \gg 1$, la conductancia de salida es:

$$g_o = \frac{1}{R_o} = \frac{\mu + 1}{r_d} \approx \frac{\mu}{r_d} = g_m \tag{10-25}$$

lo cual está de acuerdo con los resultados obtenidos en la Sec. 10-6 para la conductancia vista desde la fuente de un MOSFET con la puerta a tensión constante. En el comentario sobre las resistencias difundidas de la Sec. 7-8, hemos visto que 30 K es, aproximadamente, la máxima resistencia que cabe fabricar. Se pueden obtener valores superiores empleando la estructura del MOS como carga, con la puerta conectada al drenaje y a una tensión fija tal como *Q*2 de la Fig. 10-15. Utilizando un FET de baja g_m, se obtiene una resistencia efectiva de valor elevado; por ejemplo, para $g_m = 10\ \mu$A/V, obtenemos $R_o = 1/g_m = 100$ K. Este valor de resistencia efectiva requiere aproximadamente 3.250 μm^2 de área de chip, que no resiste la comparación con los 1 875 . 10^2 μm^2 necesarios para una resistencia de difusión de 20 K.

10-8. POLARIZACION DEL FET

La selección del punto de funcionamiento apropiado (I_D, V_{GS}, V_{DS}) para una etapa amplificadora con FET, se determina por consideraciones similares a las dadas para el

transistor en el Cap. 9. Estas consideraciones son: variación de la tensión de salida, distorsión, disipación de potencia, ganancia de tensión, y desviación de la corriente de drenaje. En la mayoría de los casos, no es posible satisfacer simultáneamente todas las especificaciones deseadas. En esta sección, examinaremos varios circuitos de polarización para dispositivos de efecto campo.

Autopolarización de fuente. La configuración mostrada en la Fig. 10-23 puede emplearse para la polarización del FET de unión o del transistor MOS de deplexión. Para una corriente de drenaje especificada I_D, la tensión puerta-fuente correspondiente V_{GS} puede obtenerse aplicando la Ec. (10-8), o mediante el dibujo de las características de drenaje o de transferencia. Como la corriente de puerta (y, por tanto, la caída de potencial en R_g) es despreciable, la resistencia de fuente R_s puede hallarse como relación entre la V_{GS} y la I_D deseada.

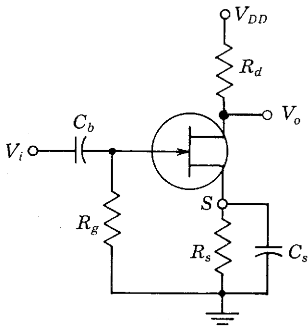


Fig. 10-23. Circuito de autopolarización de fuente

Ejemplo. El amplificador de la Fig. 10-23 utiliza un FET de canal n para el que $V_P = -20$ V e $I_{DSS} = 1{,}65$ mA. Se desea polarizar el circuito a $I_D = 0{,}8$ mA, empleando $V_{DD} = 24$ V. Supóngase que $r_d \gg R_d$. Hallar (*a*) V_{GS}, (*b*) g_m, (*c*) R_s, (*d*) R_d, tal que la ganancia de tensión sea por lo menos de 20 dB, con R_s acoplada con una capacidad muy elevada C_s.

SOLUCION. *a.* Empleando la Ec. (10-8), tenemos $0{,}8 = 1{,}65\,(1 + V_{GS}/2{,}0)^2$. Resolviendo, $V_{GS} = -0{,}62$ V.

b. La ecuación (10-17) da ahora:

$$g_{mo} = -\frac{2I_{DSS}}{V_P} = \frac{(2)(1{,}65)}{2} = 1{,}65 \text{ mA/V}$$

y de la Ec. (10-16):

$$g_m = g_{mo}\left(1 - \frac{V_{GS}}{V_P}\right) = (1{,}65)\left(1 - \frac{0{,}62}{2{,}0}\right) = 1{,}14 \text{ mA/V}.$$

c. $R_s = -\dfrac{V_{GS}}{I_D} = \dfrac{0{,}62}{0{,}8} = 0{,}77 \text{ K} = 770\ \Omega$

d. Puesto que 20 dB corresponden a una ganancia de tensión 10, de la Ec. (10-23), siendo $r_d \gg R_d$, tendremos $|A_V| = g_m R_d \geq 10$, o sea $R_d \geq 10/1{,}14 = 8{,}76$ K.

Polarización frente a la variabilidad de los elementos. Los fabricantes suelen dar información de los valores máximos y mínimos de I_{DSS} y V_P a temperatura ambiente. También dan datos para corregir estas cantidades ante variaciones de temperatura. Las características de transferencia para un tipo dado de FET de canal n pueden ser como en la Fig. 10-24*a*, cuyas curvas superior e inferior son las de valores extremos de la variación de los elementos y de la temperatura. Supongamos que es preciso polarizar el dispositivo para que la corriente de drenaje no varíe más allá de $I_D = I_A$ e $I_D = I_B$. Entonces, la recta de polarización $V_{GS} = -I_D R_s$ deberá cortar las características de transferencia entre los puntos A y B, tal como se indica en la Fig. 10-24*a*. La pendiente de esta línea de polarización está determinada por la resistencia de la fuente R_s. Para cualquier característica de transferencia entre los dos extremos indicados, la corriente I_Q es tal que $I_A < I_Q < I_B$, como deseábamos.

Consideremos la situación indicada en la Fig. 10-24*b*, en la que la línea que pasa por entre los puntos A y B no pasa por el origen. Esta línea de polarización satisface la ecuación:

$$V_{GS} = V_{GG} - I_D R_s \tag{10-26}$$

Esta relación de polarización puede obtenerse añadiendo una polarización fija a la puerta, además de la autopolarización de la fuente, como indica la Fig. 10-25*a*. En la Fig. 10-25*b* se observa un circuito que sólo requiere una fuente de alimentación y que puede satisfacer la Ec. (10-26). Para este circuito:

$$V_{GG} = \frac{R_2 V_{DD}}{R_1 + R_2} \qquad R_g = \frac{R_1 R_2}{R_1 + R_2}$$

Hemos supuesto que la corriente de puerta es despreciable. También es posible que V_{GG} quede situada en la región de polarización inversa, de modo que la línea de la Fig. 10-24*b* corte el eje de abscisas a la derecha del origen. En estas circunstancias, se deben emplear dos fuentes de alimentación separadas.

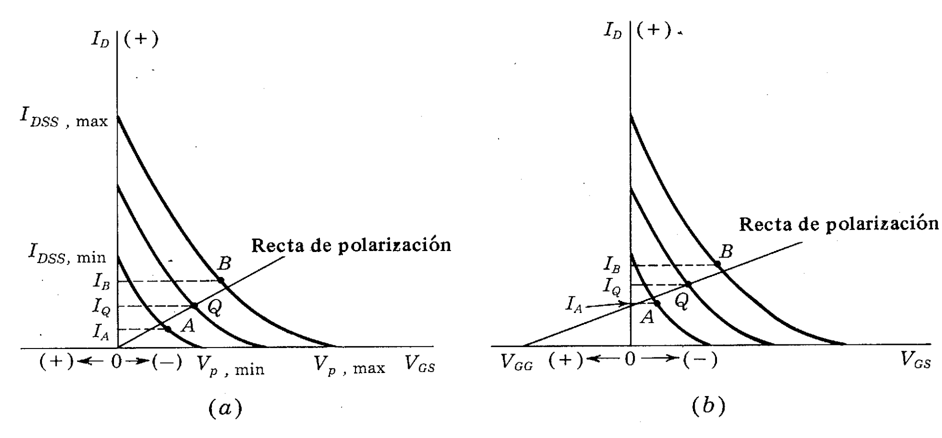


Fig. 10-24. Curvas de transferencia máxima y mínima para un FET de canal *n*. La corriente de drenaje, debe estar entre I_A e I_B. La recta de polarización se puede dibujar por el origen para los límites de corriente indicados en (*a*), pero ello no es posible para las corrientes especificadas en (*b*)

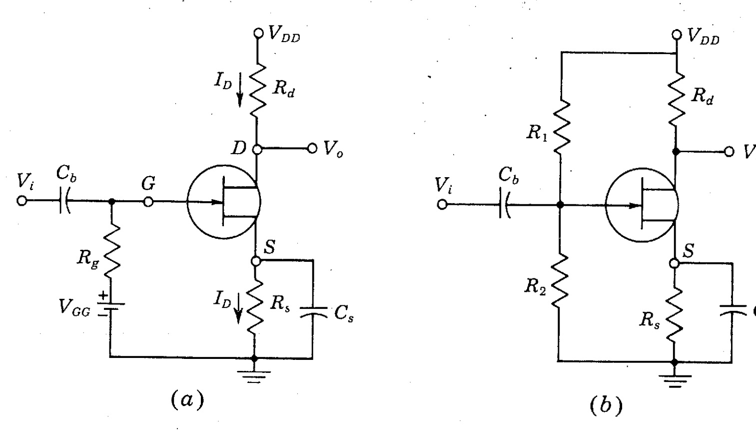


Fig. 10-25. (*a*) Polarización fija V_{GG} de un FET, además de la autopolarización por R_s. (*b*) Estructura con una sola fuente de alimentación, equivalente al circuito de (*a*)

Ejemplo. En el circuito de la Fig. 10-25*b* se emplea el FET 2N3684. Para este dispositivo de canal *n*, el fabricante especifica $V_{P,\min} = -2$ V, $V_{P,\max} = -5$ V, $I_{DSS,\min} =$ 1,6 mA, e $I_{DSS,\max} = 7{,}05$ mA. Las curvas características extremas aparecen en la Fig. 10-26. Se desea polarizar el circuito de modo que $I_{D,\min} = 0{,}8$ mA $= I_A$ e $I_{D,\max} =$ 1,2 mA $= I_B$ para $V_{DD} = 24$ V. Hallar (*a*) V_{GG} y R_s, y (*b*) el intervalo de los posibles valores de I_D si $R_s = 3{,}3$ K y $V_{GG} = 0$.

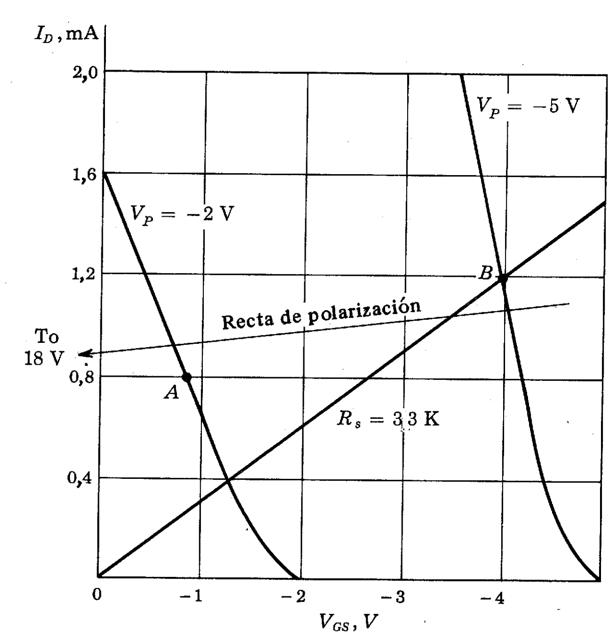


Fig. 10-26. Curvas extremas de transferencia para el transistor de efecto campo 2N3684. (Cortesía de Union Carbide Corporation.)

SOLUCION. *a*. La línea de polarización estará situada entre *A* y *B*, como se indica, si se hace pasar por los dos puntos $V_{GS} = 0$; $I_D = 0{,}9$ mA, y $V_{GS} = -4$ V, $I_D = 1{,}1$ mA. La pendiente de esta línea determina R_s, o sea:

$$R_s = \frac{4-0}{1{,}1-0{,}9} = 20 \text{ K}$$

Entonces, de la Ec. (10-26), referida al primer punto, tendremos:

$$V_{GG} = I_D R_s = (0{,}9)(20) = 18 \text{ V}$$

b. Si $R_s = 3{,}3$ K, vemos en las curvas que $I_{D,\min} = 0{,}4$ mA e $I_{D,\max} = 1{,}2$ mA. La corriente mínima está bastante por debajo del valor especificado de 0,8 mA.

Polarización de un MOSFET de acumulación. La técnica de autopolarización de la Fig. 10-23 no puede emplearse para establecer el punto de funcionamiento del MOSFET del tipo de acumulación, debido a que la caída de potencial en R_s está en dirección de polarizar inversamente la puerta, y se requiere una puerta polarizada en directo. Puede emplearse el circuito de la Fig. 10-27*a*, y en este caso $V_{GS} = V_{DS}$, ya que no fluye corriente a través de R_f. Si, por razones de linealidad de funcionamiento del dispositivo o de máxima tensión de salida, se desea que $V_{GS} \neq V_{DS}$, entonces es conveniente el circuito de la Fig. 10-27*b*. Vemos que $V_{GS} = [R_1/(R_1 + R_f)]V_{DS}$. Los dos circuitos explicados aquí ofrecen la ventaja de la estabilización en continua mediante la realimentación introducida con R_f. No obstante, la impedancia de entrada se reduce, ya que, por el teorema de Miller (Sec. 8-11), R_f equivale a una resistencia $R_i = R_f/(1 - A_V)$ en paralelo con la entrada del amplificador.

Finalmente, obsérvese que el circuito de la Fig. 10-25*b* se emplea a veces con los MOSFET de acumulación. La estabilidad en continua introducida en la Fig. 10-27 a través de la resistencia de realimentación R_f desaparece reemplazada por la realimentación en continua a través de R_s.

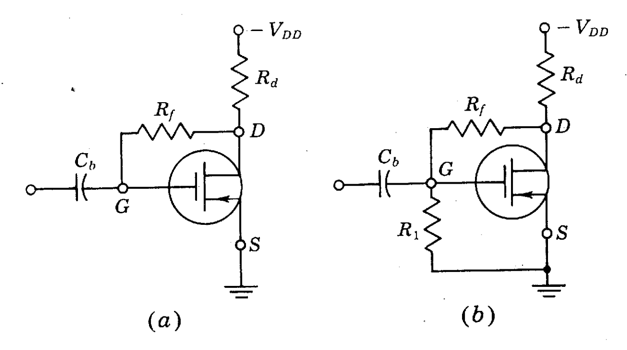


Fig. 10-27. (*a*) Circuito de polarización drenaje-puerta para un transistor MOS de acumulación; (*b*) otra versión mejorada de (*a*)

10-9. EL FET COMO RESISTENCIA VARIABLE CON LA TENSION[13] (VVR)

En la mayor parte de las aplicaciones lineales de los transistores de efecto campo, el dispositivo trabaja en la zona de corriente constante de sus características de salida. Vamos a considerar ahora el funcionamiento del transistor FET en la región anterior a la contracción, en donde V_{DS} es pequeña. En esta región, el FET se comporta como una resistencia controlada por la tensión; es decir, la resistencia fuente-drenaje se regula por la tensión de polarización V_{GS}. En estas aplicaciones, el FET se denomina resistencia *variable con la tensión* (VVR), o *resistencia dependiente de la tensión* (VDR)*

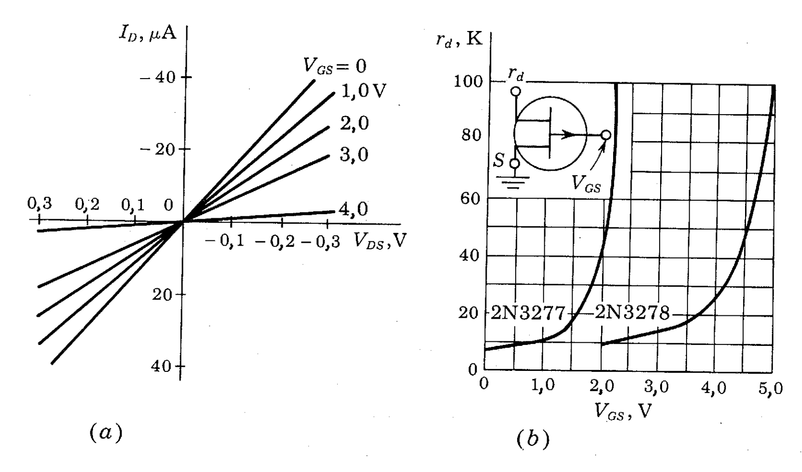


Fig. 10-28. (*a*) Características de drenaje de bajo nivel del FET 2N3278; (*b*) variación de la resistencia de pequeña señal del FET con tensión de puerta aplicada. (Cortesía de Fairchild Semiconductor Company.)

La Fig. 10-28*a* muestra las características bidireccionales de un FET de bajo nivel. La pendiente de estas características da r_d en función de V_{GS}. La Fig. 10-28*a* se ha extendido al tercer cuadrante para dar idea de la linealidad del dispositivo alrededor de $V_{DS} = 0$.

En el estudio de las características de los FET de unión visto en la Sec. 10-3, obtuvimos la Ec. (10-5), que da la conductancia fuente-drenaje $g_d = I_D/V_{DS}$ para valores pequeños de V_{DS}. De esta ecuación tenemos:

$$g_d = g_{do}\left[1 - \left(\frac{V_{GS}}{V_P}\right)^{1/2}\right] \tag{10-27}$$

donde g_{do} es el valor de la conductancia de drenaje cuando la polarización es cero. Las variaciones de r_d con V_{GS} están representadas en la Fig. 10-28*b* para los FET 2N3277 y 2N3278. La variación de r_d con V_{GS} puede calcularse empíricamente con la fórmula

* De Voltage-Variable Resistor (VVR) o Voltage-Dependent Resistor (VDR). (*N. del T.*)

aproximada:

$$r_d = \frac{r_o}{1 - KV_{GS}} \tag{10-28}$$

en donde r_o = resistencia de drenaje con polarización de puerta nula.
K = una constante, dependiente del tipo de FET.
V_{GS} = tensión puerta-fuente.

Aplicaciones de la VVR. Puesto que el FET trabajando como se ha descrito más arriba, actúa como una resistencia pasiva variable, encuentra muchas aplicaciones en las que esta propiedad es útil. Las VVR, por ejemplo, pueden ser empleadas para variar la ganancia de tensión de un amplificador de etapas múltiples A cuando el nivel de la señal aumenta. Esta acción se denomina *control automático de ganancia* (CAG). La Fig. 10-29, muestra un circuito característico. La señal se toma en un punto de nivel elevado, se rectifica y se filtra, lo que da una tensión continua proporcional al nivel de la señal de salida. Esta tensión se aplica a la puerta de $Q2$, lo cual varía la resistencia en alterna entre la fuente y el drenaje, cómo indica la Fig. 10-28*b*. Este sistema disminuye la ganancia del transistor el drenaje, cómo indica la Fig. 10-28*b*. La polarización en continua de $Q1$ a medida que el nivel de la señal de salida aumenta. La polarización en continua de $Q1$ no está afectada por $Q2$, ya que $Q2$ está aislado de $Q1$ por medio del condensador C_2.

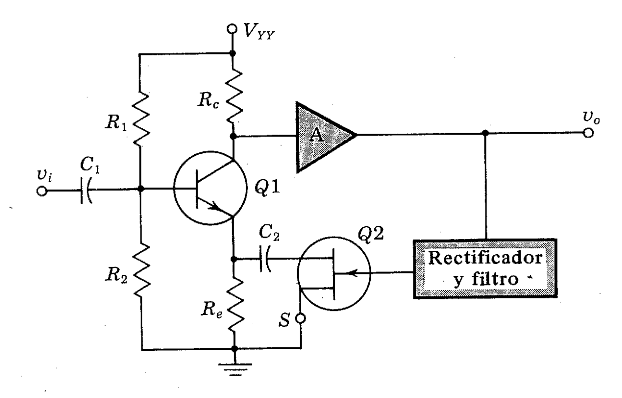


Fig. 10-29. Amplificador con control automático de ganancia, en el que se emplea un FET como resistencia variable con la tensión

10-10. AMPLIFICADOR EN FUENTE COMUN PARA ALTAS FRECUENCIAS

Los circuitos comentados en esta sección y en la siguiente son aplicables igualmente a los transistores JFET o MOSFET (excepto para el método de polarización). El análisis para bajas frecuencias de la Sec. 10-8 se modifica ahora, teniendo en cuenta el efecto de las capacidades internas de los nudos.

Ganancia de tensión. El circuito de la Fig. 10-30*a* es el amplificador básico en fuente común. Si el FET es reemplazado por el circuito modelo de la Fig. 10-8*b*, obtendremos la

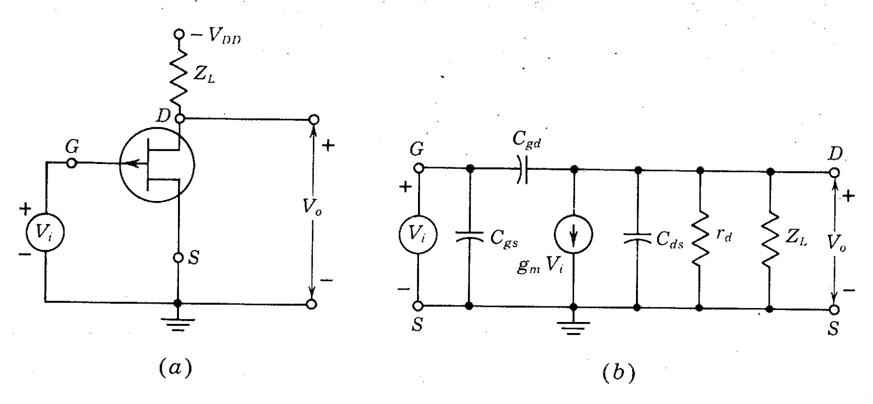


Fig. 10-30. *(a)* Circuito amplificador en fuente común; *(b)* circuito equivalente para pequeña señal a alta frecuencia. (La red de polarización no se indica.)

red de la Fig. 10-30*b*. La tensión de salida V_o entre D y S se halla fácilmente con ayuda del teorema de la Sec. 8-7, es decir $V_o = IZ$, donde I es la corriente de cortocircuito y Z es la impedancia vista entre estos terminales. Para calcular Z, se considera cortocircuitado el generador independiente V_i, para que $V_i = 0$, y que por tanto no haya corriente en el generador dependiente $g_m V_i$. Observamos entonces que Z es la combinación en paralelo de las impedancias correspondientes a Z_L, C_{ds}, r_d, y C_{gd}. Por tanto:

$$Y = \frac{1}{Z} = Y_L + Y_{ds} + g_d + Y_{gd} \qquad (10\text{-}29)$$

donde $Y_L = 1/Z_L$ = admitancia correspondiente a Z_L
$Y_{ds} = j\omega C_{ds}$ = admitancia correspondiente a C_{ds}
$g_d = 1/r_d$ = conductancia correspondiente a r_d
$Y_{gd} = j\omega C_{gd}$ = admitancia correspondiente a C_{gd}

La corriente en dirección de D a S en un conductor de resistencia nula conectado entre los terminales de salida, será:

$$I = -g_m V_i + V_i Y_{gd} \qquad (10\text{-}30)$$

La amplificación A_V, con la carga Z_L colocada en su lugar, viene dada por:

$$A_V = \frac{V_o}{V_i} = \frac{IZ}{V_i} = \frac{I}{V_i Y} \qquad (10\text{-}31)$$

o de las ecuaciones (10-29) y (10-30):

$$A_V = \frac{-g_m + Y_{gd}}{Y_L + Y_{ds} + g_d + Y_{gd}} \qquad (10\text{-}32)$$

A bajas frecuencias, las capacidades del FET pueden despreciarse y por tanto:

$$Y_{ds} = Y_{gd} = 0$$

En estas condiciones, la Ec. (10-32) se reduce a:

$$A_V = \frac{-g_m}{Y_L + g_d} = \frac{-g_m r_d Z_L}{r_d + Z_L} = -g_m Z'_L \qquad (10\text{-}33)$$

donde $Z'_L \equiv Z_L \| r_d$. Esta ecuación concuerda con la Ec. (10-23), con Z_L reemplazando R_d.

Admitancia de entrada. Una inspección de la Fig. 10-30*b* revela que el circuito de puerta no está aislado del de drenaje, sino que en realidad ambos están interconectados por C_{gd}. Por el teorema de Miller (Sec. 8-11), esta admitancia puede ser reemplazada por $Y_{gd}(1 - K)$ entre G y S, y por $Y_{gd}(1 - 1/K)$ entre D y S, donde $K = A_V$. Por lo tanto la admitancia de entrada viene dada por:

$$Y_i = Y_{gs} + (1 - A_V)Y_{gd} \qquad (10\text{-}34)$$

Esta expresión indica que, para que un FET posea admitancia de entrada despreciable en un ancho margen de frecuencias, las capacidades de puerta-fuente y de puerta-drenaje deben ser también despreciables.

Capacidad de entrada (Efecto Miller). Consideremos un FET con una resistencia R_d en el circuito de drenaje. De las explicaciones anteriores, sacamos la conclusión de que, dentro del margen de audio frecuencias, la ganancia viene dada por la simple expresión $A_V = -g_m R'_d$, donde R'_d es $R_d \| r_d$. En este caso, la Ec. (10-34) se transforma en:

$$\frac{Y_i}{j\omega} \equiv C_i = C_{gs} + (1 + g_m R'_d)C_{gd} \qquad (10\text{-}35)$$

Este incremento en la capacidad de entrada C_i con respecto a la capacidad puerta-fuente, se denomina *efecto Miller.*

Esta capacidad de entrada es importante en el funcionamiento de amplificadores en cascada. En sistemas de este tipo, la salida de una etapa se emplea como entrada para la etapa siguiente. Por lo tanto, la impedancia de entrada de la segunda etapa actúa en paralelo con la salida de la primera etapa y la R_d queda en paralelo con C_i. Como que la reactancia de un condensador disminuye al aumentar la frecuencia, la impedancia de salida resultante de la primera etapa será, naturalmente, baja para frecuencias elevadas, lo que traerá como consecuencia la disminución de ganancia a frecuencias elevadas.

Ejemplo. Un MOSFET tiene una resistencia de drenaje R_d de 100 K y trabaja a 20 kHz. Calcular la ganancia de tensión de este dispositivo como etapa única, y luego como primer transistor de un amplificador en cascada constituido por dos etapas idénticas. Los parámetros del MOSFET son g_m = 1,6 mA/V, r_d = 44 K, C_{gs} = 3,0 pF, C_{ds} = 1,0 pF, y C_{gd} = 2,8 pF.

SOLUCION

$$Y_{gs} = j\omega C_{gs} = j2\pi \times 2 \times 10^4 \times 3{,}0 \times 10^{-12} = j3{,}76 \times 10^{-7} \text{ ohm}^{-1}$$

$$Y_{ds} = j\omega C_{ds} = j1{,}26 \times 10^{-7} \text{ ohm}^{-1}$$

$$Y_{gd} = j\omega C_{gd} = j3{,}52 \times 10^{-7} \text{ ohm}^{-1}$$

$$g_d = \frac{1}{r_d} = 2{,}27 \times 10^{-5} \text{ ohm}^{-1}$$

$$Y_d = \frac{1}{R_d} = 10^{-5} \text{ ohm}^{-1}$$

$$g_m = 1{,}60 \times 10^{-3} \text{ ohm}^{-1}$$

La ganancia de una etapa amplificadora viene dada por la Ec. (10-32):

$$A_V = \frac{-g_m + Y_{gd}}{g_d + Y_d + Y_{ds} + Y_{gd}} = \frac{-1{,}60 \times 10^{-3} + j3{,}52 \times 10^{-7}}{3{,}27 \times 10^{-5} + j4{,}78 \times 10^{-7}}$$

Se ve que los términos imaginarios (j) (provinientes de las capacidades interelectródicas) son despreciables en comparación con los términos reales. Si se desprecian, entonces $A_V = -48{,}8$. Este valor puede comprobarse empleando la Ec. (10-23) que desprecia las capacidades interelectródicas. Por lo tanto:

$$A_V = \frac{-\mu R_d}{R_d + r_d} = \frac{-70 \times 100}{100 + 44} = -48{,}6 = -g_m R'_d$$

Como la ganancia es un número real, la impedancia de entrada consiste en un condensador cuyo valor viene dado por la Ec. (10-35):

$$C_i = C_{gs} + (1 + g_m R'_d)C_{gd} = 3{,}0 + (1 + 49)(1{,}0) = 53 \text{ pF}$$

Consideremos ahora un amplificador de dos etapas, en el que cada etapa está constituida por un FET que trabaja como el indicado antes. La ganancia de la segunda etapa es la que acabamos de calcular. En cambio, para calcular la ganancia de la primera etapa, debemos recordar que *la impedancia de entrada de la segunda etapa actúa en paralelo con la salida de la primera.* Por lo tanto, la carga del drenaje consistirá ahora en una resistencia de 100 K en paralelo con un condensador de 53 pF, a la que debe agregarse la capacidad entre drenaje y fuente de la primera etapa, ya que está también en paralelo con la carga de drenaje. Por otra parte, deben tenerse en cuenta además todas las capacidades parásitas de los conductores. Por ejemplo, cada pF de capacidad entre los conductores de puerta y drenaje de la segunda etapa, da lugar a 50 pF que se agregan a la resistencia de carga de la primera etapa. Esto indica claramente la necesidad de hacer las conexiones lo más cortas y directas posible en el caso de amplificadores de altas frecuencias. Supongamos que la capacidad de entrada, teniendo en cuenta los factores citados, es de 200 pF. Entonces, la admitancia de la carga será:

$$Y_L = \frac{1}{R_d} + j\omega C_i = 10^{-5} + j2\pi \times 2 \times 10^4 \times 200 \times 10^{-12}$$

$$= 10^{-5} + j2{,}52 \times 10^{-5} \text{ ohm}^{-1}$$

La ganancia viene dada por la Ec. (10-33):

$$A_V = \frac{-g_m}{g_d + Y_L} = \frac{-1{,}6 \times 10^{-3}}{2{,}27 \times 10^{-5} + 10^{-5} + j2{,}52 \times 10^{-5}}$$

$$= -30{,}7 + j23{,}7 = 38{,}8 \underline{/143{,}3^\circ}$$

Por lo tanto, el efecto de las capacidades ha sido la reducción de la amplificación desde 48,8 hasta 38,8, y el cambio del ángulo de fase entre la salida y la entrada, de 180° a 143,3°.

Si las frecuencias fuesen más elevadas, la ganancia se reduciría todavía más. Por ejemplo, si este circuito se pretendiera emplear como amplificador de video, es decir, a unos pocos megahertz, la ganancia podría llegar a ser menor que la unidad. Estas variaciones de ganancia con la frecuencia se denominan *distorisión de frecuencia.* Los amplificadores en cascada y la distorsión de frecuencia serán comentados con detalle en el Cap. 12.

Admitancia de salida. Para el amplificador en fuente común de la Fig. 10-30, la impedancia de salida "vista desde el drenaje" se obtiene con tensión de entrada igual a cero. Si $V_i = 0$ en la Fig. 10-30*b*, vemos r_d, C_{ds}, y C_{gd} en paralelo. Por tanto, la admitancia de salida considerando la Z_L exterior al amplificador, viene dada por:

$$Y_o = g_d + Y_{ds} + Y_{gd} \tag{10-36}$$

10-11. AMPLIFICADOR EN DRENAJE COMUN PARA ALTAS FRECUENCIAS

En la Fig. 10-31*a*, aparece la configuración de seguidor de fuente de la Fig. 10-20*b*, con $R_d = 0$. La Fig. 10-31*b* muestra el circuito equivalente con la sustitución del FET por su modelo para altas frecuencias de la Fig. 10-8*b*.

Ganancia de tensión. La tensión de salida V_o puede hallarse como producto de la corriente en cortocircuito por la impedancia entre los terminales S y N. La ganancia de tensión valdrá:

$$A_V = \frac{(g_m + j\omega C_{gs})R_s}{1 + (g_m + g_d + j\omega C_T)R_s} \tag{10-37}$$

$$C_T \equiv C_{gs} + C_{ds} + C_{sn} \tag{10-38}$$

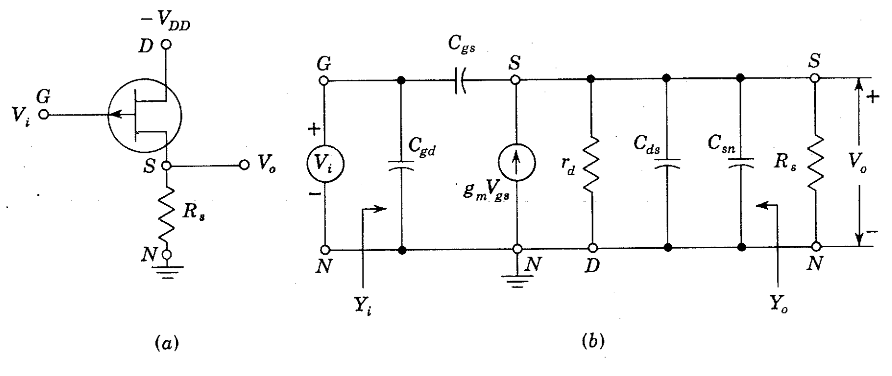


Fig. 10-31. (*a*) Seguidor de fuente; (*b*) circuito equivalente para alta frecuencia y pequeña señal. (El circuito de polarización no se indica.)

donde C_{sn} representa la capacidad de fuente a tierra. A bajas frecuencias, la ganancia se reduce a:

$$A_V \approx \frac{g_m R_s}{1 + (g_m + g_d)R_s} \tag{10-39}$$

Obsérvese que la amplificación es positiva y menor que la unidad. Si $g_m R_s \gg 1$, entonces $A_V \approx g_m/(g_m + g_d) = \mu/(\mu + 1)$.

Admitancia de entrada. El seguidor de fuente ofrece la ventaja de que su capacidad de entrada es menor que la del amplificador en fuente común. La admitancia de entrada Y_i se obtiene aplicando el teorema de Miller a C_{gs}. Vemos que:

$$Y_i = j\omega C_{gd} + j\omega C_{gs}(1 - A_V) \approx j\omega C_{gd} \tag{10-40}$$

ya que $A_V \approx 1$.

Admitancia de salida. La admitancia de salida Y_o, con R_s considerada exterior al amplificador, viene dada por:

$$Y_o = g_m + g_d + j\omega C_T \tag{10-41}$$

donde C_T proviene de la Ec. (10-38). A bajas frecuencias, la resistencia de salida R_o será:

$$R_o = \frac{1}{g_m + g_d} \approx \frac{1}{g_m} \tag{10-42}$$

ya que $g_m \gg g_d$. Para $g_m = 2$ mA/V, entonces $R_o = 500\ \Omega$.

El seguidor de fuente se emplea para las mismas aplicaciones del seguidor de emisor, es decir, cuando se requiere una impedancia de entrada elevada y una impedancia de salida baja.

REFERENCIAS

1. Shockley, W.: "A Unipolar Field-effect Transistor", *Proc. IRE,* vol. 40, pp. 1365-1376, noviembre, 1952.
   Dacey, G. C., e I. M. Ross: "The Field Effect Transistor", *Bell System Tech. J.,* vol. 34, pp. 1149-1189, noviembre, 1955.
   Wallmark, J. T., y H. Johnson: "Field-effect Transistors", Prentice-Hall, Inc., Englewood Cliffs, N. J., 1966.
   Sevin, L. J.: "Field-effect Transistors", McGraw-Hill Book Company, Nueva York, 1965.
2. Millman, J., y H. Taub: "Pulse, Digital, and Switching Waveforms", sec. 17-20, McGraw-Hill Book Company, Nueva York, 1965.
3. Wallmark, J. T., y H. Johnson: "Field-effect Transistors", p. 115, Prentice-Hall, Inc., Englewood Cliffs, N. J., 1966.

4. Sevin, L. J., Ref. 1, pp. 13-17.
5. Halladay, H. E., y A. Van der Ziel: "DC Characteristics of Junction Gate Field-effect Transistors", *IEEE Trans. Electron. Devices,* vol. ED-13, no. 6, pp. 531-532, junio, 1966.
6. Sevin, L. J., Ref. 1, p. 21.
7. Sevin, L. J., Ref. 1, p. 23.
8. Sevin, L. J., Ref. 1, p. 34.
9. Ref. 3, pp. 187-215.
10. Macdougall, J., y K. Manchester: "Ion Implantation," *Electronics,* vol. 43, no. 13, pp. 86-90, 22 de junio de 1970.
11. Ref. 3, pp. 256-259.
12. Garrett, L.: "Integrated-circuit Digital Logic Families", *Spectrum,* vol. 7, no. 12, pp. 30-42, diciembre, 1970.
13. Bilotti, A.: "Operation of a MOS Transistor as a Voltage Variable Resistor", *Proc. IEEE,* vol. 54, pp. 1093-1094, agosto de 1966.

TEMAS DE REPASO

10-1 (*a*) Esbozar la estructura básica de transistor de unión de efecto campo de canal *n*. (*b*) Indicar el símbolo del JFET.

10-2 (*a*) Dibujar una familia de características de drenaje en fuente común de un JFET de canal *n*. (*b*) Explicar cualitativamente la forma de estas curvas.

10-3 ¿Cómo se comporta un FET (*a*) para valores pequeños de $|V_{DS}|$? (*b*) ¿Para grandes valores de $|V_{DS}|$?

10-4 (*a*) Definir la *tensión de contracción* V_P. (*b*) Indicar la región de deplexión antes y después de la contracción.

10-5 Esbozar la geometría de un JFET en forma integrada.

10-6 (*a*) ¿Cómo varía la corriente de drenaje con la tensión de puerta en la región de saturación? (*b*) ¿Cómo varía la transconductancia con la corriente de drenaje?

10-7 Definir (*a*) la *transconductancia* g_m, (*b*) *resistencia de drenaje* r_d, y (*c*) *factor de amplificación* μ de un FET.

10-8 Dar el orden de magnitud de g_m, r_d, y μ para un MOSFET.

10-9 Mostrar el modelo para baja señal de un FET, (*a*) para bajas frecuencias y (*b*) para altas frecuencias.

10-10 (*a*) Dibujar la sección transversal de un MOSFET de canal *p* de acumulación. (*b*) Indicar dos símbolos para estos MOSFET.

10-11 Para el MOSFET del tema anterior dibujar: (*a*) las características de drenaje y (*b*) la curva de transferencia.

10-12 Repetir el tema 10-10 para un MOSFET de canal *n* de deplexión.

10-13 (*a*) Dibujar el circuito MOSFET correspondiente a una configuración NO. (*b*) Explicar su funcionamiento como inversor.

10-14 (*a*) Explicar de qué manera se emplea el MOSFET como carga. (*b*) Obtener gráficamente las características tensión-corriente de esta carga.

10-15 Esbozar una puerta NAND de dos entradas y verificar si satisface la ecuación NAND de Boole.

10-16 Repetir el tema 10-15 para una puerta NOR de dos entradas.

10-17 Esbozar un inversor CMOS y explicar su funcionamiento.

10-18 (*a*) Dibujar el circuito de un amplificador FET con una resistencia en la fuente R_s y una resistencia de drenaje R_d. (*b*) ¿Cuál es el circuito equivalente de Thévenin, visto desde el drenaje, para bajas frecuencias?

10-19 Repetir el tema 10-18 visto desde la fuente.

10-20 (*a*) Esbozar el circuito de un seguidor de fuente. A bajas frecuencias, ¿cuál es, (*b*) el máximo valor de la ganancia de tensión? (*c*) ¿cuál es el orden de magnitud de la impedancia de salida?

10-21 (*a*) Esbozar el circuito de un amplificador en fuente común. (*b*) Deducir la expresión de la ganancia de tensión a bajas frecuencias. (*c*) ¿Cuál es el máximo valor de A_V?

10-22 (*a*) Dibujar dos circuitos de polarización de un JFET o de un MOSFET de deplexión. (*b*) Explicar en qué circunstancias debe emplearse cada uno de estos dos sistemas.

10-23 Dibujar dos circuitos de polarización para un MOSFET del tipo de acumulación.

10-24 (*a*) ¿Cómo se emplea un FET como resistencia variable con la tensión? (*b*) Explíquese.

10-25 (*a*) Esbozar el circuito para altas frecuencias y pequeñas señales de un amplificador en fuente común. (*b*) Deducir la expresión de la ganancia de tensión.

10-26 (*a*) En el circuito del tema 10-25, obtener la admitancia de entrada. (*b*) ¿Cuál es la expresión de la capacidad de entrada en el margen de audio?

10-27 ¿Qué capacidad específica es la que tiene mayor efecto en la respuesta en altas frecuencias de los amplificadores FET en cascada? Explíquese.

10-28 Repetir el tema 10-25 para un circuito seguidor de fuente.

10-29 Repetir el tema 10-26 para un amplificador en drenaje común.

11

El transistor a altas frecuencias

Para bajas frecuencias, se ha supuesto que el transistor responde instantáneamente a los cambios de tensión o de corriente de entrada, aunque realmente no es así, ya que el mecanismo de transporte de portadores de carga desde el emisor al colector es, fundamentalmente, una difusión. Por lo tanto, vamos a determinar cómo se comporta el transistor para altas frecuencias, y será preciso analizar este mecanismo de difusión con mayor detalle. Tal análisis es complicado[1], y las ecuaciones resultantes recuerdan a las encontradas en relación con una línea de transmisión con pérdidas. Un modelo basado en las ecuaciones de las líneas de transmisión sería útil, pero el circuito equivalente resultante es demasiado complicado para tener aplicación práctica. Por lo tanto, será necesario hacer aproximaciones y, cuanto más rudimentaria sea la aproximación obtendremos un circuito más simplificado. El modelo híbrido-pi expuesto en este capítulo supone un compromiso razonable entre la precisión y la sencillez. Empleando este modelo, se hace un análisis detallado de un amplificador de una sola etapa de un transistor en emisor común.

11-1. MODELO HIBRIDO PI (π) DE TRANSISTOR EN EMISOR COMUN[2]

En el capítulo 8 se ha destacado que el circuito en emisor común es la configuración más importante en la práctica. De ahí que deseemos obtener un modelo en emisor común válido para altas frecuencias. En la Fig. 11-1 aparece un circuito denominado *modelo híbrido π, o Giacoletto.* Analizar los circuitos empleando este modelo no presenta excesivas dificultades y da unos resultados que están muy de acuerdo con la experiencia a todas las frecuencias para las que el transistor tiene una amplificación razonable. Además, los componentes resistivos de este circuito pueden obtenerse de los parámetros h a baja frecuencia. Todos los parámetros (resistencias y capacidades) se suponen independientes de las frecuencias. Pueden variar con el punto de reposo, pero en unas condiciones de polarización dadas son razonablemente constantes para desviaciones de pequeña señal.

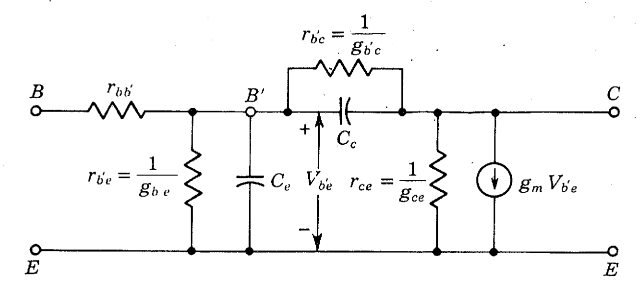


Fig. 11-1. Modelo híbrido π para un transistor en configuración de emisor común

Los componentes del circuito. El nudo interno B' no es accesible físicamente. La resistencia óhmica de dispersión de la base $r_{bb'}$ se representa por un parámetro concentrado entre el terminal exterior de la base y B'.

Para pequeñas variaciones en la tensión $V_{b'e}$ en la unión de emisor, la concentración de portadores minoritarios en exceso inyectados a la base es proporcional a $V_{b'e}$, y por lo tanto, la corriente de colector para pequeña señal resultante, con el colector cortocircuitado con el emisor, es proporcional a $V_{b'e}$. Este efecto influye sobre el generador de corriente $g_m V_{b'e}$ de la Fig. 11-1.

El incremento de los portadores minoritarios en la base da como resultado un incremento de la corriente de recombinación de la base, y su efecto se tiene en cuenta insertando una conductancia $g_{b'e}$ entre B' y E. El almacenamiento del exceso de portadores minoritarios en la base se representa por la capacidad de difusión C_e conectada entre B' y E.

El efecto Early (Sec. 5-5) indica que de la variación de tensión en la unión emisor-colector resulta una *modulación de la anchura de la base*. Una variación en la anchura efectiva de la base provoca una variación de la corriente de emisor (y por tanto de la de colector) ya que cambia la pendiente de la distribución de portadores minoritarios en la base. Este efecto de realimentación entre salida y entrada se tiene en cuenta por la conexión $g_{b'c}$ entre B' y C. La conductancia entre C y E es g_{ce}.

Finalmente, la capacidad de la barrera de la unión del colector se incluye en C_c. Algunas veces, es necesario dividir la capacidad de la barrera de colector en dos partes conectando un condensador entre C y B' y otro entre C y B. Esta última componente se conoce con el nombre de capacidad de recubrimiento del diodo.

Valores de los parámetros híbridos π. Las magnitudes típicas de los elementos del modelo híbrido π a la temperatura ambiente y para $I_C = 1{,}3$ mA son:

$$g_m = 50 \text{ mA/V} \quad r_{bb'} = 100\,\Omega \quad r_{b'e} = 1\text{ K} \quad r_{b'c} = 4\text{ M}$$
$$r_{ce} = 80\text{ K} \quad C_c = 3\text{ pF} \quad C_e = 100\text{ pF}$$

Estos valores son bastante razonables y se justificarán en la siguiente sección.

11-2. CONDUCTANCIAS DEL MODELO HIBRIDO π

Vamos a demostrar ahora que todas las componentes resistivas del modelo híbrido π pueden obtenerse de los parámetros h en la configuración en emisor común.

Transconductancia del transistor g_m. La Fig. 11-2 muestra un transistor p-n-p en configuración de emisor común, con el colector cortocircuitado con el emisor para señales variables con el tiempo. En la región activa, la corriente de colector viene dada por la Ec. (5-3) repetida aquí por comodidad, siendo $\alpha_N = \alpha_o$:

$$I_C = I_{CO} - \alpha_o I_E$$

Puesto que la corriente de corto circuito en la Fig. 11-1 es $g_m V_{b'e}$, la transconductancia g_m está definida por:

$$g_m \equiv \left.\frac{\partial I_C}{\partial V_{B'E}}\right|_{V_{CE}} = \alpha_o \frac{\partial I_E}{\partial V_{B'E}} = \alpha_o \frac{\partial I_E}{\partial V_E} \tag{11-1}$$

suponiendo que α_N es independiente de V_E. Para un transistor p-n-p, $V_E = -V_{B'E}$ como aparece indicado en la Fig. 11-2. Si la resistencia del diodo del emisor es r_e, entonces $r_e = \partial V_E / \partial I_E$, y por lo tanto:

$$g_m = \frac{\alpha_o}{r_e} \tag{11-2}$$

La resistencia dinámica de un diodo polarizado en sentido directo viene dada en la ecuación (3-14) como V_T/I_E*, donde $V_T = \bar{k}\,T/q$, y por lo tanto:

$$g_m = \frac{\alpha_o I_E}{V_T} = \frac{I_{CO} - I_C}{V_T} \tag{11-3}$$

En un transistor p-n-p I_C es negativa. Para un transistor n-p-n I_C es positiva, pero el análisis anterior (con $V_E = +V_{B'E}$) nos lleva a $g_m = (I_C - I_{CO})/V_T$. Por lo tanto para ambos tipos de transistor, g_m es positiva. Como $|I_C| \gg |I_{CO}|$, entonces g_m viene dada por:

$$g_m \approx \frac{|I_C|}{V_T} \tag{11-4}$$

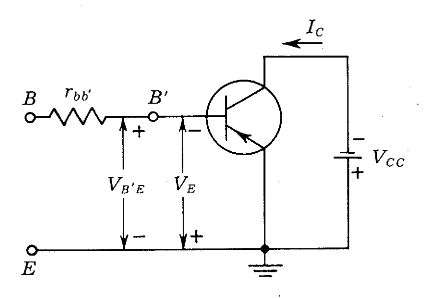


Fig. 11-2. Relativo a la deducción de g_m

* Como la corriente de recombinación en la región de la carga espacial del emisor no alcanza el colector, el factor η de la Ec. (3-14) se toma como 1 en el cálculo de g_m.

siendo, de la Ec. (2-38), $V_T = T/11.600$. Obsérvese que g_m *es directamente proporcional a la corriente e inversamente proporcional a la temperatura.* A la temperatura ambiente:

$$g_m = \frac{|I_C|(\text{mA})}{26} \tag{11-5}$$

Para $I_C = 1{,}3$ mA, $g_m = 0{,}05$ ohm^{-1} = 50 mA/V. Para $I_C = 10$ mA, $g_m \approx 400$ mA/V. Estos valores son mucho mayores que las transconductancias obtenidas con los FET.

Conductancia de entrada $g_{b'e}$. En la Fig. 11-3*a* se indica el modelo híbrido π válido para baja frecuencia, en el que todas las capacidades son despreciables. La Fig. 11-3*b* representa el mismo transistor, empleando el circuito equivalente con los parámetros *h.*

De los valores de los componentes dados en la Sec. 11-1, vemos que $r_{b'c} \gg r_{b'e}$. Por lo tanto, I_b circula por $r_{b'e}$ y $V_{b'e} \approx I_b r_{b'e}$. La corriente de colector en cortocircuito viene dada por:

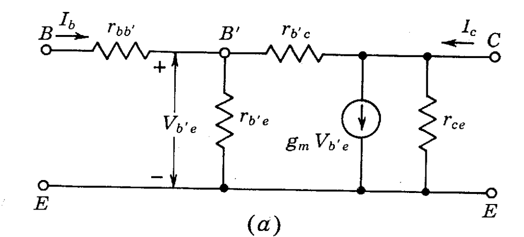
$$I_c = g_m V_{b'e} \approx g_m I_b r_{b'e}$$

La ganancia de corriente en cortocircuito h_{fe} se define como:

$$h_{fe} = \left.\frac{I_c}{I_b}\right|_{V_{CE}} = g_m r_{b'e}$$

o sea:

$$r_{b'e} = \frac{h_{fe}}{g_m} = \frac{h_{fe} V_T}{|I_C|} \quad \text{es decir} \quad g_{b'e} = \frac{g_m}{h_{fe}} \tag{11-6}$$



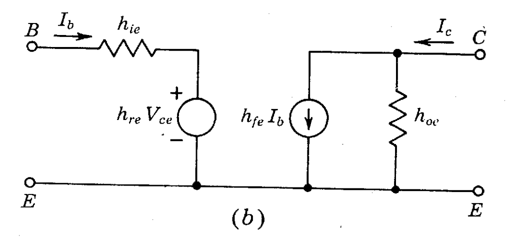


Fig. 11-3. (*a*) Modelo híbrido en π para bajas frecuencias; (*b*) modelo de parámetros *h* para bajas frecuencias

Obsérvese que, en el margen de corrientes en el que h_{fe} permanece casi constante $r_{b'e}$ *es directamente proporcional a la temperatura e inversamente proporcional a la corriente.* Obsérvese también en la Fig. 8-8*a* que h_{fe} disminuye tanto para muy bajas como muy altas corrientes.

Conductancia de realimentación $g_{b'c}$. Con la entrada en circuito abierto, h_{re} se define como la ganancia de tensión inversa; de la Fig. 11-3*a* con $I_b = 0$,

$$h_{re} = \frac{V_{b'e}}{V_{ce}} = \frac{r_{b'e}}{r_{b'e} + r_{b'c}} \tag{11-7}$$

o sea:

$$r_{b'e}(1 - h_{re}) = h_{re} r_{b'c}$$

Como $h_{re} \ll 1$, entonces, con buena aproximación:

$$r_{b'e} = h_{re} r_{b'c} \quad \text{o sea} \quad g_{b'c} = h_{re} g_{b'e} \tag{11-8}$$

Como $h_{re} \approx 10^{-4}$, la Ec. (11-8) confirma que $r_{b'c} \gg r_{b'e}$.

Resistencia de dispersión de base $r_{bb'}$. La resistencia de entrada, con la salida en corto-circuito es h_{ie}. En estas condiciones, $r_{b'e}$ está en paralelo con $r_{b'c}$. Empleando la Ec. (11-8), tendremos $r_{b'e} \| r_{b'c} \approx r_{b'e}$, y por lo tanto:

$$h_{ie} = r_{bb'} + r_{b'e} \tag{11-9}$$

o sea:

$$r_{bb'} = h_{ie} - r_{b'e} \tag{11-10}$$

Incidentalmente, se observa en las ecuaciones (11-6) y (11-9) que la impedancia de entrada en cortocircuito h_{ie} varía con la corriente y la temperatura de la siguiente manera:

$$h_{ie} = r_{bb'} + \frac{h_{fe} V_T}{|I_C|} \approx \frac{h_{fe} V_T}{|I_C|} \tag{11-11}$$

Conductancia de salida g_{ce}. Con la entrada en circuito abierto, esta conductancia se define como h_{oe}. Para $I_b = 0$, tenemos:

$$I_c = \frac{V_{ce}}{r_{ce}} + \frac{V_{ce}}{r_{b'c} + r_{b'e}} + g_m V_{b'e} \tag{11-12}$$

Con $I_b = 0$, tenemos, por la Ec. (11-7), $V_{b'e} = h_{re} V_{ce}$, y por la Ec. (11-12) obtenemos que:

$$h_{oe} \equiv \frac{I_c}{V_{ce}} = \frac{1}{r_{ce}} + \frac{1}{r_{b'c}} + g_m h_{re} \tag{11-13}$$

por ser $r_{b'c} \gg r_{b'e}$. Si sustituimos las ecuaciones (11-6) y (11-8) en la Ec. (11-13), tendremos:

$$h_{oe} = g_{ce} + g_{b'c} + g_{b'e}h_{fe}\frac{g_{b'c}}{g_{b'e}}$$

o sea:

$$g_{ce} = h_{oe} - (1 + h_{fe})g_{b'c} \tag{11-14}$$

Si $h_{fe} \gg 1$, esta ecuación puede ponerse de la siguiente forma [empleando la Ec. (11-8)]:

$$g_{ce} \approx h_{oe} - g_m h_{re} \tag{11-15}$$

Resumen. Si los parámetros h en emisor común a bajas frecuencias son conocidos a una corriente de colector dada I_C, las conductancias o resistencias del circuito híbrido π se calculan a base de las cinco ecuaciones siguientes en el orden dado:

$$g_m = \frac{|I_C|}{V_T}$$

$$r_{b'e} = \frac{h_{fe}}{g_m} = \frac{h_{fe}V_T}{|I_C|} \quad \text{o sea} \quad g_{b'e} = \frac{g_m}{h_{fe}}$$

$$r_{bb'} = h_{ie} - r_{b'e} \tag{11-16}$$

$$r_{b'c} = \frac{r_{b'e}}{h_{re}} \quad \text{o sea} \quad g_{b'c} = \frac{h_{re}}{r_{b'e}}$$

$$g_{ce} = h_{oe} - (1 + h_{fe})g_{b'c} = \frac{1}{r_{ce}}$$

Para los parámetros típicos h de la Tabla 8-2, con $I_C = 1{,}3$ mA, y a la temperatura ambiente, obtenemos los valores dados en la Sec. 11-1.

11-3. CAPACIDADES DEL MODELO HIBRIDO π

El modelo híbrido π de transistor mostrado en la Fig. 11-1 incluye dos condensadores. El formado en la unión de colector $C_c = C_{b'c}$ es la capacidad de salida medida en base común con la entrada abierta ($I_E = 0$) y los fabricantes suelen indicarla por C_{ob}. Ya que en la región activa la unión de colector está polarizada en sentido inverso, C_c es la capacidad de transición y varía de la forma V_{CE}^{-n}, siendo n igual a 1/2 ó 1/3 para unión abrupta o gradual, respectivamente.

El condensador C_e representa la suma de la capacidad de la difusión del emisor C_{De} y la capacidad de la unión de emisor C_{Te}. Para un unión de emisor polarizada en sentido directo, C_{De} suele ser mucho mayor que C_{Te}, y por lo tanto:

$$C_e = C_{De} + C_{Te} \approx C_{De} \tag{11-17}$$

Veremos ahora que C_{De} es proporcional a la corriente de polarización del emisor I_E y casi independiente de la temperatura.

Capacidad de difusión. Vamos a referirnos a la Fig. 11-4, que representa la concentración de huecos inyectados en función de la distancia en la región de la base en un transistor *p-n-p*. A la anchura de la base W se la supone pequeña comparada con la longitud de difusión L_B de los portadores minoritarios. Como el colector está polarizado en sentido inverso, la concentración de cargas inyectadas p' en la unión de colector es prácticamente nula. Si $W \ll L_B$, entonces p' varía casi linealmente desde el valor $p'(0)$ en el emisor al valor cero en el colector, como indica la Fig. 11-4. La carga almacenada en la base Q_B es igual a la concentración media $p'(0)/2$ multiplicada por el volumen de la base WA (en que A es la sección transversal) y por la carga del electrón q; es decir:

$$Q_B = \tfrac{1}{2}p'(0)AWq \tag{11-18}$$

La corriente de difusión será [según la Ec. (2-36)]:

$$I = -AqD_B\frac{dp'}{dx} = AqD_B\frac{p'(0)}{W} \tag{11-19}$$

donde D_B es la constante de difusión de portadores minoritarios en la base. Combinando las ecuaciones (11-18) y (11-19), tenemos:

$$Q_B = \frac{IW^2}{2D_B} \tag{11-20}$$

La capacidad de difusión estática del emisor C_{De} viene dada por la relación de la variación de Q_B respecto a la tensión de emisor V, o sea:

$$C_{De} = \frac{dQ_B}{dV} = \frac{W^2}{2D_B}\frac{dI}{dV} = \frac{W^2}{2D_B}\frac{1}{r_e} \tag{11-21}$$

donde $r_e \equiv dV/dI = V_T/I_E$ es la resistencia incremental de la unión de emisor. Sustituyendo:

$$C_{De} = \frac{W^2 I_E}{2D_B V_T} = g_m\frac{W^2}{2D_B} \tag{11-22}$$

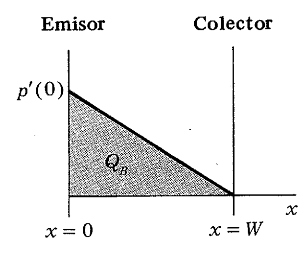


Fig. 11-4. Distribución de la carga de portadores minoritarios en la región de la base

que indica que *la capacidad de difusión es proporcional a la corriente de polarización del emisor* I_E. De la relación de Einstein $D = \mu V_T$ [Ec. (2-37)] y de la explicación de la Sec. 2-5, se deduce que la constante de difusión D varía en función de T^{-m} en un margen de temperaturas de 100 a 400° K. Para el silicio, $m = 1{,}5$ (1,7) para los electrones (huecos), y para el germanio, $m = 0{,}66$ (1,33) para los electrones (huecos). Por lo tanto, C_{DE} varía en función de T^{-n}, donde para el silicio $n = +0{,}5$ (+ 0,7) para los electrones (huecos), y para el germanio $n = -0{,}34$ (+ 0,33) para los electrones (huecos).

Se ha puntualizado en la Sec. 3-9 que la capacidad dinámica de un diodo difiere de su capacidad estática (con un factor 2). Procediendo como en la Sec. 19-12, se puede demostrar que, en un transistor, la capacidad para una entrada senoidal es igual a las dos terceras partes de la capacidad estática dada en la Ec. (11-21).

Experimentalmente, C_e se determina midiendo f_T, que es la frecuencia a la que la ganancia de corriente de cortocircuito en emisor común se hace igual a la unidad. Demostraremos en la Sec. 11-6 que:

$$C_e \approx \frac{g_m}{2\pi f_T} \tag{11-23}$$

11-4. VALIDEZ DEL MODELO HIBRIDO π[2,4]

En la deducción de las ecuaciones (11-1) y (11-21) para g_m y C_e, hemos supuesto que V_{BE} cambia bastante lentamente para que la distribución de la carga de portadores minoritarios en la región de la base sea siempre triangular, tal como indica la Fig. 11-4. Si la distribución pemanece triangular con la variación de V_{BE}, la pendiente a $x = 0$ es la misma que a $x = w$ y, por lo tanto, las corrientes de colector y de emisor son iguales. En consecuencia, el modelo híbrido π es válido en condiciones dinámicas cuando el ritmo de variación de V_{BE} sea suficientemente pequeño para que la corriente incremental de base I_b sea despreciable comparada con la corriente incremental de colector I_c. Giacolletto[2], en su estudio original correspondiente al circuito equivalente híbrido π, demostró que los elementos de la red de la Fig. 11-1 son independientes de la frecuencia, en el supuesto de que:

$$2\pi f \frac{W^2}{6D_B} \ll 1 \tag{11-24}$$

De las ecuaciones (11-22) y (11-23) tenemos que:

$$\frac{W^2}{6D_B} = \frac{C_e}{3g_m} = \frac{1}{6\pi f_T}$$

Por lo tanto, la Ec. (11-24) se transforma en:

$$f \ll \frac{6\pi f_T}{2\pi} = 3f_T \tag{11-25}$$

De donde se deduce que el modelo híbrido π es válido para frecuencias de hasta, aproximadamente, $f_T/3$.

11-5. VARIACION DE LOS PARAMETROS HIBRIDOS π[4]

En las dos secciones precedentes hemos obtenido las expresiones de las conductancias y capacidades del híbrido π en función de los parámetros h a baja frecuencia y de otros parámetros del transistor, tales como la anchura de base o la constante de difusión de los portadores minoritarios en la base.

La tabla 11-1 resume la dependencia de g_m, $r_{b'e}$, $r_{bb'}$, C_e, C_c, h_{fe} y h_{ie} con el valor de la corriente de colector $|I_C|$, con la tensión colector-emisor $|V_{CE}|$ y con la temperatura. Las conclusiones de la tabla están basadas en las ecuaciones (11-16), (11-17) y (11-22). Debemos recalcar también que el aumento de $|V_{CE}|$ hace decrecer la anchura efectiva de la base (Fig. 5-8). La dependencia de $r_{bb'}$ con $|I_C|$ y con la temperatura, requiere alguna explicación. La disminución de $r_{bb'}$ con $|I_C|$ es debida a la modulación de la conductividad de la base con el incremento de la corriente de colector. Por el contrario, $r_{bb'}$ aumenta al aumentar la temperatura debido a la disminución de la movilidad de los portadores mayoritarios y minoritarios, y de ello resulta una disminución de la conductividad. El aumento de h_{fe} con la temperatura ha sido determinado experimentalmente, mientras que el aumento con $|V_{CE}|$ es debido a la disminución de la anchura de base y a la reducción en la recombinación que incrementa el alfa del transistor (Sec. 5-6).

La ausencia de alguna indicación en la tabla 11-1 significa que la dependencia particular correspondiente varía con el valor absoluto de $|I_C|$, $|V_{CE}|$ o T en forma complicada.

TABLA 11-1 Dependencia de los parámetros respecto a la corriente, a la tensión y a la temperatura

Parámetro	Variación con el aumento de:		
	$\lvert I_C\rvert$	$\lvert V_{CE}\rvert$	T
g_m	$\lvert I_C\rvert$	Independiente	$1/T$
$r_{bb'}$	Decrece		Crece
$r_{b'e}$	$1/\lvert I_C\rvert$	Crece	Crece
C_e	$\lvert I_C\rvert$	Decrece	
C_c	Independiente	Decrece	Independiente
h_{fe}	Ver Fig. 8-8	Crece	Crece
h_{ie}	$1/\lvert I_C\rvert$	Crece	Crece

11-6. GANANCIA DE CORRIENTE EN CORTO CIRCUITO EN EMISOR COMUN

Consideremos un amplificador de una sola etapa con un transistor en emisor común, o bien, la última etapa de un amplificador en cascada. La carga R_L de esta etapa es la resistencia del circuito de colector, o sea $R_C = R_L$. En esta sección supondremos que $R_L = 0$, mientras que el circuito con $R_L \neq 0$ se analizará en la sección siguiente. Para obtener la *respuesta en frecuencia* (ganancia en función de la frecuencia) del amplificador a transistores, emplearemos el modelo híbrido π de la Fig. 11-1, el cual, por mayor

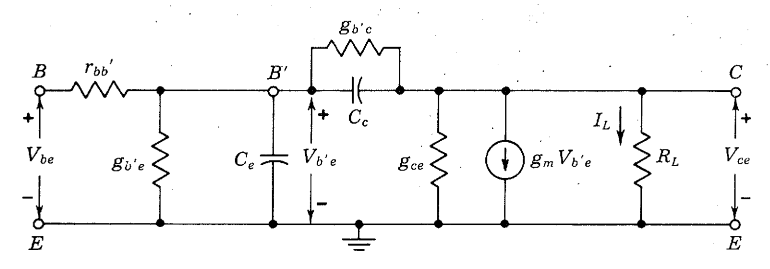


Fig. 11-5. Circuito híbrido π de un transistor único con una carga resistiva R_L

comodidad, se repite en la Fig. 11-5. Los valores representativos de los componentes del circuito se especifican en la sección 11-1 para un transistor para alta frecuencia. Emplearemos estos valores como guía para hacer suposiciones simplificadoras.

El circuito equivalente aproximado para el cálculo de ganancia de corriente en cortocircuito aparece representado en la Fig. 11-6. Una fuente de corriente suministra una corriente de entrada senoidal de valor I_i, siendo la corriente de carga I_L. Se ha despreciado $g_{b'c}$, que aparecería entre los terminales $B'C$, ya que $g_{b'c} \ll g_{b'e}$, y g_{ce} desaparece también, ya que está en paralelo con el cortocircuito. Se puede obtener una aproximación adicional, despreciando la corriente suministrada directamente a la salida a través de $g_{b'c}$ y C_c. Vamos a justificar brevemente esta aproximación.

La corriente de carga es $I_L = -g_m V_{b'e}$, donde:

$$V_{b'e} = \frac{I_i}{g_{b'e} + j\omega(C_e + C_c)} \tag{11-26}$$

La amplificación de corriente en cortocircuito será:

$$A_i = \frac{I_L}{I_i} = \frac{-g_m}{g_{b'e} + j\omega(C_e + C_c)} \tag{11-27}$$

Empleando los resultados obtenidos en las ecuaciones (11-16), tendremos:

$$A_i = \frac{-h_{fe}}{1 + j(f/f_\beta)} \qquad |A_i| = \frac{h_{fe}}{[1 + (f/f_\beta)^2]^{1/2}} \tag{11-28}$$

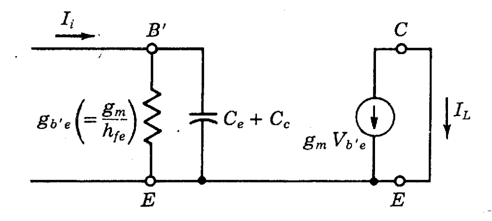


Fig. 11-6. Circuito equivalente aproximado para el cálculo de la ganancia de corriente en emisor común en cortocircuito

donde:

$$f_\beta = \frac{g_{b'e}}{2\pi(C_e + C_c)} = \frac{1}{h_{fe}} \frac{g_m}{2\pi(C_e + C_c)} \tag{11-29}$$

Para $f = f_\beta$, $|A_i|$ será igual a $1/\sqrt{2} = 0{,}707$ de su valor h_{fe} a baja frecuencia. El margen de frecuencia hasta f_β se denomina *anchura de banda del circuito.* Obsérvese que el valor de A_i a $\omega = 0$ es $-h_{fe}$, de acuerdo con la definición de $-h_{fe}$ como la ganancia de corriente en cortocircuito en emisor común para baja frecuencia.

Parámetro f_T. Vamos a introducir ahora f_T, el cual se define como *la frecuencia a la cual la ganancia de corriente en cortocircuito en emisor común alcanza el valor unidad.* Como $h_{fe} \gg 1$, tendremos, de las ecuaciones (11-28) y (11-29), que f_T viene dada por:

$$f_T \approx h_{fe} f_\beta = \frac{g_m}{2\pi(C_e + C_c)} \approx \frac{g_m}{2\pi C_e} \tag{11-30}$$

ya que $C_e \gg C_c$. Por lo tanto, de la Ec. (11-28),

$$A_i \approx \frac{-h_{fe}}{1 + jh_{fe}(f/f_T)} \tag{11-31}$$

El parámetro f_T constituye una importante característica en alta frecuencia del transistor. Como otros parámetros de los transistores, su valor depende de las condiciones de funcionamiento del sistema. La dependencia normal entre f_T y la corriente de colector aparece en la Fig. 11-7.

Puesto que $f_T \approx h_{fe} f_\beta$, este parámetro puede tener una segunda interpretación. Representa *el producto de la ganancia de corriente en cortocircuito multiplicada por la anchura de banda*; es decir, que para la configuración en emisor común con la salida en cortocircuito, f_T es el producto de la ganancia de corriente a baja frecuencia por la frecuencia superior de 3-dB. Para un transistor típico (sección 11-1), $f_T \mp 80$ MHz y $f_\beta = 1{,}6$ MHz. Se puede ver en la Ec. (11-30) que cabe aumentar la ganancia sacrificando la anchura de

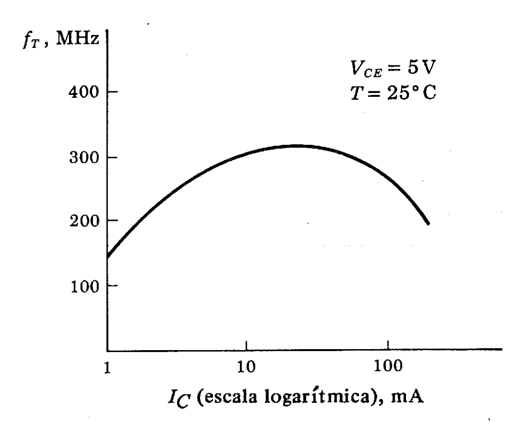


Fig. 11-7. Variación de f_T con la corriente de colector

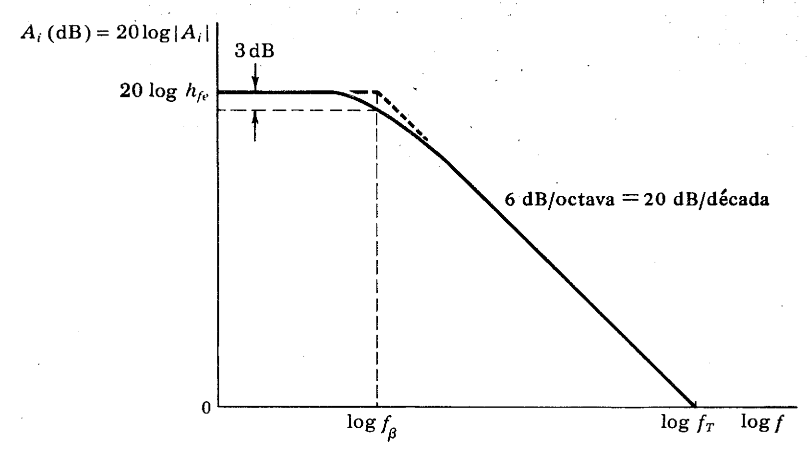


Fig. 11-8. Ganancia de corriente en emisor común en cortocircuito, en función de la frecuencia (dibujada en escala logarítmica-logarítmica)

banda, y viceversa. Por lo tanto, si se pueden obtener dos transistores con la misma f_T, el transistor con menor h_{fe} tendrá, en consecuencia, mayor anchura de banda.

En la Fig. 11-8, A_i expresada en decibelios (es decir, 20 log $|A_i|$) se dibuja con respecto a la frecuencia en escala de frecuencias logarítmica. Cuando $f \ll f_\beta$, $|A_i| \approx -h_{fe}$, y A_i (dB) se aproxima asintóticamente a la línea horizontal A_i (dB) = 20 log h_{fe}. Cuando $f \gg f_\beta$, $|A_i| \approx h_{fe}f_\beta/f = f_T/f$, tal que A_i (dB) = 20 log f_T − 20 log f. De acuerdo con lo anterior, A_i (dB) = 0 dB para $f = f_T$. Y para $f \gg f_\beta$, la curva se aproxima asintóticamente a una recta que pasa por el punto (f_T, 0) y que tiene una pendiente que provoca la disminución en A_i (dB) de 6 dB por octava (f se multiplica por el factor 2, y 20 log 2 = 6 dB) o sea 20 dB por década. La intersección de las dos asíntotas tiene lugar en el codo, a la frecuencia $f = f_\beta$, donde A_i ha caído 3 dB. Por lo tanto, f_β se denomina también frecuencia de 3 dB.

Anteriormente, despreciamos la corriente que pasa directamente a la salida a través de $g_{b'c}$ y C_c. Ahora podemos justificar esta aproximación. Vamos a considerar la corriente que atraviesa C_c. El valor de esta corriente es $\omega C_c V_{b'e}$, mientras que la corriente debida al generador controlado es $g_m V_{b'e}$. La relación entre ambas corrientes es $\omega C_c/g_m$. A la mayor frecuencia que interesa, que es f_T, tenemos, por la Ec. (11-30) y empleando los valores típicos de la sección 11-1:

$$\frac{\omega C_c}{g_m} = \frac{2\pi f_T C_c}{g_m} = \frac{C_c}{C_e + C_c} \approx 0{,}03$$

De forma parecida, puede demostrarse que la corriente de salida a través de $g_{b'c}$ es despreciable.

Medición de f_T. La frecuencia f_T es muchas veces excesivamente alta para poderla medir directamente, de forma experimental. No obstante, cabe emplear un procedimiento que permite medir f_T a una frecuencia menor con suficiente aproximación. Observemos en la Ec. (11-28) que, para $f \gg f_\beta$, podemos despreciar la unidad en el denominador y

escribir $|A_i| f \approx h_{fe}f_\beta = f_T$ de la Ec. (11-30). Empleando una frecuencia particular f_1 (por ejemplo de cinco a diez veces mayor que f_β), mediremos la ganancia $|A_{i1}|$. El parámetro f_T puede calcularse ahora de $f_T = f_1 |A_{i1}|$. En el caso de nuestro transistor típico, para el que f_T = 80 MHz y f_β = 1,6 MHz, la frecuencia f_1 puede ser f_1 = 5 × 1,6 = 8,0 MHz, mucho más conveniente que la de 80 MHz.

El valor de f_T determinado experimentalmente se emplea para calcular el valor de C_e en el circuito híbrido π. De la Ec. (11-30):

$$C_e = \frac{g_m}{2\pi f_T} \tag{11-32}$$

11-7. GANANCIA DE CORRIENTE CON CARGA RESISTIVA

Para minimizar las complicaciones que resultarían de considerar que la carga resistiva R_L de la Fig. 11-5 no es nula, es conveniente tratar la combinación en paralelo de $g_{b'c}$ y C_c, empleando el teorema de Miller de la Sec. 8-11. Identificaremos $V_{b'e}$ con V_1 en la Fig. 8-17 y V_{ce} con V_2, y con esta base, el circuito de la Fig. 11-5 puede ser reemplazado por el circuito de la Fig. 11-9*a*. Por lo tanto, $K \equiv V_{ce}/V_{b'e}$. Este circuito todavía es demasiado complicado porque tiene dos constantes de tiempo independientes, una asociada con el circuito de entrada y otra con el de salida. Demostraremos ahora que, en la práctica, la constante de tiempo de la salida es despreciable en comparación con la de la entrada, y podemos despreciarla. Por otra parte, prescindamos de la capacidad de salida C_c $(K-1)/K$, y consideremos el circuito resultante: demostraremos que la reintroducción de las capacidades de salida no produce cambios significativos en el comportamiento del circuito. Supondremos que K es independiente de la frecuencia.

Puesto que $K \equiv V_{ce}/V_{b'e}$ es (aproximadamente) la ganancia de tensión, normalmente tendremos $|K| \gg 1$. Por lo tanto, $g_{b'c}$ $(K-1)/K \approx g_{b'c}$. Ya que $g_{b'c} \ll g_{ce}$ ($r_{b'c} \approx$ 4 M y

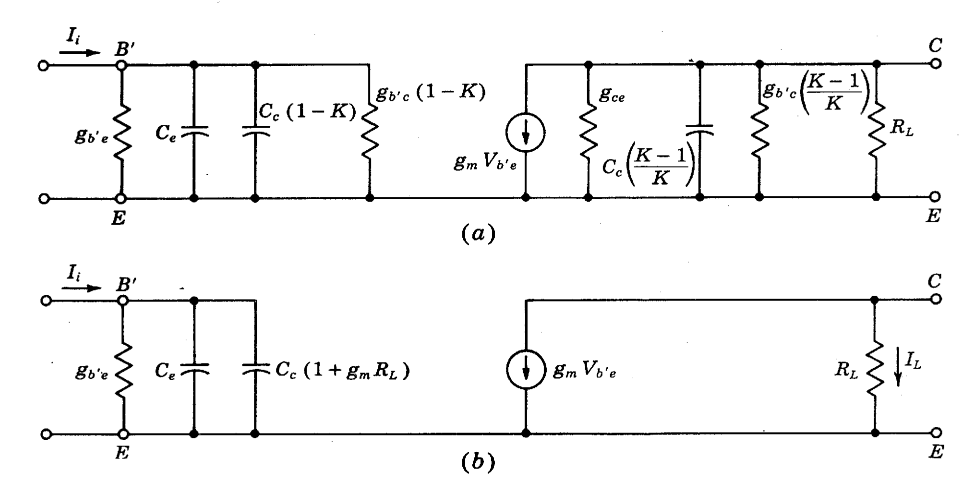


Fig. 11-9. (*a*) Circuito equivalente aproximado para el cálculo de la respuesta de una etapa amplificadora a transistores con carga resistiva; (*b*) simplificación del circuito equivalente

$r_{ce} \approx 80$ K) podemos omitir $g_{b'c}$ en la Fig. 11-9*a*. En un amplificador de banda ancha R_L, casi nunca excede a 2 K. La conductancia g_{ce} puede despreciarse comparada con R y el circuito de salida se reduce a un generador de corriente $g_m V_{b'e}$ alimentando la carga R_L tal como indica la Fig. 11-9*b*. Por tanto, aun cuando las aproximaciones anteriores no fueran válidas para algún transistor o alguna carga en particular, el análisis que sigue continúa válido teniendo en cuenta que R_L se interpreta como la combinación en paralelo de la resistencia del circuito del colector, r_{ce} y $r_{b'c}$.

En la Fig. 11-9*b* vemos que $K = V_{ce}/V_{b'e} = -g_m R_L$. Para $g_m = 50$ mA/V y $R_L = 2\,000\ \Omega$, $K = -100$. Para este valor máximo de K, la conductancia $g_{b'c}(1-K) \approx 0{,}025$ mA/V es despreciable frente a $g_{b'e} \approx 1$ mA/V. Por lo tanto, el circuito de la Fig. 11-9*a* se reduce al de la Fig. 11-9*b*. La resistencia de carga R_L se ha restringido al valor máximo de 2 K debido a que, para un valor de R_L mucho mayor que 2 000 Ω la capacidad $C_c(1+g_m R_L)$ pasa a ser excesivamente grande y la banda de paso correspondiente, pequeña.

Repongamos la capacidad $C_c(K-1)/K \approx C_c$, que habíamos despreciado hasta el momento. Para $R_L = 2\,000\ \Omega$,

$$R_L C_c = 2 \times 10^3 \times 3 \times 10^{-12} = 6 \times 10^{-9}\ \text{s} = 6\ \text{ns}$$

La constante de tiempo de entrada es:

$$r_{b'e}[C_e + C_c(1+g_m R_L)] = 10^3(100 + 3 \times 101)10^{-12}\ \text{s} = 403\ \text{ns}$$

Por consiguiente, es obvio que la banda de paso del amplificador quedará determinada por la constante de tiempo del circuito de entrada y que, en el margen de frecuencias de la etapa, la capacidad C_c no influirá por sí misma en el circuito de salida. Evidentemente, si el circuito trabaja con una carga capacitiva elevada, esta capacidad debe ser tenida en cuenta pudiendo suceder que predomine la constante de tiempo de salida.

El circuito de la Fig. 11-9*b* sólo difiere del de la Fig. 11-6 en que figura la resistencia de carga R_L y en que C_c se ha aumentado en $g_m R_L C_c$. Dentro del margen de nuestras aproximaciones, la ganancia de corriente a bajas frecuencias con carga A_{Io}, es igual a la ganancia a bajas frecuencias A_{io} con la salida en cortocircuito ($-h_{fe}$). No obstante, la frecuencia de 3 dB será ahora f_H (en lugar de f_β), siendo:

$$f_H = \frac{1}{2\pi r_{b'e} C} = \frac{g_{b'e}}{2\pi C} \qquad (11\text{-}33)$$

donde:

$$C \equiv C_e + C_c(1 + g_m R_L) \qquad (11\text{-}34)$$

Por tanto, A_I viene dado por la Ec. (11-28) y f_β reemplazada por f_H.

11-8. RESPUESTA DE UN AMPLIFICADOR A TRANSISTORES EN EMISOR COMUN DE UNA SOLA ETAPA

En las secciones precedentes, suponíamos que el transistor estaba excitado por una fuente de corriente ideal, es decir, con una resistencia interna infinita. Ahora vamos a prescindir de esta restricción y a considerar que la fuente V_s tiene una resistencia finita

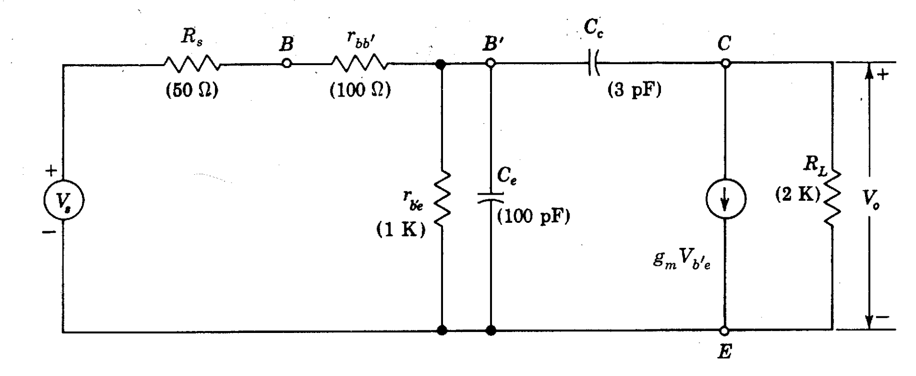


Fig. 11-10. Circuito equivalente para el análisis en frecuencia de una etapa de amplificador en emisor común excitado por una fuente de tensión

R_s. El circuito equivalente del cual se obtiene la respuesta se indica en la Fig. 11-10. Este circuito se obtiene a partir de la Fig. 11-5 añadiendo V_s en serie con R_s entre B y E y eliminando $r_{ce} = 1/g_{ce}$ y $r_{b'c} = 1/g_{b'c}$, ya que son mucho mayores que R_L.

Función de transferencia. Deseamos obtener la función de transferencia V_o/V_s como una función de la variable de frecuencia compleja (o transformada de Laplace) s. Introduciendo $R'_s \equiv R_s + r_{bb'} = 1/G'_s$ y observando que la admitancia de un condensador C es sC, obtenemos las siguientes ecuaciones de Kirchhoff en los nudos B' y C respectivamente (llamadas ecuaciones nodales):

$$G'_s V_s = [G'_s + g_{b'e} + s(C_e + C_c)]V_{b'e} - sC_c V_o \qquad (11\text{-}35)$$

$$0 = (g_m - sC_c)V_{b'e} + \left(\frac{1}{R_L} + sC_c\right) V_o \qquad (11\text{-}36)$$

Resolviendo las ecuaciones (11-35) y (11-36), encontramos:

$$\frac{V_o}{V_s} = \frac{-G'_s R_L (g_m - sC_c)}{s^2 C_e C_c R_L + s[C_e + C_c + C_c R_L(g_m + g_{b'e} + G'_s)] + G'_s + g_{b'e}} \qquad (11\text{-}37)$$

La ecuación anterior es de la forma:

$$A_{Vs} \equiv \frac{V_o}{V_s} = \frac{K_1(s - s_o)}{(s - s_1)(s - s_2)} \qquad (11\text{-}38)$$

Vemos, por lo tanto, que la función de transferencia de un transistor único en emisor común a alta frecuencia tiene un cero a $s_o = g_m/C_c$ y dos polos s_1 y s_2. Estos polos están calculados obteniendo las raíces del denominador de la Ec. (11-37). También de esta ecuación tenemos que $K_1 = G'_s R_L C_c / C_e C_c R_L = G'_s / C_e$.

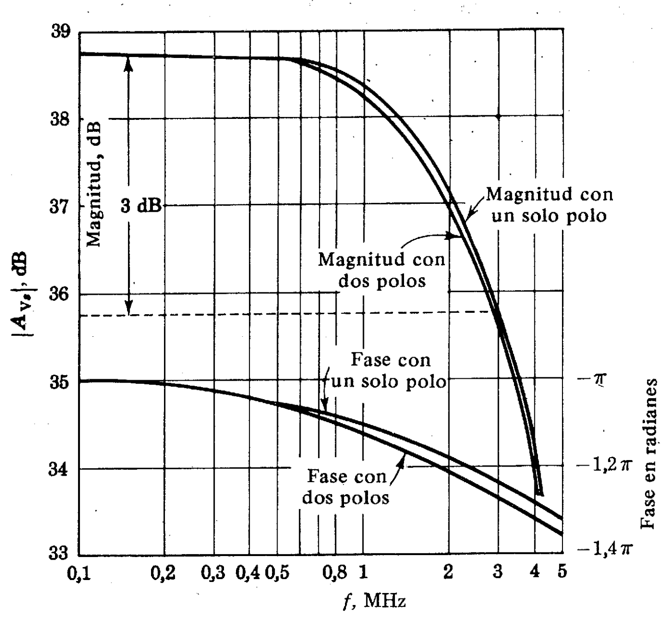


Fig. 11-11. Magnitud en decibelios y respuesta de fase para funciones de transferencia de dos polos y de un solo polo

Para los valores numéricos indicados en la Fig. 11-10 y con $g_m = 50$ mA/V, encontramos:

$$K_1 = 6{,}67 \times 10^7 \qquad s_o = 1{,}67 \times 10^9 \text{ rad/s}$$

$$s_1 = -1{,}75 \times 10^7 \text{ rad/s} \qquad s_2 = -7{,}30 \times 10^8 \text{ rad/s}$$

El valor y fase de la función de transferencia [obtenida de la Ec. (11-37) con $s = j\omega = j2\pi f$] están dibujados en la Fig. 11-11. La frecuencia de 3 dB se encuentra en 2,8 MHz.

Análisis aproximado. Podemos obtener una expresión aproximada muy simple para la función de transferencia, aplicando el teorema de Miller al circuito de la Fig. 11-10. Procediendo como en la Sec. 11-7, obtenemos el circuito de la Fig. 11-12, con $K \equiv V_{ce}/V_{b'e}$. Como $|K| \gg 1$, la capacidad de salida es C_c y la constante de tiempo de salida $C_cR_L = 6$ ns, como en la Sec. 11-7. Despreciando C_c, se obtiene que $K = -g_mR_L$ y la capacidad de entrada será:

$$C \equiv C_e + C_c(1 + g_mR_L) = 100 + (3)(101) = 403 \text{ pF} \tag{11-39}$$

La resistencia del lazo de entrada será:

$$R \equiv R'_s \| r_{b'e} = \frac{1}{G'_s + g_{b'e}} = \frac{1}{1/150 + 1/1000} = 130\ \Omega \tag{11-40}$$

y la constante de tiempo de entrada será (130)(403) ps = 53 ns. Como esta constante de

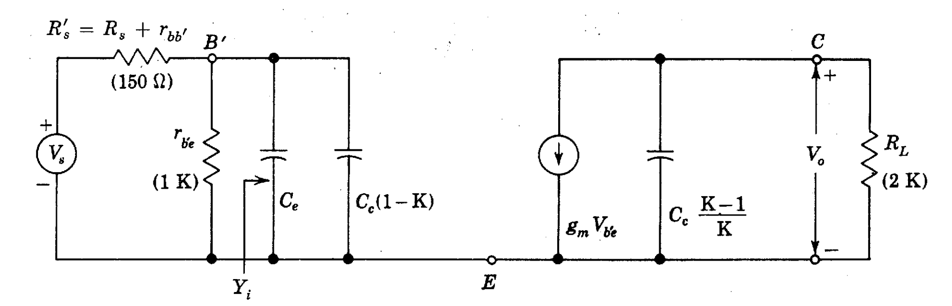


Fig. 11-12. Circuito equivalente de una etapa amplificadora en EC, empleando el efecto Miller

tiempo es casi ocho veces mayor que la constante de tiempo de salida, supondremos, como en la Sec. 11-7, que el paso de banda del amplificador está determinado sólo por la constante de tiempo de entrada. Despreciando la constante de tiempo de salida y, empleando $K = -g_mR_L$, la función de transferencia obtenida de la Fig. 11-12 es:

$$A_{Vs} = \frac{V_o}{V_s} = \frac{-g_mR_LG'_s}{G'_s + g_{b'e} + sC} \tag{11-41}$$

que es de la forma:

$$A_{Vs} = \frac{K_2}{s - s_1} \tag{11-42}$$

y por lo tanto es la aproximación de un polo para la función de transferencia. El polo está dado por $s = s_1$, en que

$$s_1 = -\frac{G'_s + g_{b'e}}{C} = \frac{-1}{RC} \tag{11-43}$$

o sea:

$$s_1 = \frac{-1}{(130)(403 \times 10^{-12})} = -1{,}90 \times 10^7 \text{ rad/s}$$

Para encontrar la respuesta en frecuencia, haremos $s = j\,2\pi f$, y la Ec. (11-42) se transformará en:

$$A_{Vs} = \frac{K_2}{j2\pi f - s_1} = \frac{-K_2}{s_1} \frac{1}{1 - j2\pi f/s_1} \tag{11-44}$$

El valor de la ganancia de tensión en función de la frecuencia será:

$$|A_{Vs}| = \left|\frac{K_2}{s_1}\right| \frac{1}{[1 + (2\pi f/s_1)^2]^{1/2}} \tag{11-45}$$

y el ángulo de fase será:

$$\theta_1 = -\pi - \text{arc tg}\,\frac{2\pi f}{|s_1|} \tag{11-46}$$

El ángulo de fase $-\pi$ resulta del hecho de que K_2 y s_1 son ambos negativos, y por lo tanto también $-K_2/s_1$ es negativo.

La frecuencia superior de 3 dB f_H tiene lugar cuando la ganancia cae a $1/\sqrt{2}$ de su valor a baja frecuencia. Por lo tanto:

$$f_H = \frac{|s_1|}{2\pi} = \frac{1}{2\pi RC} = \frac{1{,}90 \times 10^7}{2\pi}\ \text{Hz} = 3{,}0\ \text{MHz} \tag{11-47}$$

Obsérvese que la *frecuencia superior de 3 dB de un circuito de un solo polo viene dada por $1/(2\pi\tau)$; siendo τ la constante de tiempo del circuito.* La magnitud y fase dadas por la Ec. (11-44) están dibujadas en la Fig. 11-11. Comparando las curvas de dos polos con las de un solo polo, se demuestra que el valor obtenido con el modelo de dos polos, más exacto, es $f_H = 2{,}8$ MHz. El error del valor 3,0 MHz obtenido con un solo polo es del orden del 7 %, y por tanto no es necesario emplear la solución más complicada de dos polos.

Impedancia de entrada de Miller.[5] En la capacidad de Miller C hemos empleado el valor de baja frecuencia de $|K| = g_m R_L$. Puesto que éste es el máximo valor de K, se emplea un valor de C demasiado grande, y podríamos esperar obtener valores de f_H por defecto. No obstante, como hemos observado anteriormente, la aproximación de un solo polo da un valor por exceso de f_H (3,0 MHz en lugar del valor correcto de 2,8 MHz). Esta aparente anomalía se resuelve si tenemos en cuenta que K depende de la frecuencia al calcular la admitancia de entrada Y_i. De la Fig. 11-12:

$$Y_{b'e} = Y_i = j\omega[C_e + C_c(1 - K)] \tag{11-48}$$

Como $|K| \gg 1$ incluso a la frecuencia de 3 dB, el circuito de salida está constituido por un condensador C_c en paralelo con R_L. Por lo tanto:

$$K = \frac{V_o}{V_{b'e}} = \frac{-g_m}{j\omega C_c + 1/R_L} = \frac{-g_m R_L}{1 + j\omega C_c R_L} \tag{11-49}$$

$$Y_i = j\omega\left[C_e + C_c\left(1 + \frac{g_m R_L}{1 + j\omega C_c R_L}\right)\right] \tag{11-50}$$

Si consideramos que la entrada consiste en un condensador C_i en paralelo con una resistencia R_i, entonces:

$$Y_i = j\omega C_i + \frac{1}{R_i} \tag{11-51}$$

De la Ec. (11-50) se sigue que:

$$C_i = C_e + C_c + \frac{g_m R_L C_c}{1 + \omega^2 C_c^2 R_L^2} \tag{11-52}$$

y

$$R_i = \frac{1}{g_m}\left(1 + \frac{1}{\omega^2 C_c^2 R_L^2}\right) \tag{11-53}$$

A la frecuencia $f_H = 3{,}0 \times 10^6$ Hz,

$$\omega^2 C_c^2 R_L^2 = [(2\pi)(3 \times 10^6)(3 \times 10^{-12})(2 \times 10^3)]^2 = 0{,}0128$$

Por tanto, para $0 \leqslant f \leqslant f_H$, C_i permanece esencialmente constante a su valor de frecuencia cero, $C = C_e + C_c\,(1 + g_m R_L)$, mientras R_1 disminuye desde infinito a $[1/(50 \times 10^{-3})](1 + 1/0{,}0128) = 1\,590\ \Omega$. Este valor es comparable con $r_{b'e} = 1\,000\ \Omega$, y por lo tanto la resistencia de entrada de Miller reduce el valor de $V_{b'e}/V_s$, y por consiguiente también V_o/V_s. Esto explica por qué la anchura de banda obtenida con la función de transferencia exacta de dos polos es más conservadora (menor en un 7 % aproximadamente, como se ha visto en la Fig. 11-11) que el valor obtenido por la aproximación de un solo polo. En la mayor parte de las aplicaciones, la función de transferencia aproximada de un solo polo tiene suficiente validez para los cálculos de la anchura de banda.

11-9. PRODUCTO DE LA ANCHURA DE BANDA POR LA GANANCIA

Empleando la función de transferencia aproximada de un solo polo obtenida de la Fig. 11-9*b* (con $R_s + r_{bb'}$ agregada al circuito de entrada), encontramos en el Prob. 11-17 que el producto de la anchura de banda por la ganancia para la tensión y la corriente es, respectivamente:

$$|A_{Vso} f_H| = \frac{g_m}{2\pi C}\,\frac{R_L}{R_s + r_{bb'}} = \frac{f_T}{1 + 2\pi f_T C_c R_L}\,\frac{R_L}{R_s + r_{bb'}}$$
$$|A_{Iso} f_H| = \frac{f_T}{1 + 2\pi f_T C_c R_L}\,\frac{R_s}{R_s + r_{bb'}} \tag{11-54}$$

Estas cantidades f_H, A_{Iso}, y A_{Vso}, que caracterizan la etapa a transistores, dependen de R_L y R_s. La forma de esta dependencia, así como el orden de magnitud de estas cantidades, pueden verse en la Fig. 11-13, en la que f_H se ha trazado en función de R_L, hasta $R_L = 2\,000\ \Omega$, para varios valores de R_s. La curva más elevada de f_H de la Fig. 11-13 para $R_s = 0$ corresponde a excitación con fuente de tensión ideal. La ganancia de tensión va desde cero para $R_L = 0$ hasta 90,9 para $R_L = 2\,000\ \Omega$. Obsérvese que una impedancia de la fuente de tan sólo 100 Ω reduce la anchura de la banda por un factor de aproximadamente 1,8. La curva inferior a $R_s = \infty$ corresponde a la fuente de corriente ideal. La ganancia de tensión es cero para todos los valores de R_L si $R_s = \infty$. Para

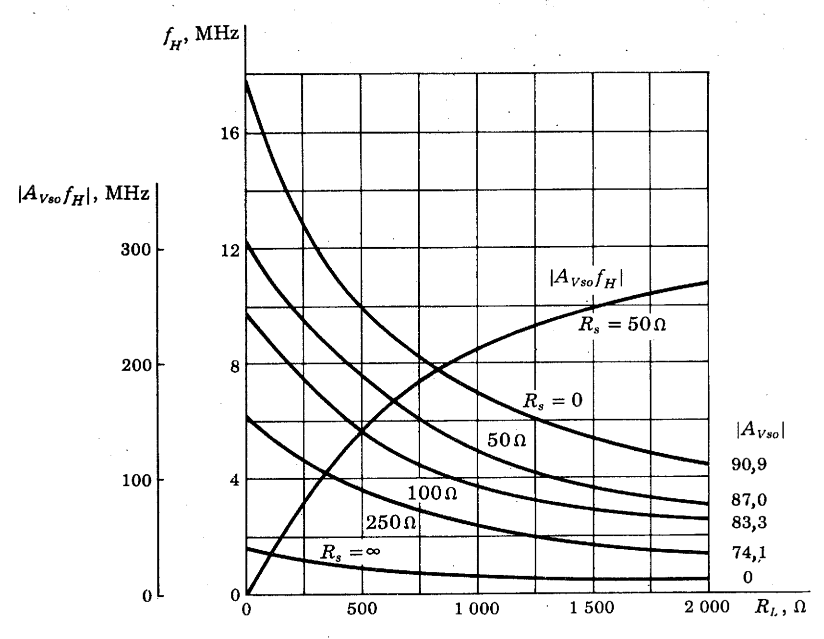


Fig. 11-13. Anchura de banda f_H en función de R_L, con la resistencia de fuente como parámetro, para un amplificador constituido por un transistor en emisor común cuyos parámetros vienen dados en la Sec. 11-1. El producto de la anchura de banda por la ganancia para una fuente de 50 Ω aparece también en el dibujo. Los valores tabulados de $|A_{V_{so}}|$ corresponden a R_L = 2 000 Ω y a los valores de R_s en las curvas

cualquier R_L, la anchura de banda es mayor cuanto menor es R_s. El producto de la anchura de banda por la ganancia de tensión aumenta con el incremento de R_L y disminuye con el incremento de R_s. Aunque conozcamos el producto de la ganancia por la anchura de banda para unos valores particulares de R_s o R_L, no podemos emplear el producto para determinar, por ejemplo, la mejora de la anchura de banda correspondiente a un determinado sacrificio de la ganancia, ya que si variamos la ganancia cambiando R_s o R_L o ambos, generalmente, el producto de la anchura de la banda por la ganancia ya no será el mismo.

Resumen. La respuesta en alta frecuencia de un amplificador a transistores se obtiene en este capítulo en función de los parámetros del transistor: g_m, $r_{b'e}$, $r_{bb'}$, C_e y C_c. Vamos a demostrar ahora que se pueden obtener a partir de los cuatro parámetros independientes: h_{fe}, f_T, h_{ie}, y $C_o = C_{ob}$.

De la corriente I_C y la temperatura T se puede obtener la transconductancia [Ec. (11-16)] : $g_m = |I_C|/V_T$ y es independiente del dispositivo particular que consideremos. Conociendo g_m podemos encontrar, a partir de las ecuaciones (11-16) y (11-23):

$$r_{b'e} = \frac{h_{fe}}{g_m} \qquad r_{bb'} = h_{ie} - r_{b'e} \qquad C_e \approx \frac{g_m}{2\pi f_T}$$

Si se conocen R_s y R_L, todas las variables de la Ec. (11-37) o la (11-41) son conocidas. Hemos comprobado, por tanto, que la respuesta en frecuencia puede determinarse por los cuatro parámetros h_{fe}, f_T, h_{ie}, y C_c. De ahí que estas cuatro magnitudes estén normalmente indicadas por los fabricantes de transistores de alta frecuencia.

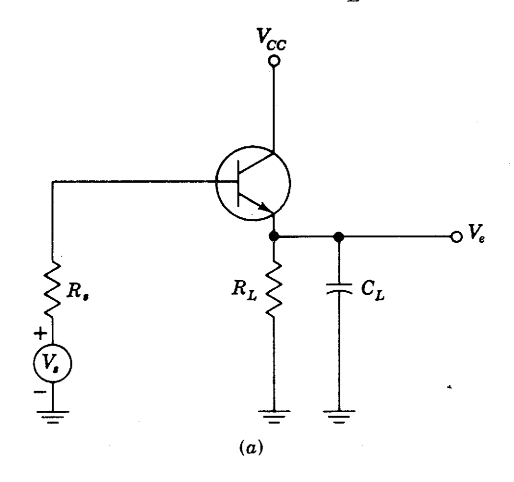
11-10. SEGUIDOR DE EMISOR A ALTA FRECUENCIA

En esta sección examinaremos la respuesta en alta frecuencia del seguidor de emisor de la Fig. 11-14*a*. Se ha añadido un condensador C_L en paralelo con la carga, porque el seguidor de emisor (debido a su baja resistencia de salida) se emplea frecuentemente como excitador de cargas capacitivas.

Escribiendo las ecuaciones de los nudos B' y E, respectivamente, tenemos:

$$G'_s V_s = [G'_s + g_{b'e} + s(C_c + C_e)]\, V'_i - (g_{b'e} + sC_e)\, V_e \tag{11-55}$$

$$0 = -(g + sC_e)\, V'_i + \left[g + \frac{1}{R_L} + s(C_e + C_L) \right] V_e \tag{11-56}$$



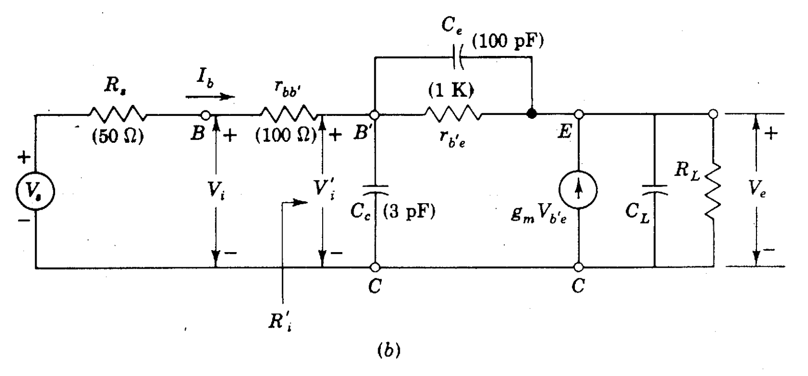


Fig. 11-14. (*a*) Seguidor de emisor. (*b*) Circuito equivalente para alta frecuencia de un seguidor de emisor

donde

$$G'_s \equiv \frac{1}{R_s + r_{bb'}} \quad \text{y} \quad g \equiv g_m + g_{b'e} \tag{11-57}$$

Si se elimina V'_i de estas dos ecuaciones, la ganancia de tensión V_e/V_s aparece en función de s. El resultado, de la forma dada en la Ec. (11-38) tiene un cero y dos polos. La solución exacta puede hallarse procediendo como en la Sec. 11-8 (Prob. 11-18).

Solución con un solo polo. Podemos obtener una expresión aproximada muy sencilla, de la función de transferencia, aplicando el teorema de Miller al circuito de la Fig. 11-14*b*. Con $K \equiv V_e/V'_i$ obtenemos el circuito de la Fig. 11-15.

La ganancia a baja frecuencia de un seguidor de emisor es muy próxima a la unidad: $K \approx 1$ y $1 - K \approx 0$. Por lo tanto, la constante de tiempo de entrada $\tau_i \approx (R_s + r_{bb'})\, C_c$. La constante de tiempo de salida τ_o es proporcional a C_L, y como hemos supuesto que la carga es altamente capacitiva, $\tau_o \gg \tau_i$. De ahí que la frecuencia superior de 3 dB queda bien determinada con buena aproximación solamente por el circuito de salida. Empleando $K = 1$, obtenemos:

$$V_e = \frac{g_m V_{b'e}}{1/R_L + j\omega C_L} = \frac{g_m R_L (V'_i - V_e)}{1 + j\omega C_L R_L} \tag{11-58}$$

Resolviendo para $V_e/V'_i = K$, obtendremos:

$$K = \frac{g_m R_L}{1 + g_m R_L} \; \frac{1}{1 + jf/f_H} = \frac{K_o}{1 + jf/f_H} \tag{11-59}$$

en donde:

$$K_o \equiv \frac{g_m R_L}{1 + g_m R_L} \approx 1 \tag{11-60}$$

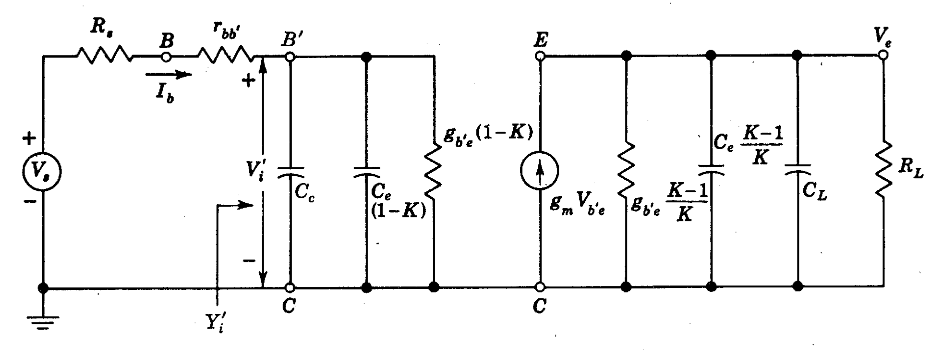


Fig. 11-15. Circuito equivalente del seguidor de emisor, empleando el Teorema de Miller

y

$$f_H \equiv \frac{1 + g_m R_L}{2\pi C_L R_L} \approx \frac{g_m}{2\pi C_L} = \frac{f_T C_e}{C_L} \tag{11-61}$$

y f_T viene dada por la Ec. (11-30). Puesto que $f_H = 1/2\pi\tau_o$, vemos que $\tau_o = C_L/g_m$, y la condición $\tau_o \gg \tau_i$ requiere que:

$$C_L \gg g_m (R_s + r_{bb'}) C_c \tag{11-62}$$

Para los parámetros de la Fig. 11-14 y $g_m = 50$ mA/V, esta condición queda de la forma: $C_L \gg 50 \,.\, 150 \,.\, 3 = 23$ pF.

Como la impedancia de entrada entre los terminales B' y C es muy elevada frente a $R_s + r_{bb'}$, K representa también la ganancia total de tensión $A_{Vs} \equiv V_e/V_s$. A veces se puede obtener mayor aproximación para f_H como en el Prob. 11-20, en el que encontramos:

$$f_H = \frac{g_m + g_{b'e}}{2\pi(C_L + C_e)} \tag{11-63}$$

Admitancia de entrada. Podemos calcular la admitancia de entrada (excluyendo $r_{bb'}$) haciendo referencia a la Fig. 11-15:

$$Y'_i = \frac{I_b}{V'_i} = j\omega[C_c + (1 - K)C_e] + (1 - K)g_{b'e}$$

Sustituyendo K de la Ec. (11-59) en esta ecuación, encontramos:

$$Y'_i = j2\pi f C_c + (g_{b'e} + j2\pi f C_e)\, \frac{1 - K_o + jf/f_H}{1 + jf/f_H} \tag{11-64}$$

Puesto que $K_o \approx 1$, el numerador de la Ec. (11-64) está afectado por un valor mucho menor de f de lo que lo está el denominador. Por lo tanto, para $f < f_H$, Ec. (11-64) puede escribirse:

$$\begin{aligned} Y'_i &\approx j2\pi f C_c + (g_{b'e} + j2\pi f C_e)\left(1 - K_o + \frac{jf}{f_H}\right) \\ &\approx j2\pi f[C_c + (1 - K_o)C_e] + g_{b'e}(1 - K_o) + jg_{b'e}\frac{f}{f_H} - 2\pi f^2 \frac{C_e}{f_H} \end{aligned} \tag{11-65}$$

en la que el último término representa una resistencia negativa que es función de la frecuencia. Así pues, la impedancia de entrada consiste en una capacidad en paralelo con una resistencia negativa y si la resistencia de la fuente R_s contiene algo de inductancia en serie, con ella, puede darse el caso de que el circuito presente oscilaciones indeseables. Un procedimiento para remediar esta situación sería el de emplear una pequeña resistencia en serie con R_s.

REFERENCIAS

1. Phillips, A. B.: "Transistor Engineering", caps. 13 y 14, McGraw-Hill Book Company, Nueva York, 1962.
   Pritchard, R. L.: "Electric-network Representations of Transistors: A Survey", *IRE Trans. Circuit Theory*, vol. CT-3, no. 1, pp. 5-21, marzo de 1956.
   Searle, C. L., A. R. Boothroyd, E. J. Angelo, Jr., P. E. Gray, y D. O. Pederson: "Elementary Circuit Properties of Transistors", vol. 3, Semiconductor Electronics Education Committee, John Wiley & Sons, Inc., Nueva York, 1964.

2. Giacoletto, L. J.: "Study of *p-n-p* Alloy Junction Transistors from DC through Medium Frequencies", *RCA Rev.*, vol. 15, no. 4, pp. 506-562, diciembre de 1954.
   Searle, C. L., y otros: Ref. 1, vol. 3, cap. 3.

3. Phillips, A. B., Ref. 1, pp. 129-130.

4. Gray, P. E., y C. L. Searle: "Electronic Principles", pp. 373-380, 421-424, John Wiley & Sons, Inc., Nueva York, 1969.

5. Cherry E. M., y D. E. Hooper: "Amplifying Devices and Low-pass Amplifier Design", pp. 337-343, John Wiley & Sons, Inc., Nueva York, 1968.

TEMAS DE REPASO

11-1 Dibujar el modelo para pequeña señal y alta frecuencia de un transistor en emisor común.

11-2 (*a*) ¿Cuál es el origen físico de los dos condensadores del modelo híbrido π? (*b*) ¿Cuál es el orden de magnitud de estos condensadores?

11-3 ¿Cuál es el orden de magnitud de cada resistencia del modelo híbrido en π?

11-4 ¿Cómo varía g_m con (*a*) $|I_C|$; (*b*) $|V_{CE}|$; (*c*) T?

11-5 Demostrar que $h_{fe} = g_m r_{b'e}$.

11-6 (*a*) Demostrar que $h_{ie} = r_{bb'} + r_{b'e}$. (*b*) Suponiendo que $r_{bb} \ll r_{b'e}$, ¿cómo varía $r_{b'e}$ con $|I_C|$?

11-7 (*a*) ¿Cómo varía C_e con $|I_C|$ y con $|V_{CE}|$? (*b*) ¿Cómo varía C_c con $|I_C|$ y con $|V_{CE}|$?

11-8 Deducir la expresión de la ganancia de corriente $|A_i|$ en emisor común en corto circuito, en función de la frecuencia.

11-9 (*a*) Definir f_β. (*b*) Definir f_T. (*c*) ¿Cuál es la relación entre f_β y f_T?

11-10 Consideremos una etapa en emisor común con una carga resistiva R_L. Empleando el teorema de Miller, ¿cuál es la capacidad de entrada en mitad de la banda? (*b*) Suponiendo que la constante de tiempo de salida es pequeña comparada con la constante de tiempo de entrada, ¿cuál es la frecuencia superior de 3 dB, f_H para la ganancia de corriente?

11-11 Explicar por qué la frecuencia de 3 dB para la ganancia de corriente no es la misma que la f_H para la ganancia de tensión.

11-12 ¿En función de qué cuatro parámetros se obtiene la respuesta en alta frecuencia de una etapa en emisor común?

11-13 Dibujar el circuito equivalente para pequeña señal de una etapa de un seguidor de emisor para alta frecuencia.

12

Amplificadores multietapas

Frecuentemente, se necesita amplificar una señal con la mínima distorsión. En estas circunstancias, los dispositivos activos deben funcionar necesariamente de manera lineal. En el análisis de estos circuitos, el primer paso será reemplazar el circuito real por un modelo lineal. Luego entrará en materia el análisis del circuito para determinar la distorsión producida por las características de transmisión de la red lineal.

El margen de frecuencia de los amplificadores, tratado en este capítulo, va desde pocos hertz, o incluso desde cero, hasta algunas decenas de megahertz. El impulso original que llevó al estudio de los amplificadores con una anchura de banda tan extensa, fue la necesidad surgida de amplificar los impulsos que tienen lugar en la señal de televisión. Normalmente, estos amplificadores se denominan *amplificadores de videofrecuencia.* Explicaremos a continuación los circuitos amplificadores básicos.

En este capítulo, consideraremos el siguiente problema: Dada una onda de entrada de bajo nivel, no necesariamente senoidal, pero conteniendo componentes de frecuencia desde pocos hertz hasta algunos megahertz, ¿cómo podrá aumentarse esta señal de tensión con el mínimo de distorsión?

También veremos algunos detalles particulares asociados con el problema general de la amplificación, tales como la clasificación de los amplificadores, el zumbido y ruido en ellos, etcétera.

12-1. CLASIFICACION DE LOS AMPLIFICADORES

Los amplificadores pueden ser clasificados de muy distintas maneras, según su margen de frecuencia, su forma de trabajo, el uso al que se los destina, el tipo de carga, el método de acoplamiento entre etapas, etc. Si los clasificamos según la frecuencia, cabe distinguir los de continua (de frecuencia cero), audio (20 Hz a 20 kHz), video o de impulsos (hasta algunos megahertz), radio frecuencia (desde unos pocos kilohertz hasta cientos de megahertz), y ultra alta frecuencia (cientos o miles de megahertz).

La posición del punto de reposo y la extensión de las características que pueden emplearse determinan el método de funcionamiento. El transistor o el FET pueden traba-

jar como amplificador de Clase A, Clase AB, Clase B o Clase C, que pueden definirse de la siguiente manera:

Clase A. Un amplificador de clase A es aquel cuyo punto de reposo y señal de entrada son tales que determinan una corriente en el circuito de salida (en el colector o el sumidero) que circula en todo momento. El amplificador de clase A funciona básicamente en una zona lineal de sus características.

Clase B. Un amplificador funciona en clase B cuando el punto de reposo está situado en un extremo de su característica, de manera que la potencia de reposo es muy pequeña. Por ello, tanto la corriente como la tensión de reposo son aproximadamente nulas. Si la tensión de señal es senoidal, la amplificación sólo tiene lugar en medio ciclo. Por ejemplo, si la corriente de reposo en el circuito de salida es cero, su corriente sigue permaneciendo nula durante una de las mitades del ciclo.

Clase AB. En un amplificador de clase AB, se trabaja en un punto intermedio entre los dos extremos definidos para las clases A y B. Por lo tanto, la señal de salida es nula en una parte del ciclo, menor de la mitad del mismo, en caso de señal aplicada senoidal.

Clase C. Este último tipo de amplificador tiene un punto de reposo tal que durante más de la mitad de ciclo la corriente (o tensión) de salida es nula en caso de señal de entrada senoidal.

Aplicaciones de los amplificadores. Si tratamos de clasificar los amplificadores de acuerdo con el empleo al que están destinados, encontramos amplificadores de tensión, de corriente, de potencia y de usos generales. Normalmente, la carga de un amplificador es una impedancia. Los dos casos especiales más importantes son la carga resistiva ideal y el circuito sintonizado funcionando en las cercanías de su frecuencia de resonancia.

Las clases AB y B se aplican a los amplificadores de potencia no sintonizados (Cap. 18), mientras que la clase C se usa para amplificadores de radiofrecuencia sintonizados. Cabe obtener formas de onda distintas, con amplificadores de clase B o C sobreexcitados. En este capítulo, consideraremos solamente los amplificadores de tensión no sintonizados para audio o video frecuencias con carga resistiva y funcionando en clase A.

12-2. DISTORSION EN LOS AMPLIFICADORES

La aplicación de una señal senoidal a la entrada de un amplificador ideal en clase A da como resultado la aparición en la salida de una onda también senoidal. Generalmente, la onda de salida no es la réplica exacta de la de entrada, ya que tienen lugar varios tipos de distorsión, inherentes a la no linealidad de las características de los transistores o de los FET, o por la influencia de los circuitos asociados. Los tipos de distorsión que pueden existir, ya sea separada o simultáneamente, se denominan: *distorsión no lineal, distorsión de frecuencia* y *distorsión de retardo o de desplazamiento de fase.*

Distorsión no lineal. Este tipo de distorsión es la consecuencia de la producción de nuevas frecuencias en la salida que no estaban en la señal de entrada. Estas nuevas frecuencias, o armónicos, provienen de la falta de linealidad de la curva dinámica de los elementos activos; las consideraremos con algún detalle en las secciones 18-2 y 18-3. Esta distorsión es denominada a veces "distorsión de amplitud".

Distorsión de frecuencia. Tiene lugar este tipo de distorsión cuando los componentes de la señal de frecuencias diferentes se amplifican de distinta forma. Tanto en los transistores como en los FET, esta distorsión puede provenir de las capacidades internas del dispositivo, o de que el circuito asociado (por ejemplo, los componentes de acoplamiento o la carga) sea reactivo. En estas circunstancias, la ganancia A es un número complejo cuya magnitud y ángulo de fase dependen de la frecuencia de la señal aplicada. La curva que relaciona la ganancia (su magnitud) en función de la frecuencia en un amplificador, se denomina *característica de respuesta frecuencia-amplitud.* En la Fig. 11-11, se indica una curva de este tipo para un amplificador a transistor de una sola etapa con carga resistiva. Si esta característica no es una recta horizontal dentro del margen de frecuencias que se consideren, se dice que el circuito presenta distorsión de frecuencia en este intervalo.

Distorsión de cambio de fase. La distorsión de cambio de fase resulta de la desigual variación de fase de las señales de diferentes frecuencias. Esta distorsión se debe a que el ángulo de fase de la ganancia compleja A depende de la frecuencia.

12-3. RESPUESTA EN FRECUENCIA DE UN AMPLIFICADOR

Se puede emplear un criterio para comparar amplificadores, con respecto a la fidelidad de la reproducción de la señal de entrada, criterio que consiste en las siguientes consideraciones: Cualquier forma de onda de entrada de importancia real para la ingeniería puede desarrollarse en un espectro de Fourier. Si la onda es periódica, el espectro estará constituido por una serie de senos y cosenos cuyas frecuencias son múltiplos enteros de la frecuencia fundamental. La frecuencia fundamental es la inversa del tiempo que media hasta que la onda se repita. Si la onda no es periódica, el período fundamental se prolonga desde un tiempo $-\infty$ a $+\infty$. Entonces, la frecuencia fundamental es infinitamente pequeña; las frecuencias de los términos sucesivos de la serie de Fourier difieren en un valor infinitesimal en lugar de un valor finito, y la serie de Fourier se transforma en una integral de Fourier. En cualquier caso, el espectro incluye términos cuyas frecuencias van, en el caso general, de cero a infinito.

Consideraciones sobre la fidelidad. Consideremos una señal senoidal de frecuencia angular ω representada por V_m sen $(\omega t + \phi)$. Si la ganancia de tensión de un amplificador tiene un valor A y si la señal sufre un cambio de fase (ángulo de desviación) θ, entonces la salida será:

$$AV_m \text{ sen } (\omega t + \phi + \theta) = AV_m \text{ sen } \left[\omega\left(t + \frac{\theta}{\omega}\right) + \phi\right]$$

Por lo tanto, *si la amplificación A es independiente de la frecuencia y si el desplazamiento de fase θ es proporcional a la frecuencia (o es nulo), el amplificador conservará la forma de la señal de entrada, si bien la señal se desplazará en un tiempo que valdrá $D = \theta/\omega$.*

Todo esto nos lleva a considerar que el punto hasta el cual la amplitud de la respuesta de un amplificador no es uniforme, y el desplazamiento del tiempo no es constante con la

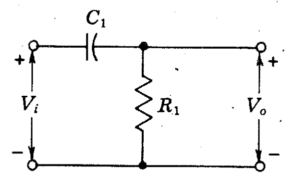


Fig. 12-1. Circuito RC paso alto empleado para calcular la respuesta en baja frecuencia de un amplificador

frecuencia, nos servirá como medida de la falta de fidelidad que cabe esperar en él. En principio, no es absolutamente necesario especificar las dos respuestas de amplitud y fase, ya que en la mayor parte de los circuitos, ambas están relacionadas entre sí, y conociendo una de ellas la otra queda unívocamente determinada. No obstante, en casos particulares puede ser que una de ellas, nos dé idea más exacta de la distorsión de frecuencia, que la otra.

Para una etapa amplificadora, las características en frecuencia pueden dividirse en tres regiones: una primera región, denominada de *frecuencias medias*, en la que la amplificación es casi constante y de valor igual a A_o y sobre la cual el retraso es también prácticamente constante; en la presente explicación supondremos que la ganancia en frecuencias medias es igual a la unidad, o sea: $A_o = 1$. En la segunda región (baja frecuencia), por debajo de las medias, una etapa amplificadora puede considerarse como un circuito simple de paso alto como el de la Fig. 12-1. La respuesta disminuye con el decrecimiento de la frecuencia, y la salida es aproximadamente nula para la continua ($f = 0$). En la tercera región (alta frecuencia), por encima de las frecuencias medias, el circuito se asemeja normalmente a un circuito simple paso bajo como el de la Fig. 12-2, y la respuesta disminuye con el incremento de frecuencia. La característica en frecuencia, total, indicada en la Fig. 12-3 para todas las regiones, va a ser objeto de estudio a continuación.

Respuesta a baja frecuencia. Del circuito de la Fig. 12-1 tenemos, empleando la variable compleja s,

$$V_o(s) = \frac{V_i(s)R_1}{R_1 + 1/sC_1} = V_i(s)\frac{s}{s + 1/R_1C_1} \tag{12-1}$$

Por lo tanto, la función de transferencia de tensión a bajas frecuencias $A_L(s) = V_o(s)/V_i(s)$, tiene un cero en $s = 0$ y un polo en $s = -1/R_1C_1$. Para frecuencias reales ($s = j\omega = j2\pi f$), la ecuación (12-1) se transforma en:

$$A_L(jf) = \frac{1}{1 - j(f_L/f)} \tag{12-2}$$

en donde:

$$f_L \equiv \frac{1}{2\pi R_1 C_1} \tag{12-3}$$

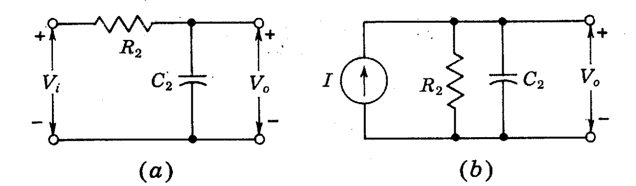


Fig. 12-2. (a) Circuito RC paso bajo empleado para calcular la respuesta en alta frecuencia de un amplificador. (b) Equivalente de Norton del circuito (a) en que $I = V_i/R_2$

El valor de $|A_L|$ y el cambio de fase θ_L de la ganancia vienen dados por:

$$|A_L(jf)| = \frac{1}{\sqrt{1 + (f_L/f)^2}} \qquad \theta_L = \text{arc tg}\,\frac{f_L}{f} \tag{12-4}$$

A la frecuencia $f = f_L$, $A_L = 1/\sqrt{2} = 0{,}707$, mientras que en la región de frecuencias medias ($f \gg f_L$), $A_L \to 1$. Por lo tanto, f_L es la frecuencia a la que la ganancia disminuye a 0,707 veces su valor en frecuencias medias A_o. Esta caída del nivel de la señal corresponde a una reducción en decibelios de $20 \log (1/\sqrt{2})$, es decir, de 3 dB. Definiremos, pues, esta frecuencia como *la frecuencia inferior de 3 dB.* En la Ec. (12-3) vemos que f_L es la frecuencia a la que la resistencia R_1 se iguala a la reactancia capacitiva $1/2\pi f_L C_1$.

Respuesta a alta frecuencia. En la región de altas frecuencias, por encima de la mitad de la banda, la etapa amplificadora puede aproximarse muchas veces a un circuito simple paso bajo como el de la Fig. 12-2. Así, por ejemplo, este es el caso de una etapa en emisor común si se emplea la aproximación de Miller (Sec. 11-8). Encontramos, en función de la variable compleja s:

$$V_o(s) = \frac{1/sC_2}{R_2 + 1/sC_2} V_i(s) = \frac{1}{1 + sR_2C_2} V_i(s) \tag{12-5}$$

Por lo tanto, la función de transferencia en esta región tiene un solo polo de $s = -1/R_2C_2$.

Para frecuencias reales ($s = j\omega = j2\pi f$), obtenemos en cuanto al módulo:

$$|A_H(jf)| = |V_o(s)/V_i(s)|_{s=j2\pi f}$$

y en cuanto al cambio de fase θ_H de la ganancia en la región de frecuencias elevadas:

$$|A_H(jf)| = \frac{1}{\sqrt{1 + (f/f_H)^2}} \qquad \theta_H = -\,\text{arc tg}\,\frac{f}{f_H} \tag{12-6}$$

en donde

$$f_H = \frac{1}{2\pi R_2 C_2} \tag{12-7}$$

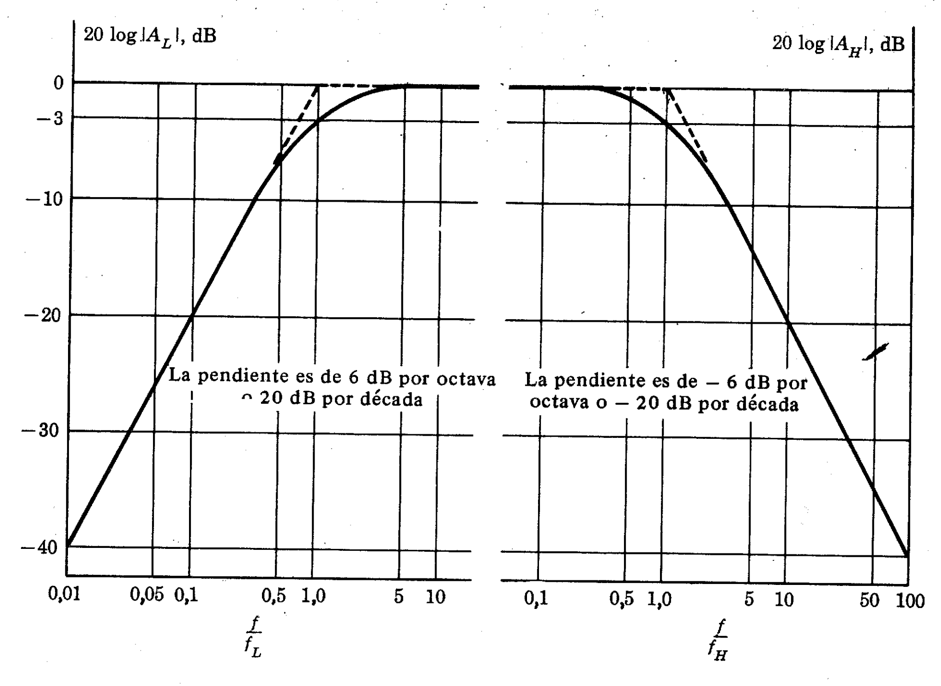


Fig. 12-3. Curva logarítmica-logarítmica de la amplitud de la respuesta en frecuencia (Bode) de un amplificador acoplado en RC. La línea de trazos es la representación ideal de Bode

Puesto que a $f = f_H$, la ganancia se reduce a $1/\sqrt{2}$ veces su valor en frecuencias medias; f_H se denomina *frecuencia superior de 3 dB.* Este valor también representa la frecuencia en la que la resistencia R_2 se iguala a la reactancia capacitiva: $1/2 f_H C_2$. En las expresiones anteriores, θ_L y θ_H representan el ángulo de adelanto de la salida respecto a la entrada, despreciando el cambio de fase inicial de 180° debido al amplificador. En la Fig. 12-3 puede verse la dependencia de las ganancias respecto a las frecuencias en los márgenes de alta y de baja frecuencia. Estas características, denominadas *curvas de Bode,* las estudiaremos con detalle en la sección siguiente.

Ancho de banda. El intervalo de frecuencias que va desde f_L a f_H se denomina *ancho de banda* de la etapa amplificadora. Podemos anticipar que, en general, una señal en la que todas las componentes de Fourier de amplitud apreciable estén incluidas dentro de la banda f_L a f_H, pasará a través de la etapa sin excesiva distorsión. Este criterio debe aplicarse, no obstante, con cierta precaución.

12-4. CURVAS DE BODE[1]

La respuesta en frecuencia de un amplificador (o de cualquier red lineal) se determina por medio de dos curvas: (1) el módulo de la ganancia de transferencia y (2) el ángulo de cambio de fase en función de la frecuencia. Estas características se denominan *curvas de Bode.* Demostraremos ahora que estas curvas pueden aproximarse mediante porciones

lineales. Estas características de tramos lineales interconectados se denominan *curvas de Bode idealizadas.*

Función de transferencia de un solo polo. La ganancia de transferencia de un solo polo tiene la forma dada en la Ec. (12-5), o sea con $s = j2\pi f$ y con f_p igual a la frecuencia del polo:

$$A(jf) = \frac{A_o}{1 + jf/f_p} \tag{12-8}$$

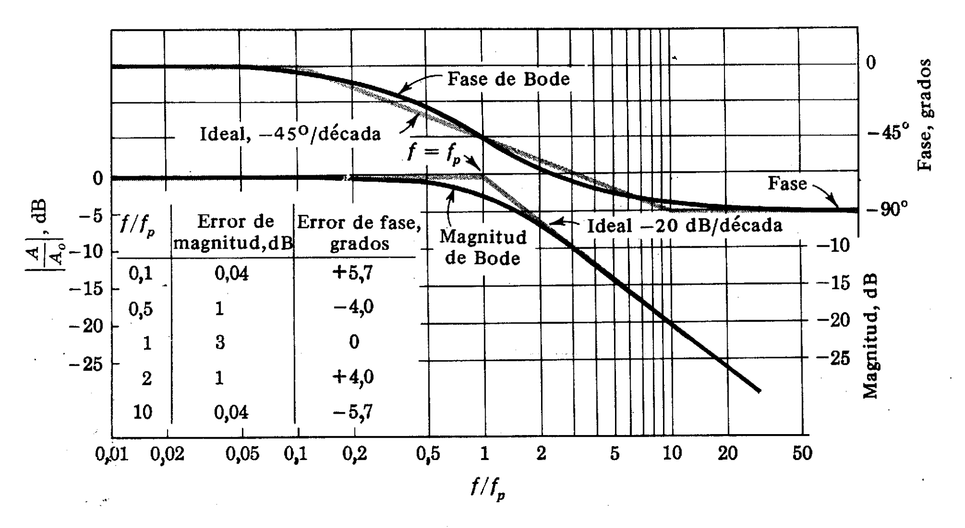
El valor en decibelios será:

$$|A|(\text{dB}) = 20 \log |A| = 20 \log A_o - 20 \log \sqrt{1 + \left(\frac{f}{f_p}\right)^2} \tag{12-9}$$

o sea

$$|A|(\text{dB}) = \begin{cases} 20 \log A_o & \text{si } \dfrac{f}{f_p} \ll 1 \\ 20 \log A_o - 20 \log \dfrac{f}{f_p} & \text{si } \dfrac{f}{f_p} \gg 1 \end{cases} \tag{12-10}$$

Estas ecuaciones se trazan en un papel logarítmico-logarítmico (es decir, 20 log $|A|$ en función de log f/f_p) en la Fig. 12-4. Para frecuencias inferiores a la frecuencia del polo f_p, ($f/f_p < 1$), la característica es asintótica con respecto a la línea horizontal 20 log A_o. Para frecuencias superiores a f_p, ($f/f_p > 1$), la Ec. (12-10) indica que el módulo de la ganancia



f/f_p	Error de magnitud, dB	Error de fase, grados
0,1	0,04	+5,7
0,5	1	−4,0
1	3	0
2	1	+4,0
10	0,04	−5,7

Fig. 12-4. Curvas de Bode de un amplificador paso bajo de un solo polo. La aproximación lineal está indicada con línea sombreada

en decibelios se aproxima asintóticamente a la línea recta cuya pendiente es -20 dB por década de frecuencia ($f/f_p = 10$) o -6 dB por octava ($f/f_p = 2$). En la Fig. 12-4, se dibujan las características de Bode, en las que las asíntotas se indican con líneas sombreadas. Obsérvese que para $f = f_p$, las dos asíntotas de la Ec. (12-10), tienen el valor idéntico $|A|(\text{dB}) = 20 \log A_o$. Por lo tanto, las dos rectas se cortan en $f = f_p$ tal como indica la Fig. 12-4 y la frecuencia de 3 dB, f_p se denomina asimismo *frecuencia de codo.*

Como A_o y f_p se conocen, las dos asíntotas pueden localizarse fácilmente. Las verdaderas características de Bode pueden entonces dibujarse, simplemente, teniendo en cuenta las desviaciones anotadas en la tabla de la Fig. 12-4. Por ejemplo, la verdadera curva de respuesta está 3 dB por debajo de la curva idealizada de Bode para $f = f_p$, está 1 dB por debajo en $f = 0{,}5\, f_p$, etcétera.

El ángulo de desviación de fase θ para la función de transferencia de un solo polo, viene dado por:

$$\theta = -\operatorname{arc\,tg} \frac{f}{f_p} \tag{12-11}$$

Para $f \ll f_p$, $\theta \to 0°$, y para $f \gg f_p$, $\theta \to -90°$. Para $f = f_p$, $\theta = -45°$. A la vista de estos hechos, la aproximación lineal de la característica de fase se construye de la siguiente manera: Las dos asíntotas son rectas horizontales $\theta = 0°$ para $0 < f/f_p < 0{,}1$ y $\theta = -90°$ para $f/f_p > 10$. Las dos están unidas por una recta de pendiente $-45°$ por década que pasa por $\theta = -45°$ para $f = f_p$. En otras palabras, esta línea pasa por los puntos $\theta = 0°$, $f = 0{,}1 f_p$ y $\theta = -90°$, $f = 10 f_p$. Esta característica de fase, de línea quebrada se indica con línea sombreada en la Fig. 12-4. La tabla muestra que la curva de Bode idealizada difiere de la verdadera característica en menos de 6°, en cualquier punto.

Función de transferencia de un solo cero. Para una ganancia de transferencia de un solo cero en f_z,

$$A(jf) = A_o \left(1 + j\frac{f}{f_z}\right) \tag{12-12}$$

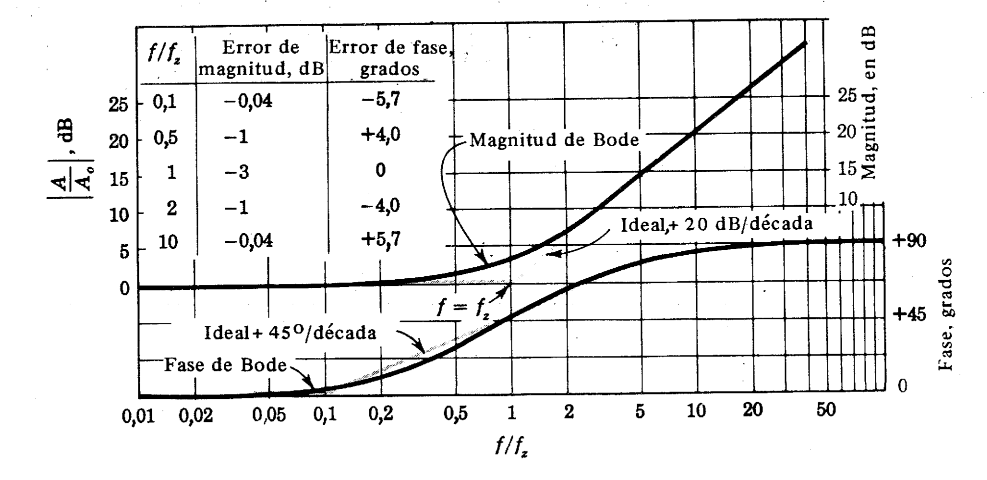
El módulo en dB será:

$$|A|(\text{dB}) = 20 \log |A| = 20 \log A_o + 20 \log \sqrt{1 + \left(\frac{f}{f_z}\right)^2} \tag{12-13}$$

o sea:

$$|A|(\text{dB}) = \begin{cases} 20 \log A_o & \text{si } f \ll f_z \\ 20 \log A_o + 20 \log \dfrac{f}{f_z} & \text{si } f \gg f_z \end{cases} \tag{12-14}$$

Para frecuencias por debajo de la frecuencia del cero f_z ($f/f_z < 1$), la característica es asintótica con la horizontal $20 \log A_o$. Para frecuencias superiores a f_z ($f/f_z > 1$), la Ec. (12-14) indica que la curva de $|A|$ (dB) se aproxima asintóticamente a la línea recta cuya



f/f_z	Error de magnitud, dB	Error de fase, grados
0,1	−0,04	−5,7
0,5	−1	+4,0
1	−3	0
2	−1	−4,0
10	−0,04	+5,7

Fig. 12-5. Curvas de Bode de una función de transferencia de un solo cero. La aproximación lineal aparece con línea sombreada

pendiente es de $+20$ dB por década, o sea $+6$ dB por octava. La Fig. 12-5 representa las características de Bode; las asíntotas se representan por medio de líneas rectas sombreadas. Como se ha indicado en el caso de un solo polo, podemos dibujar rápidamente la verdadera característica de Bode de un solo cero, a partir de las dos asíntotas determinadas por A_o y f_z. El cambio de fase θ de la ganancia de transferencia de un solo cero, viene dada por:

$$\theta = +\operatorname{arc\,tg} \frac{f}{f_z} \tag{12-15}$$

para $f \ll f_z$, $\theta \to 0$, y para $f \gg f_z$, $\theta \to +90°$. Para $f = f_z$, $\theta = 45°$. Por lo tanto, la aproximación lineal en cuanto a la fase se obtiene de la siguiente manera: Las dos asíntotas son las líneas horizontales $\theta = 0°$ para $0 < f/f_z < 0{,}1$ y $\theta = +90°$ para $f/f_z > 10$. Estas líneas están unidas entre sí por una línea recta de pendiente $+45°$ por década que pasa por el punto $\theta = +45°$ en $f = f_z$. Esta quebrada de Bode y la verdadera característica están indicadas en la Fig. 12-5.

La ganancia de transferencia de un solo cero no es real, ya que significa que la respuesta crecería sin límite hasta $f \to \infty$. Los circuitos prácticos tienen una característica de transferencia de uno o más ceros simultáneamente con uno o más polos, pero con el número de polos mayor que el de ceros. Estos polos son los que determinan las frecuencias inferior y superior de 3 dB.

Función de transferencia de dos polos. Una ganancia de transferencia con un polo en f_{p1} y otro en f_{p2} viene dada por la siguiente ecuación:

$$A(jf) = \frac{A_o}{[1 + j(f/f_{p1})][1 + j(f/f_{p2})]} \tag{12-16}$$

El módulo en dB será:

$$|A|(\text{dB}) = 20 \log A_o - 20 \log \sqrt{1 + \left(\frac{f}{f_{p1}}\right)^2} - 20 \log \sqrt{1 + \left(\frac{f}{f_{p2}}\right)^2} \qquad (12\text{-}17)$$

Procediendo como antes, vemos que el primer término es una línea recta horizontal, el segundo término tiene una asíntota que pasa por $f = f_{p1}$ con una pendiente de -20 dB por década, o sea -6 dB por octava, y el tercer término tiene una asíntota que pasa por $f = f_{p2}$ con la misma pendiente. Estas líneas están dibujadas a trazos en la Fig. 12-6*a*, y la suma de las tres asíntotas se indica con una línea quebrada de trazo continuo que es además la curva de Bode idealizada resultante. Obsérvese que hemos supuesto que $f_{p2} > f_{p1}$. Para $f > f_{p2}$ la pendiente resultante es de -40 dB por década o sea de -12 dB por octava.

La respuesta de fase viene dada por:

$$\theta = -\text{arc tg}\,\frac{f}{f_{p1}} - \text{arc tg}\,\frac{f}{f_{p2}} \qquad (12\text{-}18)$$

La representación lineal de Bode se obtiene considerando cada término de la Ec. (12-18) separadamente y procediendo como en el caso de la Fig. 12-6*b*. La contribución de cada

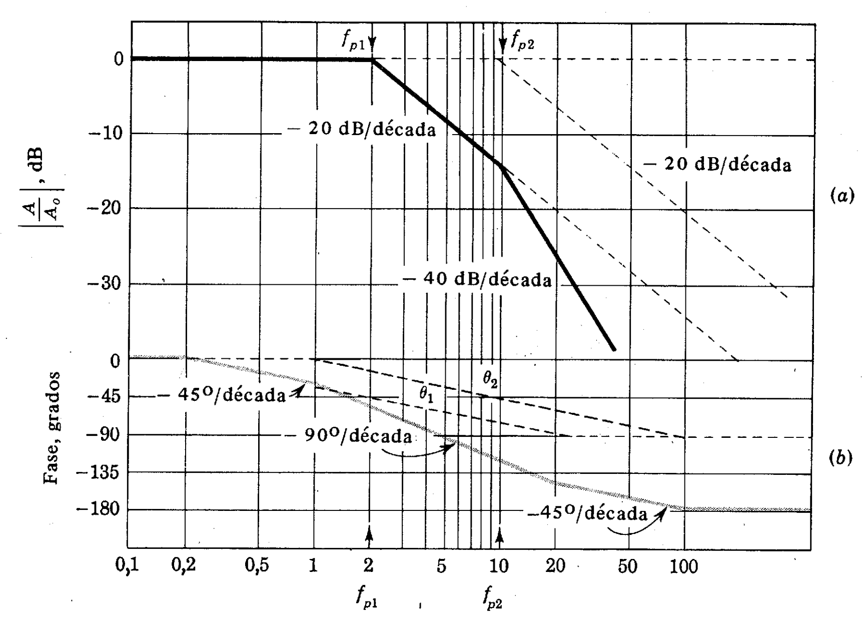


Fig. 12-6. (*a*) Curvas de amplitud ideales de Bode para una función de transferencia de dos polos. Las asíntotas individuales de cada polo se representan con trazos y el resultado con línea quebrada continua. (*b*) Respuesta de fase de Bode de (*a*)

polo a la fase se indica separadamente por líneas de trazos. Por ejemplo, la curva marcada por θ_2 corresponde al polo en f_{p2}. De acuerdo con la explicación anterior, $\theta_2 = 0$ para $f \leqslant 0{,}1 f_{p2}$ y $\theta = -90°$ para $f \geqslant 10 f_{p2}$, y θ_2 disminuye en 45° por década para $0{,}1 f_{p2} \leqslant f \leqslant 10 f_{p2}$. Para $f = f_{p2}$, $\theta_2 = -45°$. El cambio de fase resultante a cualquier frecuencia es la suma de las dos curvas de trazos en dicha frecuencia, y se indica con la línea quebrada sombreada. (La Fig. 12-6 está dibujada para el caso especial en que $f_{p2} = 5 f_{p1}$.)

La respuesta verdadera de Bode (no linealizada) puede obtenerse empleando la tabla de la Fig. 12-4. Las dos curvas individuales que corresponden a los puntos de discontinuidad en f_{p1} y f_{p2} se dibujan en el mismo gráfico y se suman para obtener la amplitud resultante de Bode (Prob. 12-5). La respuesta de fase se obtiene de forma análoga empleando la Tabla de la Fig. 12-4 para corregir la aproximación lineal.

Polo dominante. Si, en la Ec. (12-16), f_{p1} es mucho menor que f_{p2}, la deducción anterior, de acuerdo con la Fig. 12-6, indica que la frecuencia superior de 3 dB viene dada aproximadamente por f_{p1}. Si $f_{p2} = 4 f_{p1}$, la representación exacta indica (Prob. 12-7) que la frecuencia de 3 dB es sólo un 6 % menor que f_{p1}. Sacamos en conclusión que *si una función de transferencia tiene varios polos que determinan la respuesta a elevada frecuencia, si la menor de ellas es f_{p1} y si cada uno de los demás polos es por lo menos dos octavas superior, entonces el amplificador pasa a ser fundamentalmente igual a un circuito con una sola constante de tiempo cuya frecuencia de 3 dB sea f_{p1}*. La frecuencia f_{p1} se denomina *polo dominante.*

12-5. RESPUESTA DE UN AMPLIFICADOR A UN ESCALON

Otro criterio para determinar la fidelidad de un amplificador es su respuesta a una forma de onda determinada. De todas las formas de onda asequibles, la que se emplea más generalmente es la del escalón de tensión. En función de la respuesta de un circuito a un escalón, la respuesta a una forma de onda arbitraria puede escribirse mediante la integral de superposición. Otras ventajas que recomiendan el empleo del escalón de tensión es el hecho de que esta forma de onda da distorsiones que se observan claramente en la salida. Además, desde el punto de vista experimental, cabe adquirir con suma facilidad en el mercado excelentes generadores de impulsos (pequeños escalones) y de ondas cuadradas (escalones repetitivos).

Siempre que un amplificador pueda ser representado por un polo dominante, la correlación entre su respuesta en frecuencia y la forma de onda de salida ante un impulso en escalón es la que veremos a continuación. De manera bastante general, aun para los circuitos amplificadores más complicados, existe una íntima relación entre la distorsión del extremo abrupto del escalón y la respuesta en frecuencia elevada. Igualmente, hay una estrecha correspondencia entre la respuesta en baja frecuencia y la distorsión de porción plana del escalón. Ya cabía esperar esta relación, debido a que la respuesta a alta frecuencia mide fundamentalmente la habilidad del amplificador en responder fielmente a las variaciones rápidas de la señal, mientras que la respuesta a frecuencia baja mide la fidelidad del amplificador a las variaciones lentas de la señal. Una de las cualidades más sobresalientes de la función escalón es la de que combina el cambio de tensión más rápido posible y la variación más lenta, también posible, de la tensión.

Tiempo de subida. La respuesta del circuito paso bajo de la Fig. 12-2 a un escalón de entrada de amplitud V es una exponencial con una constante de tiempo R_2C_2. Como el condensador no puede cargarse instantáneamente, la salida empieza desde cero y aumenta hasta el estado de equilibrio al valor V, tal como indica la Fig. 12-7. La salida viene dada por:

$$v_o = V(1 - \epsilon^{-t/R_2C_2}) \qquad (12\text{-}19)$$

Vemos que el tiempo requerido para que v_o alcance la décima parte de su valor final es $0{,}1R_2C_2$, y el tiempo para alcanzar las nueve décimas partes del valor final es $2{,}3R_2C_2$. La diferencia entre estos dos valores se denomina *tiempo de subida* t_r del circuito y aparece en la Fig. 12-7. El tiempo t_r es una indicación de cuán rápidamente el amplificador puede responder a una discontinuidad de la tensión de entrada. Tenemos, empleando la Ec. (12-7):

$$t_r = 2{,}2R_2C_2 = \frac{2{,}2}{2\pi f_H} = \frac{0{,}35}{f_H} \qquad (12\text{-}20)$$

Obsérvese que el tiempo de subida es inversamente proporcional a la frecuencia superior de 3 dB. Para un amplificador con 1 MHz de paso de banda, $t_r = 0{,}35\ \mu$s.

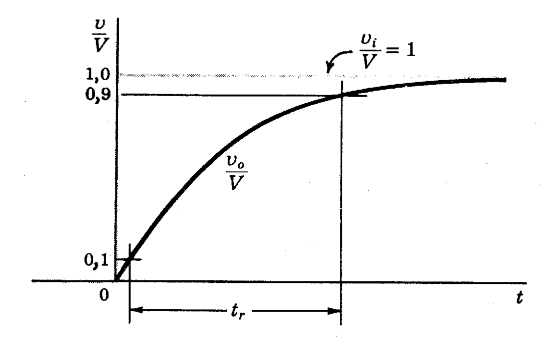


Fig. 12-7. Respuesta a un escalón de tensión de un circuito RC paso bajo. Se indica el tiempo de subida t_r

Consideremos un impulso de anchura t_p. ¿Cuál debe ser la frecuencia superior de 3 dB f_H de un amplificador para aumentar esta señal sin distorsión excesiva? La respuesta a esta pregunta es: *Escoger f_H igual a la inversa de la anchura del impulso*, $f_H = 1/t_p$. De la Ec. (12-20) tendremos entonces $t_r = 0{,}35\ t_p$. Empleando esta relación, el impulso (línea sombreada) de la Fig. 12-8 se transforma en la forma distorsionada (trazado continuo), que constituye claramente un impulso.

Pendiente. Si un escalón de amplitud V se aplica al circuito paso alto de la Fig. 12-1, la salida será:

$$v_o = V\epsilon^{-t/R_1C_1} \qquad (12\text{-}21)$$

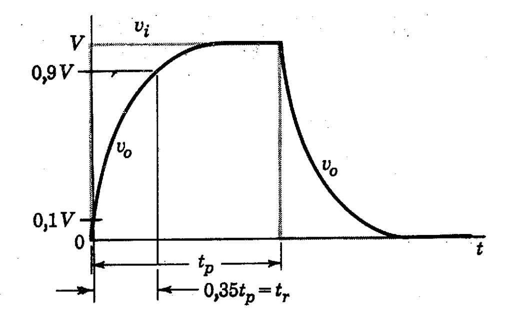


Fig. 12-8. Respuesta a un impulso para el caso de $f_H = 1/t_p$

Para tiempos t que sean pequeños comparados con la constante de tiempo R_1C_1, la respuesta viene dada por:

$$v_o \approx V\left(1 - \frac{t}{R_1C_1}\right) \qquad (12\text{-}22)$$

Por la Fig. 12-9 vemos que la salida está inclinada, y el tanto por ciento de declive, al cabo de un tiempo t_1 viene dado por:

$$P \equiv \frac{V - V'}{V} \times 100 = \frac{t_1}{R_1C_1} \times 100\ \% \qquad (12\text{-}23)$$

Se puede demostrar[6] que esta misma expresión es válida para la inclinación de cada medio ciclo de una onda cuadrada simétrica de V volt de pico a pico y período T, teniendo presente tomar $t_1 = T/2$.

Si $f = 1/T$ es la frecuencia de una onda cuadrada, empleando la Ec. (12-3), podremos expresar P en la forma:

$$P = \frac{T}{2R_1C_1} \times 100 = \frac{1}{2fR_1C_1} \times 100 = \frac{\pi f_L}{f} \times 100\ \% \qquad (12\text{-}24)$$

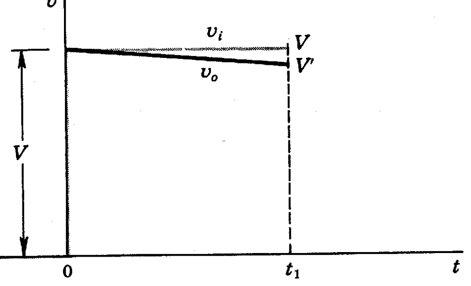


Fig. 12-9. La respuesta v_o, cuando se aplica un escalón v_i al circuito paso alto RC, acusa una inclinación

Obsérvese que la inclinación es directamente proporcional a la frecuencia baja de 3 dB. Si queremos hacer pasar una onda cuadrada de 50 Hz con menos del 10 % de pendiente, f_L no debe exceder de 1,6 Hz.

Prueba con onda cuadrada. Un procedimiento experimental importante (denominado *prueba con ondas cuadradas*) consiste en observar en un osciloscopio la salida de un amplificador excitado por un generador de onda cuadrada. Se puede mejorar la respuesta de un amplificador añadiendo ciertos elementos al circuito[1], que deben ajustarse luego con precisión. Es conveniente ajustar estos elementos viendo simultáneamente los efectos de tales ajustes en la forma de onda de salida del amplificador. Puede hacerse también tomando datos después de cada ajuste y dibujar las curvas de respuesta en amplitud y fase. Además del tiempo excesivo empleado en este último procedimiento, hay el problema de que no suele ser fácil averiguar cuál de las respuestas en amplitud y fase corresponden a la óptima fidelidad. En cambio, la respuesta al escalón suministra inmediatamente una información útil.

Mediante una selección cuidadosa, cabe emplear dos frecuencias de onda cuadrada, para examinar individualmente la distorsión en frecuencias elevadas y bajas. Por ejemplo, consideremos un amplificador que tenga una constante de tiempo para frecuencias altas de 1 μs y de 0,1 s para frecuencias bajas. Una onda cuadrada de semiperíodo igual a varios microsegundos, en un osciloscopio apropiado de barrido rápido, detallaría el redondeamiento de la esquina abrupta de la onda y no suministraría en la pantalla la visión de la inclinación, mientras que una onda cuadrada de aproximadamente 0,01 seg de semiperíodo acusaría en un osciloscopio de barrido lento la inclinación pero no la distorsión de la zona abrupta. La forma de onda de este tipo aparece en la Fig. 12-10.

De lo dicho anteriormente, no se debe sacar la conclusión de que las respuestas de amplitud y fase transitorias y permanentes carecen de importancia en el estudio de los amplificadores. Las características en función de la frecuencia se emplean por las siguientes razones. En primer lugar, se conoce mucho más en cuanto al análisis y síntesis de circuitos dentro del campo de las frecuencias que en el de los tiempos, y por esta razón el diseño de redes de acoplamiento se hace a base de la respuesta en frecuencia. En segundo lugar, es posible llegar más fácilmente a la comprensión cualitativa de un circuito partiendo del estudio de la respuesta en régimen permanente, en condiciones en que los cálculos de los transitorios son sumamente engorrosos. Tercero, la compensación de un amplificador contra las oscilaciones indeseables (Cap. 14) se consigue en el campo de las frecuencias. Finalmente, en ocasiones se requiere un amplificador con características especificadas, las cuales se basan en la frecuencia, especialmente cuando se trata de la amplificación de una onda senoidal.

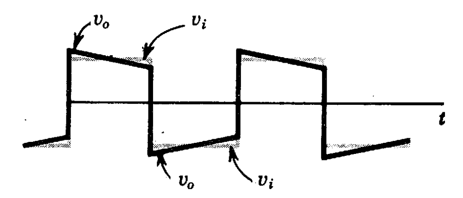


Fig. 12-10. Onda cuadrada (sombreada) de una señal de entrada, distorsionada por un amplificador con una frecuencia inferior de 3 dB, f_L. La salida (en trazo grueso) muestra una inclinación donde la entrada es horizontal

12-6. PASO DE BANDA DE ETAPAS EN CASCADA

La frecuencia superior de 3 dB para n etapas en cascada es f^*_H y es igual a la frecuencia a la cual el valor total de la ganancia de tensión desciende 3 dB ó $1/\sqrt{2}$ de su valor respecto a la mitad de la banda. Para obtener la función de transferencia total de etapas *que no tienen acción entre sí,* se multiplican las ganancias de transferencia de todas las etapas individuales. Por lo tanto, si cada etapa tiene un polo dominante y si la frecuencia superior de 3 dB de la etapa número i es f_{Hi}, siendo $i = 1,2, ..., n,$ entonces f^*_H puede calcularse por el producto de:

$$\frac{1}{\sqrt{1+(f^*_H/f_{H1})^2}} \cdots \frac{1}{\sqrt{1+(f^*_H/f_{Hi})^2}} \cdots \frac{1}{\sqrt{1+(f^*_H/f_{Hn})^2}} = \frac{1}{\sqrt{2}} \tag{12-25}$$

Para n etapas con idéntica frecuencia superior de 3 dB tenemos:

$$f_{H1} = f_{H2} = \ldots = f_{Hi} = \ldots = f_{Hn} = f_H$$

De ahí que f^*_H pueda calcularse de

$$\left[\frac{1}{\sqrt{1+(f^*_H/f_H)^2}}\right]^n = \frac{1}{\sqrt{2}}$$

o sea:

$$\frac{f^*_H}{f_H} = \sqrt{2^{1/n}-1} \tag{12-26}$$

Por ejemplo, para $n = 2$, $f^*_H/f_H = 0{,}64$. Por lo tanto, dos etapas en cascada, cada una de ellas con una anchura de banda de $f_H = 10$ kHz, tienen una anchura de banda total de 6,4 kHz. Igualmente, tres etapas de 10 kHz en cascada tienen una frecuencia superior de 3 dB de 5,1 kHz, etcétera.

Si la frecuencia inferior de 3 dB de n etapas idénticas es f^*_L, entonces, de acuerdo con la Ec. (12-26), tendremos:

$$\frac{f^*_L}{f_L} = \frac{1}{\sqrt{2^{1/n}-1}} \tag{12-27}$$

Vemos, pues, que varias etapas en cascada tienen menor f_H y mayor f_L que una etapa sola, dando como resultado una reducción de la anchura de banda.

Si se dibuja la respuesta en amplitud de una sola etapa en un papel logarítmico-logarítmico, el gráfico resultante, tanto para bajas como para altas frecuencias, se aproximará a una línea recta de pendiente 6 dB por octava, tal como indica la Fig. 12-3. Para un amplificador de n etapas, la respuesta en amplitud cae $6n$ dB por octava, o su equivalente, $20n$ dB por década.

Etapas con interacción. En caso de que una de las etapas tenga impedancia de entrada lo suficientemente baja para que sea apreciable su efecto en paralelo con la impedancia de salida de la etapa precedente, entonces ya no es posible considerar las etapas aisladas. En estas circunstancias, no pueden definirse las frecuencias individuales de 3 dB de cada etapa. No obstante, cuando se halle la función de transferencia total del conjunto (Sec. 12-10), veremos que contiene n polos (además de k ceros). Si las frecuencias de los polos son $f_1, \ldots, f_2, \ldots, f_n$, entonces la frecuencia superior de 3 dB de la cascada completa f_H^* vendrá dada por la Ec. (12-25) (con f_{Hi} sustituido por f_i), teniendo en cuenta que las frecuencias de los ceros son mucho mayores que las de los polos (Prob. 12-14).

Si el conjunto tiene un polo dominante f_D mucho menor que todos los demás polos, todos los términos del producto de la Ec. (12-25) pueden despreciarse, excepto el primero. Se saca en consecuencia que $f_H = f_D$, o sea que la frecuencia superior de 3 dB se iguala a la frecuencia del polo dominante. (En lo sucesivo prescindiremos del asterisco en f_H^*).

Consideremos ahora la situación planteada en la Sec. 12-4, en la que hay una frecuencia dominante f_D, un segundo polo cuya frecuencia es sólo dos octavas superior, y todos los demás polos con frecuencias muy superiores. Entonces la Ec. (12-25) se transforma en:

$$\frac{1}{\sqrt{1 + (f_H/f_D)^2}} \, \frac{1}{\sqrt{1 + (f_H/4f_D)^2}} = \frac{1}{\sqrt{2}} \tag{12-28}$$

Como esperamos que la frecuencia de 3 dB sea aproximadamente igual a la frecuencia dominante, sustituiremos $f_H = f_D$ en el segundo término de la Ec. (12-28) para obtener:

$$1 + \left(\frac{f_H}{f_D}\right)^2 = \frac{2}{1 + (\frac{1}{4})^2} \tag{12-29}$$

o sea:

$$f_H = 0{,}94 f_D \tag{12-30}$$

Este cálculo demuestra que la frecuencia superior de 3 dB es menos de un 6 %, menor que la frecuencia dominante en el caso de que la frecuencia del próximo polo superior esté por lo menos dos octavas más arriba.

Si las frecuencias de los polos no observan tanta separación, el resultado del Prob. 12-15 indica que f_H viene dado (dentro del 10 %) por:

$$\frac{1}{f_H} = 1{,}1 \sqrt{\frac{1}{f_1{}^2} + \frac{1}{f_2{}^2} + \ldots + \frac{1}{f_n{}^2}} \tag{12-31}$$

Si esta ecuación se aplica en el caso considerado anteriormente, $f_1 = f_D$ y $f_2 = 4f_D$ y todos los demás polos muy superiores, el resultado será: $f_H = 0{,}89 f_D$, muy de acuerdo con la Ec. (12-30). Si se aplica la Ec. (12-31) en el caso particular de que $f_1 = f_2$ y todos los demás polos muy superiores, entonces $f_H = 0{,}65 f_1$ (en lugar del valor exacto de $0{,}64 f_1$). Para tres polos iguales, la Ec. (12-31) indica que $f_H = 0{,}53 f_1$ (en lugar del valor exacto de $0{,}51 f_1$).

Respuesta a un escalón. Si el tiempo de subida de cada etapa individual en cascada es $t_{r1}, t_{r2}, \ldots, t_{rn}$ y si el tiempo de subida de la onda de entrada es de t_{r0}, entonces, de acuerdo con la Ec. (12-31) para la frecuencia superior de 3 dB resultante, tendremos que para la señal de salida el tiempo t_r de subida viene dada por (dentro de un 10 %):

$$t_r = 1{,}1 \sqrt{t_{r0}{}^2 + t_{r1}{}^2 + t_{r2}{}^2 + \ldots + t_{rn}{}^2} \tag{12-32}$$

Si, aplicando una tensión escalón, un circuito da lugar a una pendiente del P_1 % y la segunda etapa a otra del P_2 %, su conexión en cascada, suponiendo que no tengan interacción, produce una inclinación del $(P_1 + P_2)$ %. Este resultado sólo puede aplicarse en caso de que las inclinaciones individuales y total sean lo suficientemente pequeñas para que en cada caso la respuesta baje, con aproximación, linealmente con el tiempo.

12-7. AMPLIFICADOR ACOPLADO EN RC

En la Fig. 12-11*a* se muestra la disposición en cascada de etapas a transistores en emisor común, y en la Fig. 12-11*b* la de etapas FET en fuente común. La salida Y_1 de una etapa se acopla a la entrada X_2 de la próxima por medio de un condensador de bloqueo C_b que se emplea para eliminar la componente continua de la salida de tensión desde Y_1 hacia la

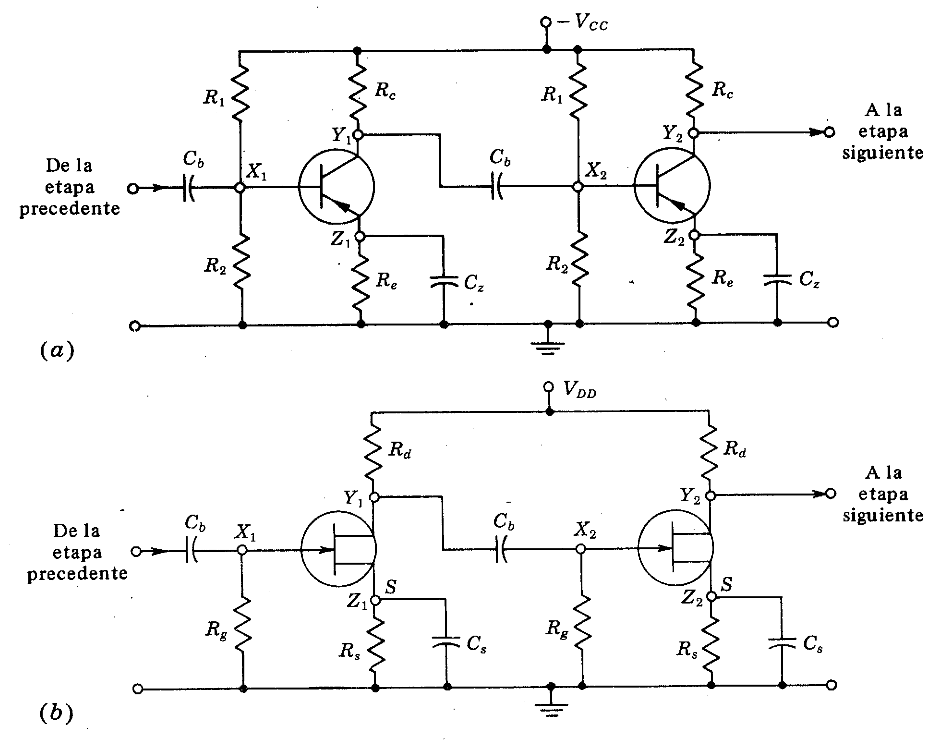


Fig. 12-11. Una cascada de (*a*) etapas a transistores en emisor común (EC); (*b*) etapas a JFET de deplexión en fuente común

entrada X_2. La resistencia R_g está entre puerta y tierra y la resistencia del circuito de colector (drenaje) es $R_c(R_d)$. La resistencia de fuente R_s, la de emisor R_e, y las resistencias R_1 y R_2 se emplean para lograr la polarización. Los condensadores de paso, que se emplean para evitar la pérdida de amplificación debida a la realimentación negativa (Cap. 13), son C_z en el circuito de emisor y C_s en el circuito de fuente. También están presentes las capacidades de las uniones, que deben tenerse en cuenta cuando consideramos la respuesta a altas frecuencias, que se ve limitada por su presencia. En cualquier montaje práctico de los componentes del amplificador, hay también capacidades asociadas a los terminales de los elementos y a la proximidad de los componentes al chasis (por ejemplo, el cuerpo de C_b) y de los conductores de la señal. Estas capacidades parásitas también se considerarán más adelante. Supondremos que los elementos activos trabajan en la porción lineal, por lo que a lo largo de este capítulo utilizaremos modelos para pequeña señal.

12-8. RESPUESTA A BAJA FRECUENCIA DE UNA ETAPA ACOPLADA EN RC

El efecto de los condensadores de paso C_z y C_s en baja frecuencia será tratado en la sección siguiente. Ahora vamos a considerar que estas capacidades son arbitrariamente grandes y que hacen las veces de cortocircuito para la tensión alterna, respecto a las resistencias R_e y R_s, respectivamente. Una etapa intermedia única de cualquiera de los circuitos en cascada de la Fig. 12-11 puede representarse esquemáticamente como la Fig. 12-12. La resistencia R_b representa la resistencia de puerta R_g de un FET, o las resistencias R_1 y R_2 en paralelo si se considera un transistor de una etapa. La resistencia R_y representa R_c para un transistor, o R_d para un FET, y R_i representa la resistencia de entrada de la etapa siguiente.

El circuito equivalente en baja frecuencia se obtiene despreciando todas las capacidades en paralelo y todas las capacidades de las uniones, reemplazando el amplificador A_1 por su equivalente de Norton, tal como indica la Fig. 12-13*a*. Para un transistor de efecto campo, $R_i = \infty$, la impedancia de salida será $R_o = r_d$ (resistencia de drenaje) e $I = g_m V_i$ (tensión de la señal de puerta multiplicada por la transconductancia). Para un transistor, estas cantidades pueden expresarse en función de los parámetros híbridos en emisor común, tal como se indica en la Sec. 8-13: $R_i \approx h_{ie}$ (para valores pequeños de R_c); $R_o = 1/h_{oe}$ (para excitación por corriente) e $I = h_{fe} I_b$, siendo I_b la corriente de la señal en la base. Hagamos que R'_o represente R_o en paralelo con R_y, y R'_i a R_i en paralelo con R_b. Entonces, reemplazando I y R'_o por el equivalente de Thévenin, resulta el circuito paso

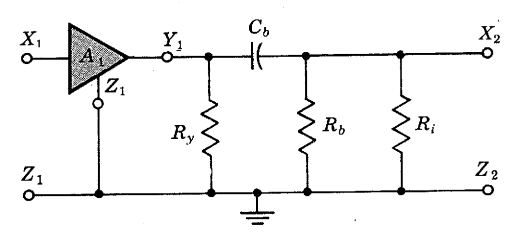


Fig. 12-12. Representación esquemática, de una etapa ya sea de FET o a transistores. El circuito de polarización y las fuentes de tensión no se indican

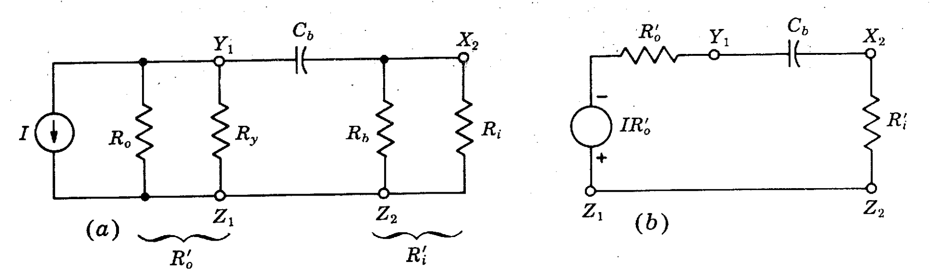


Fig. 12-13. (*a*) Modelo para baja frecuencia de un amplificador acoplado en *RC*; (*b*) representación equivalente. Para un FET, $I = g_m V_i$, $R_o = r_d$, $R_y = R_d$, $R_b = R_g$, y $R_i = \infty$. Para un transistor, $I = h_{fe} I_b$, $R_o \approx 1/h_{oe}$, $R_b = R_1 \| R_2$, $R_y = R_c$, y $R_i \approx h_{ie}$. También, $R'_i = R_i \| R_b$ y $R'_o = R_o \| R_y$

alto con constante de tiempo única de la Fig. 12-13*b*. Por lo tanto, por la Ec. (12-3), la frecuencia inferior de 3 dB será:

$$f_L = \frac{1}{2\pi(R'_o + R'_i)C_b} \tag{12-33}$$

Este resultado se recuerda fácilmente ya que la constante de tiempo es igual a C_b multiplicada por la suma de las resistencias efectivas R'_o, a la izquierda del condensador de bloqueo, y R'_i a la derecha de C_b. Para un amplificador FET, $R'_i = R_g \gg R_d$. Como $R'_o < R_d$ debido a que R'_o está constituida por R_d en paralelo con R_o, entonces $R'_i = R_g \gg R'_o$ y $f_H \approx 1/2\pi C_b R_g$.

Ejemplo. Se desea tener una frecuencia inferior de 3 dB no superior a 10 Hz para un amplificador acoplado en *RC* con $R_y = 1$ K. ¿Qué valor mínimo de la capacidad de acoplamiento se necesita si (*a*) se emplean FET con $R_g = 1$ M; (*b*) se emplean transistores con $R_i = 1$ K y $1/h_{oe} = 40$ K?

SOLUCION. *a.* De la Ec. (12-33) tenemos:

$$f_L = \frac{1}{2\pi(R'_o + R'_i)C_b} \leqslant 10$$

o sea

$$C_b \geqslant \frac{1}{62{,}8(R'_o + R'_i)}$$

Puesto que $R'_i = 1$ M y $R'_o < R_y = 1$ K, entonces $R'_o + R'_i \approx 1$ M y $C_b \geqslant 0{,}016\ \mu$F.

b. En la Ec. (8-35) encontramos que para un transistor $R_o \geqslant 1/h_{oe} \approx 40$ K, y por tanto $R'_o \approx R_c = 1$ K. Si suponemos que $R_b \gg R_i = 1$ K, entonces $R'_i \approx 1$ K. Por lo tanto:

$$C_b \geqslant \frac{1}{(62{,}8)(2 \times 10^3)}\ \text{F} = 8{,}0\ \mu\text{F}$$

Obsérvese que, debido a que la impedancia de entrada de un transistor es mucho menor que la de un FET, se requiere un condensador de acoplo 500 veces mayor para el transistor que para un FET. Afortunadamente, cabe obtener físicamente pequeños condensadores electrolíticos con valores elevados de capacidad a las bajas tensiones de trabajo de los transistores. Como las capacidades de acoplamiento necesarias para una buena respuesta en baja frecuencia, son más grandes que las obtenibles en forma integrada, las etapas en cascada integradas deben ser con acoplamiento directo (Cap. 15).

12-9. EFECTOS DE UN CONDENSADOR DE PASO EN EMISOR SOBRE LA RESPUESTA EN BAJA FRECUENCIA

Si se emplea una resistencia de emisor R_e para autopolarizar un amplificador, y si además se desea evitar la degeneración y, por tanto, la pérdida de ganancia debida a R_e, debemos colocar en paralelo con esta resistencia (desacoplar) un condensador de gran capacidad C_z. El circuito se representa en la Fig. 12-11*a*. Demostraremos más adelante que los efectos de este condensador son nocivos para la respuesta en baja frecuencia.

Consideremos una etapa única como la de la Fig. 12-14*a*. Para simplificar el análisis, supondremos que $R_1 \| R_2 \gg R_s$ y que la carga R_c es bastante pequeña para que el modelo híbrido simplificado de la Fig. 8-23 sea válido. El circuito equivalente resultante de estas suposiciones queda indicado en la Fig. 12-14*b*. El condensador de bloqueo C_b se omite en la Fig. 12-14*b*; sus efectos se considerarán en la Sec. 12-8.

La tensión de salida viene dada por:

$$V_o = -I_b h_{fe} R_c = -\frac{V_s h_{fe} R_c}{R_s + h_{ie} + Z'_e} \tag{12-34}$$

en donde

$$Z'_e \equiv (1 + h_{fe}) \frac{R_e}{1 + j\omega C_z R_e} \tag{12-35}$$

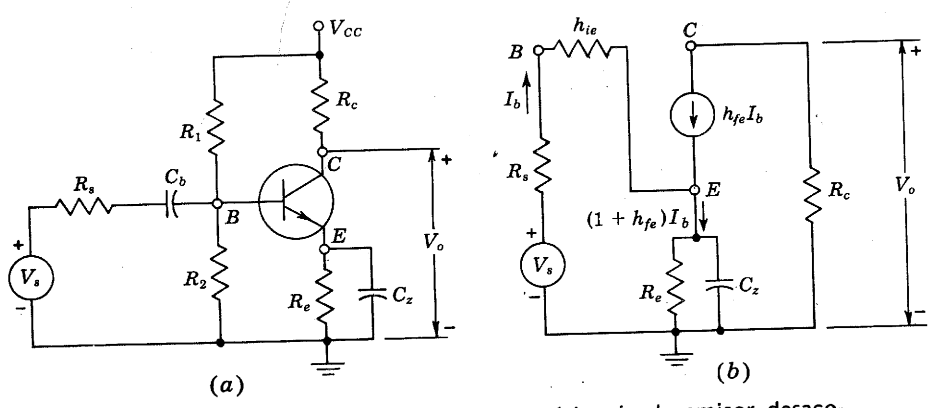


Fig. 12-14. (*a*) Amplificador con una resistencia de emisor desacoplada; (*b*) modelo con parámetros *h* simplificado para baja frecuencia del circuito de (*a*)

Sustituyendo la Ec. (12-35) en la Ec. (12-34) y despejando la ganancia de tensión A_V, encontraremos:

$$A_V = \frac{V_o}{V_s} = -\frac{h_{fe}R_c}{R + R'} \frac{1 + j\omega C_z R_e}{1 + j\omega C_z [R_e R/(R + R')]} \tag{12-36}$$

en donde:

$$R \equiv R_s + h_{ie} \quad \text{y} \quad R' \equiv (1 + h_{fe})R_e \tag{12-37}$$

La ganancia en media frecuencia A_o se obtiene haciendo $\omega \to \infty$, o sea:

$$A_o = -\frac{h_{fe}R_c}{R} = \frac{-h_{fe}R_c}{R_s + h_{ie}} \tag{12-38}$$

Por lo tanto:

$$\frac{A_V}{A_o} = \frac{1}{1 + R'/R} \frac{1 + jf/f_o}{1 + jf/f_p} \tag{12-39}$$

siendo:

$$f_o \equiv \frac{1}{2\pi C_z R_e} \qquad f_p \equiv \frac{1 + R'/R}{2\pi C_z R_e} \tag{12-40}$$

Obsérvese que f_o determina el cero y f_p el polo de la ganancia A_V/A_o. Como, normalmente, $R'/R \gg 1$, entonces $f_p \gg f_o$, de tal forma que el polo y el cero están muy separados. Por ejemplo, suponiendo $R_s = 0$, $R_e = 1$ K, $C_z = 100\ \mu$F, $h_{fe} = 50$, $h_{ie} = 1{,}1$ K, y $R_c = 2$ K, tendremos que $f_o = 1{,}6$ Hz y $f_p = 76$ Hz.

El valor de $|A_V/A_o|$ en dB viene dado por:

$$20 \log \left|\frac{A_V}{A_o}\right| = -20 \log \left(1 + \frac{R'}{R}\right) + 20 \log \sqrt{1 + \left(\frac{f}{f_o}\right)^2} - 20 \log \sqrt{1 + \left(\frac{f}{f_p}\right)^2} \tag{12-41}$$

Del comentario de la Sec. 12-4, concluimos que el primero de los términos representa una línea horizontal, el segundo término tiene una asíntota que pasa por $f = f_o$ con una pendiente positiva de 6 dB por octava, y el tercer término tiene una asíntota que pasa por $f = f_p$, con una pendiente negativa del mismo valor. Estas líneas se representan de trazos en la Fig. 12-15, y la curva idealizada de Bode se obtiene sumando las tres asíntotas juntas que constituyen la línea quebrada sombreada y continua. Obsérvese que, con $f \geqslant f_p$, el resultado de sumar una ganancia que aumenta en 6 dB por octava a otra ganancia que disminuye 6 dB por octava es una ganancia constante. Para $f \gg f_p$, la ganancia debe aproximarse a la de media frecuencia A_o, y por tanto se obtiene una línea horizontal a 20 log $|A_V/A_o| = 0$ dB para $f > f_p$, tal como está previsto.

Fig. 12-15. Curvas de amplitud de Bode idealizadas para una función de transferencia con un cero $f = f_o$ y un polo $f = f_p$. Las asíntotas individuales están dibujadas con trazos, y la resultante sombreada, continua y quebrada.

La curva de Bode de respuesta en amplitud para el amplificador de la Fig. 12-14*a* se representa en la Fig. 12-16. El comportamiento asintótico anteriormente citado en relación a la Fig. 12-4 se incluye ahora con la línea quebrada sombreada.

Recordando que $f_p \gg f_o$ y empleando las Ecs. (12-39) y (12-40), la magnitud de A_V/A_o se transforma, para $f = f_p$, en:

$$\left|\frac{A_V}{A_o}\right| = \frac{1}{1 + R'/R}\ \frac{f_p/f_o}{\sqrt{1+1}} = \frac{1}{\sqrt{2}}$$

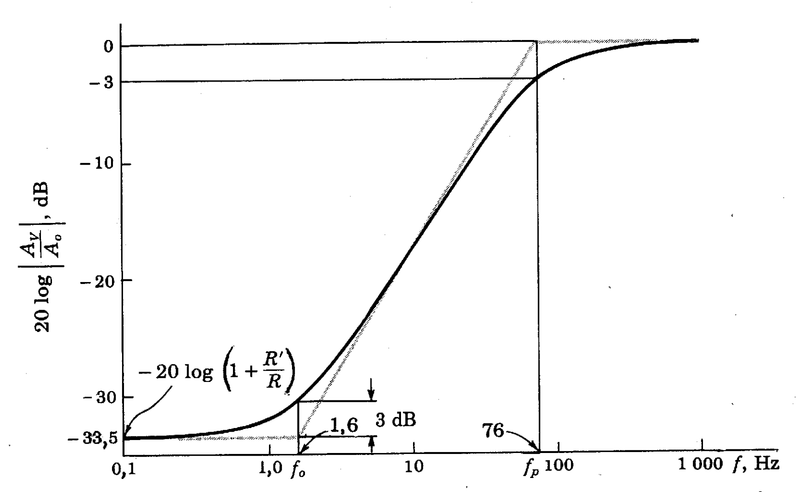


Fig. 12-16. Respuesta en frecuencia de un amplificador con una resistencia de emisor desacoplada. Los valores numéricos corresponden a los de los componentes dados bajo la ecuación (12-40)

Por lo tanto, $f = f_p$ es la frecuencia a la cual la ganancia ha bajado 3 dB. De ahí que la frecuencia inferior de 3 dB f_L sea aproximadamente igual a f_p. Si la condición $f_p \gg f_o$ *no* se satisface, entonces $f_L \neq f_p$.

En realidad, la frecuencia de 3 dB puede no existir (Prob. 12-24).

Respuesta a una onda cuadrada. Si $f_p \gg f_o$, la red de la Fig. 12-14 pasa a ser como un circuito con constante de tiempo única y el porcentaje de inclinación para la onda cuadrada viene dado por la Ec. (12-24), o sea:

$$P = \frac{\pi f_p}{f} \times 100 = \frac{1 + R'/R}{2fC_zR_e} \times 100\ \% \qquad (12\text{-}42)$$

Como $R'/R \gg 1$,

$$P \approx \frac{R' \times 100}{2fC_zRR_e} = \frac{1 + h_{fe}}{2fC_z(R_s + h_{ie})} \times 100\ \% \qquad (12\text{-}43)$$

Consideraciones prácticas. Vamos a calcular el valor de C_z para que pueda reproducirse la onda cuadrada de 50 Hz con una inclinación de menos del 10 %. Empleando los parámetros dados más arriba:

$$C_z = \frac{(51)(100)}{(2)(50)(1\ 100)(10)}\ \text{F} = 4\ 600\ \mu\text{F}$$

Un valor tan elevado de capacidad no es práctico, y por lo tanto debemos llegar a la conclusión de que si se quieren tener inclinaciones pequeñas para señales de frecuencia muy baja, la resistencia de emisor debe dejarse sin desacoplar. La horizontalidad se obtendrá a expensas de la ganancia debido a la realimentación negativa provocada por R_e. Si no puede tolerarse la pérdida de amplificación, no se puede emplear R_e.

Los condensadores electrolíticos se emplean a menudo como condensadores de desacoplo de emisor o de fuente, debido a que tienen las mayores capacidades por unidad de volumen. Es importante observar que estos condensadores tienen una resistencia en serie que es debida a la pérdida de conductividad del electrolito. Esta resistencia, normalmente de 1 a 20 Ω, debe ser tenida en cuenta para el cálculo de la ganancia de la etapa en media frecuencia.

Respuesta debida a los condensadores de emisor y de acoplamiento. Si en una etapa determinada existen conjuntamente C_z y el condensador de acoplamiento C_b, podemos suponer en primer lugar que C_z es infinito y calcular la frecuencia baja de 3 dB debida solamente a C_b. Seguidamente calcularemos f_L debida a C_z, suponiendo que C_b es entonces infinito. Si las dos frecuencias de corte son significativamente diferentes (separadas dos octavas o más), la mayor de los dos es aproximadamente la frecuencia inferior de 3 dB de la etapa.

Si no existe un polo dominante en baja frecuencia, la respuesta debe obtenerse escribiendo la ecuación de la red para una excitación senoidal ($s = j2\pi f$) y con C_z y C_b finitos. La función de transferencia V_o/V se dibuja en función de la frecuencia, y la frecuencia inferior de 3 dB se lee sobre esta curva. Este método general de solución se dibuja y explica (para el extremo de alta frecuencia del espectro) en la sección siguiente.

El análisis para baja frecuencia del amplificador FET con una resistencia de fuente R_s desacoplada con un condensador C_s se considerará en el Prob. 12-27.

12-10. RESPUESTA A ALTA FRECUENCIA DE DOS ETAPAS EN CASCADA A TRANSISTORES EN EMISOR COMUN[2]

El análisis para alta frecuencia de un amplificador de una sola etapa a transistores en emisor común, o de la última etapa de una cascada, viene con detalle en las Secs. 11-7 y 11-8. Tal como hemos establecido, hay interacción entre las etapas de la cascada de transistores en emisor común. El análisis de un amplificador multietapa resulta complicado y engorroso. Afortunadamente, cabe hacer ciertas aproximaciones para simplificar este análisis, lo que reduce la complejidad de los cálculos de la anchura de banda tolerando un 20 % de error, aproximadamente.

La Fig. 12-11*a* muestra dos transistores en emisor común en cascada. Para cálculos en alta frecuencia, cada transistor es reemplazado por su modelo híbrido para pequeña señal, tal como indica la Fig. 12-17. Los elementos $g_{b'c}$ y g_{ce} han sido eliminados, porque, como demostramos en la Sec. 11-6, su omisión sólo introduce errores pequeños. Se ha incluido una fuente de tensión V_s con $R_s = 50\ \Omega$ y se ha supuesto que los condensadores C_b y C_z representan cortocircuitos para altas frecuencias. Las resistencias de polarización de la base R_1 y R_2 de la Fig. 12-11*a* se suponen grandes comparadas con R_s. El símbolo R_{L1} representa la combinación en paralelo de R_1, R_2 y la resistencia del circuito de colector R_c de la primera etapa. En cada bloque sombreado está incluida una etapa completa.

La red puede describirse mediante cuatro ecuaciones nodales. Si

$$R'_s \equiv R_s + r_{bb'} = 1/G'_s,\ G_{L1} = 1/R_{L1}, G_{L2} = 1/R_{L2}, \text{ y } g_{bb'} = 1/r_{bb'}$$

estas ecuaciones son:

$$\begin{aligned} G'_sV_s &= [G'_s + g_{b'e} + s(C_e + C_c)]V_1 - sC_cV_2 \\ 0 &= (g_m - sC_c)V_1 + (G_{L1} + g_{bb'} + sC_c)V_2 - g_{bb'}V_3 \\ 0 &= -g_{bb'}V_2 + [g_{b'e} + g_{bb'} + s(C_e + C_c)]V_3 - sC_cV_4 \\ 0 &= (g_m - sC_c)V_3 + (G_{L2} + sC_c)V_4 \end{aligned} \qquad (12\text{-}44)$$

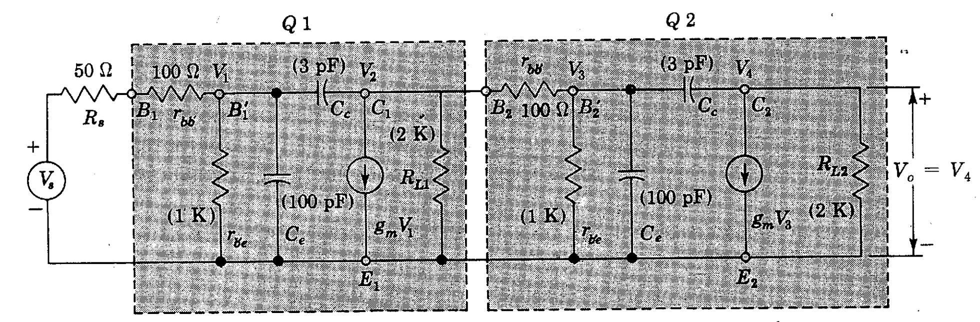


Fig. 12-17. Amplificador con dos etapas que tienen interacción entre sí ($g_m = 50$ mA/V)

Podemos hallar la ganancia de transferencia V_o/V_s a partir de estas ecuaciones aplicando la regla de Cramer:

$$A \equiv \frac{V_4}{V_s} = \frac{G'_s\,\Delta_{14}}{\Delta} = \text{función de transferencia} \qquad (12\text{-}45)$$

siendo Δ el determinante del sistema de ecuaciones y Δ_{14} es el menor complementario que se forma eliminando la primera fila y la cuarta columna del determinante completo. Por lo tanto, vemos que los polos de la función de transferencia vienen dados por los ceros del determinante $\Delta = 0$, y los ceros de la función de transferencia están dados por los ceros del menor $\Delta_{14} = 0$. Como es muy laborioso encontrar los polos y los ceros, se aconseja el empleo de un ordenador. Existen varios programas de ordenador para hallar las raíces de los determinantes.[3]

La función de transferencia V_4/V_s de la Fig. 12-17 debe tener cuatro polos, ya que la red contiene cuatro elementos independientes de almacenamiento de energía (en el sentido de que no existen bucles formados exclusivamente por condensadores). Además, el condensador C_e de cada uno de los transistores provoca un cortocircuito a tierra cuando $s \to \infty$ y por lo tanto $V_4/V_s \to 1/s^2$ cuando $s \to \infty$. Por consiguiente, debemos tener dos ceros además de los polos. El valor de los ceros para el circuito de la Fig. 12-17 puede encontrarse mediante observación. Si, para algún valor de s, por ejemplo s_5, V_4 vale cero, la corriente que alimenta a través de C_c debe ser igual a $g_m V_3$. Por lo tanto:

$$s_5 C_c V_3 = g_m V_3 \qquad (12\text{-}46)$$

y el cero será $s_5 = g_m/C_c$. Igualmente, para Q_1, el cero será $s_6 = g_m/C_c$. La función de transferencia tiene ahora la forma:

$$A = \frac{K(s - s_5)(s - s_6)}{(s - s_1)(s - s_2)(s - s_3)(s - s_4)} \qquad (12\text{-}47)$$

Empleando uno de los programas normalizados para resolver $\Delta = 0$, encontraríamos para los valores numéricos dados en la Fig. 12-17 que los polos vienen dados por:

$$s_1 = -0{,}00342 \times 10^9 \text{ rad/s} \qquad s_2 = -0{,}0670 \times 10^9 \text{ rad/s}$$
$$s_3 = -0{,}680 \times 10^9 \text{ rad/s} \qquad s_4 = -4{,}21 \times 10^9 \text{ rad/s}$$

Los ceros son:

$$s_5 = s_6 = \frac{g_m}{C_c} = 16{,}65 \times 10^9 \text{ rad/s}$$

El programa empleado para obtener los polos y los ceros es el CORNAP[4]. Este programa de cálculo es un análisis de rutina para encontrar las ecuaciones de estado, la función de transferencia, y la respuesta en frecuencia de una red activa lineal general. La respuesta en frecuencia del amplificador mostrado en la Fig. 12-17 obtenida mediante el empleo del CORNAP, se representa en la Fig. 12-18. A partir de la curva de respuesta en frecuencia, podemos leer la frecuencia superior de 3 dB del amplificador, que en este caso será $f_H = 540$ kHz.

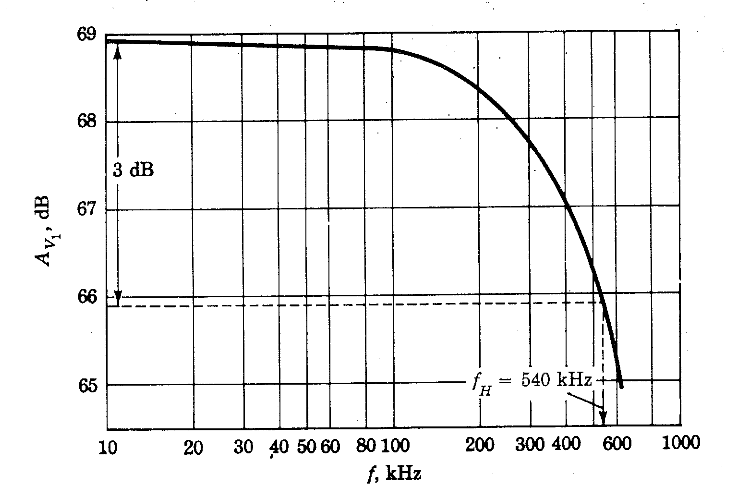


Fig. 12-18. Respuesta en frecuencia obtenida por cálculo de un amplificador de dos etapas

Se supone que los dos transistores de la Fig. 12-17 tienen parámetros idénticos. Esta condición simplifica la notación, pero no es una restricción esencial. El método general de análisis indicado es igualmente válido para transistores no idénticos.

Polo dominante. En el ejemplo anterior, observamos que uno de los polos, $s_1 = -0{,}00342 \times 10^9$ rad/s, es mucho menor que los otros polos y ceros, y por tanto es un polo dominante. Desde nuestra explicación de las curvas de Bode en la Sec. 12-4, hemos reconocido que, si todos los demás polos y ceros están alejados por lo menos dos octavas, la respuesta está 3 dB por debajo en el polo dominante. Por lo tanto, la frecuencia superior de 3 dB para el amplificador viene dada aproximadamente por el polo dominante,

$$f_H \approx f_1 = \frac{-s_1}{2\pi} = \frac{0{,}00342 \times 10^9}{2\pi} \text{ Hz} = 545 \text{ kHz}$$

prácticamente el mismo valor que el leído en la curva.

Análisis simplificado de dos etapas en cascada. Si no está asequible un calculador para ayudarnos en las operaciones, pueden hacerse simplificaciones bastante útiles para proseguir con el análisis. Seguiremos el método indicado en la Sec. 11-8.

El efecto de C_c se aproxima empleando el teorema de Miller y los valores de la ganancia de la etapa en frecuencia media. Por lo tanto, la C_c de Q_2 es reemplazada por un condensador:

$$C_c(1 + g_m R_{L2}) = 3(1 + 50 \times 2) = 303 \text{ pF}$$

en paralelo con la entrada de $Q2$. Igualmente, C_c de $Q1$ se reemplaza por:

$$C_c[1 + g_m R_{L1} \| (r_{b'e} + r_{bb'})] = 3(1 + 50 \times 0{,}709) = 109 \text{ pF}$$

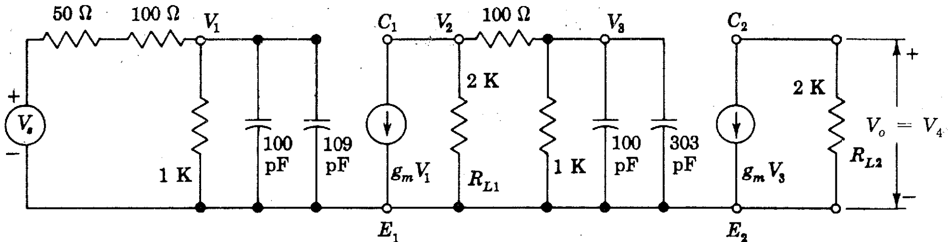


Fig. 12-19. Amplificador de dos etapas en emisor común con interacción empleando la aproximación de Miller

en paralelo con la entrada de $Q1$. El circuito queda de esta forma considerablemente simplificado, ya que, como indica la Fig. 12-19, hay sólo dos condensadores independientes en la red.

La función de transferencia puede obtenerse de la Fig. 12-19, escribiendo las cuatro ecuaciones nodales, que son muy sencillas, (Prob. 12-28) y resulta:

$$A \equiv \frac{V_4}{V_s} = \frac{2\,810}{\left(1 + j\dfrac{f}{5{,}85 \times 10^5}\right)\left(1 + j\dfrac{f}{5{,}85 \times 10^6}\right)} \tag{12-48}$$

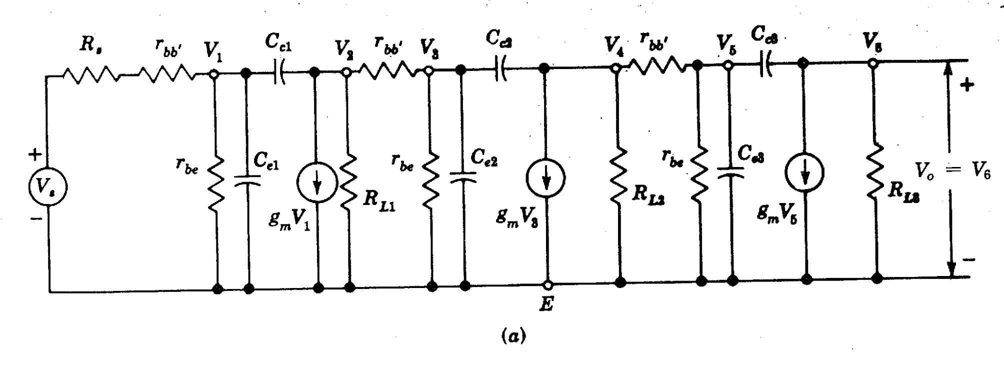
Evidentemente, tenemos un polo dominante a $f_1 = 585$ kHz, y por tanto ésta es la frecuencia superior de 3 dB de las dos etapas en cascada.

Obsérvese que el análisis simplificado arroja un valor para la anchura de banda, mayor que el de 540 kHz obtenido empleando el método exacto, en aproximadamente un 8 %.

12-11. AMPLIFICADOR MULTIETAPA EN CASCADA EN EMISOR COMUN PARA ALTAS FRECUENCIAS

Prescindiendo del número de etapas de una cadena amplificadora, el método general de resolución es el expuesto en la sección precedente. Como es lógico, el mayor número de etapas proporciona mayor complejidad de cálculo. Vamos a analizar ahora tres etapas en cascada en emisor común. La Fig. 12-20*a* muestra una red en la que cada transistor ha sido reemplazado por su modelo de pequeña señal para el análisis a alta frecuencia. Supondremos que todos los transistores son idénticos con $g_m = 50$ m A/V. Se trata de calcular y trazar la función de transferencia V_o/V_s en función de la frecuencia. Si escribimos las ecuaciones nodales para los nudos desde el V_1 hasta el V_6, obtendremos un sistema de seis ecuaciones con seis incógnitas similar a la Ec. (12-44). Naturalmente, debido a los seis condensadores independientes, la función de transferencia debe tener seis polos. Además, también deben estar presentes tres ceros, ya que cada uno de los tres condensadores de emisor da lugar a $V_o \to 1/s^3$ cuando $s \to \infty$. Por lo tanto, la función de transferencia es de la forma:

$$\frac{V_o}{V_s} = K \frac{(s - s_7)(s - s_8)(s - s_9)}{(s - s_1)(s - s_2)(s - s_3)(s - s_4)(s - s_5)(s - s_6)} \tag{12-49}$$



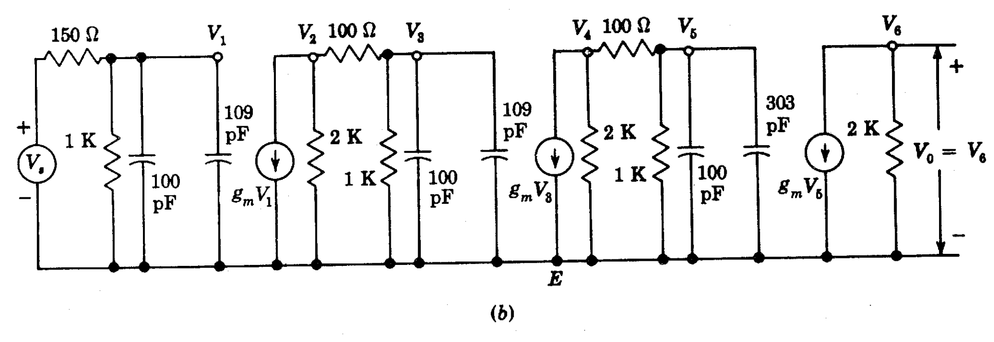


Fig. 12-20. (*a*) Amplificador de tres etapas con interacción; (*b*) aproximación de Miller de (*a*) sin interacción

Los ceros de esta ecuación pueden obtenerse observando esta red particular, como se ha explicado en la sección precedente. Para obtener los polos, debemos resolver los ceros del determinante de la red, y como este determinante es de orden seis por seis, la labor del cálculo es prohibitiva sin la ayuda de una calculadora digital.

Empleando el programa CORNAP, no sólo se obtienen los polos, los ceros y la constante de ganancia K, sino también el módulo, la fase y la derivada de la fase respecto a la frecuencia (éste es el retraso introducido por el amplificador).

Suponiendo las etapas idénticas y empleando los mismos valores de los parámetros que en el amplificador de la Fig. 12-17, el ordenador da los siguientes valores para los polos:

$$s_1 = -27{,}5 \times 10^5 \text{ rad/s} \qquad s_2 = -13{,}3 \times 10^6 \text{ rad/s}$$
$$s_3 = -7{,}75 \times 10^7 \text{ rad/s} \qquad s_4 = -6{,}80 \times 10^8 \text{ rad/s}$$
$$s_5 = -39{,}7 \times 10^8 \text{ rad/s} \qquad s_6 = -44{,}2 \times 10^8 \text{ rad/s}$$

y para los ceros:

$$s_7 = s_8 = s_9 = 16{,}6 \times 10^9 \text{ rad/s}$$

En la Fig. 12-21, está dibujada la respuesta en frecuencia, de la cual deducimos que la frecuencia superior de 3 dB es de 420 Hz.

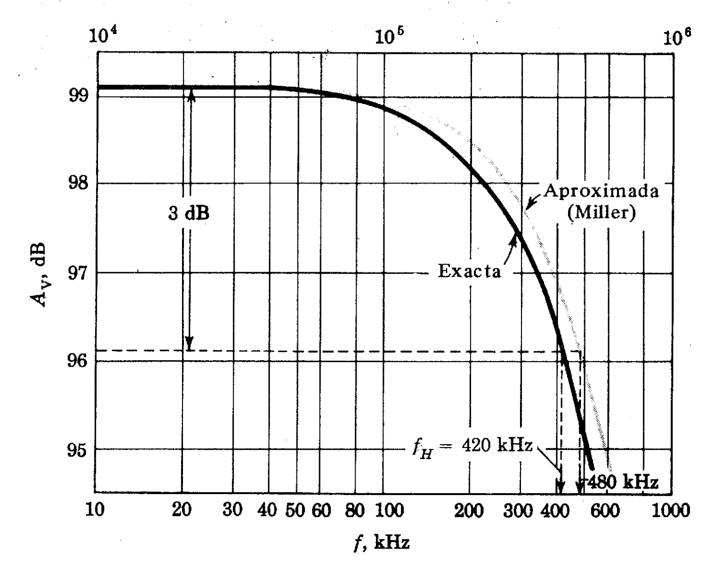


Fig. 12-21. Respuesta en frecuencia aproximada y exacta de un amplificador de tres etapas en emisor común

Análisis aproximado. Vamos a hacer ahora un análisis aproximado del amplificador anterior. Reemplazaremos C_{c3} por la capacidad de Miller.

$$C_{c3}(1 + g_m R_{L3}) = 3(1 + 50 \times 2) = 303 \text{ pF},$$

en paralelo con C_{e3}. Igualmente, reemplazaremos C_{c2} y C_{c1} por las capacidades de Miller de 109 pF en paralelo con C_{e2} y C_{e1}, respectivamente. Por lo tanto, obtenemos el circuito simplificado de la Fig. 12-20*b*, a partir del cual obtendremos la función de transferencia (con f expresada en megahertz.)

$$\frac{V_o}{V_s} = -\frac{90{,}5 \times 10^4}{\left(1 + j\dfrac{f}{0{,}582}\right)\left(1 + j\dfrac{f}{1{,}12}\right)\left(1 + j\dfrac{f}{5{,}86}\right)} \qquad (12\text{-}50)$$

El gráfico de la Ec. (12-50) se indica en la Fig. 12-21. Vemos que dos de los polos están más juntos que cuatro octavas, y por lo tanto este amplificador no tiene un polo dominante. Emplearemos el gráfico para deducir la frecuencia superior de 3 dB. En la Fig. 12-21 leemos que $f_H = 480$ kHz, en comparación con los $f_H = 420$ kHz obtenidos empleando la función de transferencia exacta de seis polos, lo que supone una sobreestima del 14 %.

Podemos evitarnos el trazado gráfico de la Ec. (12-50) si empleamos los resultados de la Ec. (12-31). En este caso tenemos:

$$\frac{1}{f_H} = 1{,}1\sqrt{\left(\frac{1}{0{,}582}\right)^2 + \left(\frac{1}{1{,}12}\right)^2 + \left(\frac{1}{5{,}86}\right)^2}$$

o sea $f_H = 0{,}466$ MHz = 466 kHz, en comparación con $f_H = 480$ kHz de la Fig. 12-21.

Resulta instructivo destacar que en la Sec. 11-8 encontramos que f_H de una sola etapa empleando el transistor del ejemplo anterior y $R_s = 50\ \Omega$ y $R_L = 2$ K, es $f_H = 2{,}8$ MHz. Dos etapas idénticas en cascada dan como resultado $f_H = 540$ kHz. Si estas dos etapas no tuvieran interacción, cada una con $f_H = 2{,}8$ MHz, la anchura de banda total sería $f_H = 0{,}64 \times 2{,}8$ MHz $= 1{,}79$ MHz, empleando la Ec. (12-26). Igualmente, para el amplificador de tres etapas en cascada independientes y sin acción entre sí, obtendríamos $f_H = 0{,}51 \times 2{,}8$ MHz $= 1{,}43$ MHz, en comparación con el valor $f_2 = 420$ kHz de las tres etapas amplificadoras conectadas. La carga capacitiva de una de las etapas sobre la precedente reduce la frecuencia superior de 3 dB drásticamente.

12-12. RUIDO

Existe un límite en la amplificación que se puede obtener de un amplificador; la causa del mismo es la aparición de una pequeña señal en la salida aun cuando no la haya en la entrada; a este fenómeno se le denomina *ruido del amplificador.*[5] En caso de recepción de pequeñas tensiones, tales como las señales débiles de radio, televisión o radar, puede ocurrir que sea imposible distinguirlas del ruido de fondo. El término *ruido* proviene de que, en ausencia de señal de entrada, la salida al altavoz de un amplificador de audio con el control de ganancia puesto al máximo deja oír un chasquido o soplido. En el caso de un amplificador de video, suele emplearse la palabra *nieve* en lugar de ruido, debido a la aparición de una imagen parecida a la nieve en la pantalla de televisión cuando se sintoniza a una señal muy débil. Vamos a considerar ahora las diversas causas que pueden provocar estos ruidos.

Ruido térmico o de Johnson.[6] Los electrones de un conductor poseen distintos valores de energía debido a la temperatura del conductor. Las ligeras fluctuaciones de energía en torno a los valores de la distribución más probable son muy pequeñas, pero suficientes para producir pequeños potenciales de ruido dentro del conductor. Estas fluctuaciones fortuitas producidas por la agitación térmica de los electrones, se denominan ruido *térmico* o de Johnson. Los valores eficaces de la tensión de ruido V_n debido a la resistencia térmica dentro del margen de frecuencia $f_H - f_L$ vienen dados por la expresión:

$$V_n^2 = 4\bar{k}TRB \qquad (12\text{-}51)$$

siendo $\bar{k}$ = constante de Boltzmann, J/°K
T = temperatura de la resistencia, °K
R = resistencia, Ω
$B = f_H - f_L$ = anchura de banda, Hz

Debe tenerse en cuenta que la misma potencia de ruido existirá en un ancho de banda dado independientemente de cual sea la frecuencia central. Tal distribución, que da el mismo ruido por unidad de anchura de banda en cualquier lugar del espectro, se denomina *ruido blanco.*

Si el conductor que estamos considerando es la resistencia de entrada de un amplificador ideal (sin ruido), la tensión de ruido a la entrada del amplificador vendrá dada por la Ec. (12-51). Se obtiene una idea del orden de magnitud de la tensión que entra en juego, calculando la tensión de ruido generada en una resistencia de 1 M a la temperatura ambiente con banda de paso de 10 kHz. La Ec. (12-51) da para V_n el valor de 13 μV. Naturalmente, si la anchura de banda del amplificador es grande, la resistencia de entrada debe ser menor, pues de lo contrario tendríamos excesivo ruido. Por lo tanto, si el amplificador que consideramos es de 10 MHz de anchura, su resistencia de entrada no puede exceder de 1 000 Ω si el ruido no debe rebasar el del amplificador de audio de 10 kHz.

Resulta entonces evidente que la banda de paso de un amplificador debe ser lo más estrecha posible (sin introducir excesiva distorsión de frecuencia), ya que la potencia del ruido es directamente proporcional a la anchura de banda. La tensión media cuadrática del ruido del amplificador, debida solamente a R_s, viene dada por la Ec. (12-51), teniendo en cuenta que el valor de V_n^2 se multiplica por $|A_{Vo}|^2$ y que la anchura de banda de ruido B_n está definida por:

$$B_n \equiv \frac{1}{|A_{Vo}|^2} \int_0^\infty |A_V(f)|^2\, df \qquad (12\text{-}52)$$

Efecto Shot o Schottky.[7] El ruido de Schottky se atribuye a la naturaleza discreta de los portadores de corriente en los semiconductores. Normalmente, se supone que la corriente en continua de un transistor o de un FET es constante en todo instante. Sin embargo, la corriente de emisor a colector está constituida por un flujo de electrones individuales o huecos, y solamente es constante el flujo medio. La fluctuación en el número de portadores se denomina *efecto Schottky.* El valor cuadrático medio de la corriente de ruido en un elemento será:

$$I_n^2 = 2qI_{dc}B \qquad (12\text{-}53)$$

donde: q = carga de un electrón
I_{dc} = corriente continua
B = anchura de banda

Si la resistencia de carga es R_L, aparecerá una tensión de ruido de valor I_nR_L a través de la carga.

Figura o factor de ruido. Se ha introducido un *factor de ruido NF** para especificar cuantitativamente lo ruidoso de un elemento. Por definición, *NF* es la relación entre la potencia del ruido de salida de un circuito respecto a la potencia de ruido que se obtendría en la salida con la misma anchura de banda, si la única fuente de ruido fuera el térmico en la resistencia interna R_s de la fuente de señal. Por lo tanto, el factor de ruido es una cantidad que compara el ruido del amplificador real con el de un amplificador ideal (sin ruido). Normalmente, *NF* se expresa en decibelios.

Vamos a definir los siguientes símbolos:

$S_{Pi}(S_{Vi})$ = potencia (tensión) de entrada de la señal
$N_{Pi}\,(N_{Vi})$ = potencia (tensión) de entrada del ruido debido a R_s
$S_{Po}(S_{Vo})$ = potencia (tensión) de salida de la señal

* Del inglés Noise Figure. (*N. del T.*)

$N_{Po}(N_{Vo})$ = potencia (tensión) de salida de ruido debida a R_s y a cualquier otra fuente de ruido dentro del dispositivo activo.

De la Ec. (12-51), $N_{Vi} = V_n = (4\bar{k}TR_sB)^{1/2}$

De la definición de factor de ruido:

$$NF = 10 \log \frac{\text{potencia de salida del ruido total}}{\text{potencia de salida del ruido debido a } R_s} = 10 \log \frac{N_{Po}}{A_P N_{Pi}} \tag{12-54}$$

donde la ganancia de potencia del dispositivo activo es $A_P \equiv S_{Po}/S_{Pi}$. Por lo que:

$$NF = 10 \log \frac{N_{Po} S_{Pi}}{S_{Po} N_{Pi}} = 10 \log \frac{S_{Pi}/N_{Pi}}{S_{Po}/N_{Po}} \tag{12-55}$$

El cociente S_P/N_P se denomina *relación de potencia señal-ruido.* El factor de ruido es la relación de potencia señal-ruido a la entrada dividida por la relación de potencia señal-ruido a la salida. Expresado en decibelios, el factor de ruido viene dado por la relación de potencia señal-ruido a la entrada en dB menos la relación de potencia señal-ruido a la salida, también en dB. Puesto que la señal y el ruido aparecen ambos en la misma carga, la Ec. (12-55) toma la forma:

$$NF = 20 \log \frac{S_{Vi}/N_{Vi}}{S_{Vo}/N_{Vo}} = 20 \log \frac{S_{Vi}}{N_{Vi}} - 20 \log \frac{S_{Vo}}{N_{Vo}} \tag{12-56}$$

donde S_V/N_V se denomina *relación de tensión señal-ruido.*

Medición del factor de ruido. En la Fig. 12-22 se indica un método muy sencillo[7] para medir el factor de ruido de un dispositivo activo Q. Se conecta a la entrada de Q un generador senoidal de audio V_s con resistencia R_s. El dispositivo activo está conectado a un amplificador de bajo nivel de ruido y a un filtro, y la salida de este sistema se mide mediante un voltímetro M que señale valores eficaces. El procedimiento experimental para determinar NF es el siguiente:

1. Medir R_s y calcular $N_{Vi} \equiv V_n$ de la Ec. (12-51). La anchura de banda B se fija mediante el filtro.

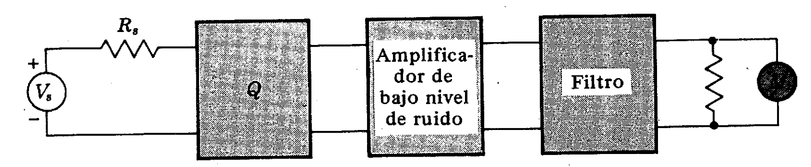


Fig. 12-22. Sistema empleado para medir el factor de ruido de un dispositivo activo Q

2. Ajustar la tensión de señal de audio para que sea 10 veces mayor que la tensión de ruido: $V_s = 10\,V_n$ o sea $S_{Vi} = 10\,N_{Vi}$. Medir la tensión de salida con M. Para una relación señal-ruido tan grande (S_{Vi}/N_{Vi} = 20 dB), podemos despreciar el ruido y suponer que la lectura del voltímetro da la tensión de la señal de salida S_{Vo}.
3. Hacer $V_s = 0$ y medir la tensión de salida N_{Vo} con M.
4. De la Ec. (12-56), el factor de ruido viene dado por:

$$NF = 20 - 20 \log \frac{S_{Vo}}{N_{Vo}} \tag{12-57}$$

donde S_{Vo} y N_{Vo} son las lecturas obtenidas en el voltímetro en 2 y 3 respectivamente.

El amplificador de bajo nivel de ruido se necesita solamente si el ruido a la salida de Q es demasiado bajo para poder detectarlo con M. Debemos destacar que la combinación de amplificador filtro no afecta a NF (para una B dada) ya que en la Ec. (12-57) se emplea la relación S_{Vo}/N_{Vo}.

La exactitud del método descrito se basa en el supuesto de que la señal y el ruido de salida pueden medirse separadamente. Esto no es estrictamente cierto, ya que el ruido no puede eliminarse cuando se mide la señal de salida. Se ha comprobado que para una relación señal-ruido de 20 dB, el factor de ruido de un transistor, se puede medir hasta 10 dB con menos de 0,5 dB de error. Cuanto mayor sea S_{Vi}/N_{Vi}, es menor el error de la medida. Normalmente, la tensión de señal de salida se sigue mediante un osciloscopio para asegurarse de que el sistema funciona linealmente y que no exista distorsión ni zumbido de 50 Hz.

Si se emplea un filtro con ancho de banda muy estrecho (de pocos hertz), las mediciones anteriores dan el *factor de ruido puntual, incremental o de una sola frecuencia.* Por otra parte, si el ancho de banda del filtro es grande (de f_1 = 10 Hz a f_2 = 10 kHz), el circuito de la Fig. 12-22 da el *factor de ruido de toda la banda o integral.* Se pueden emplear otros métodos para medir NF[8,9], pero tienen el inconveniente de necesitar un generador de ruido calibrado.

Ruido de un transistor.[10] Además del ruido térmico de un transistor, existe un ruido debido al movimiento al azar de los portadores que atraviesan las uniones de emisor y de

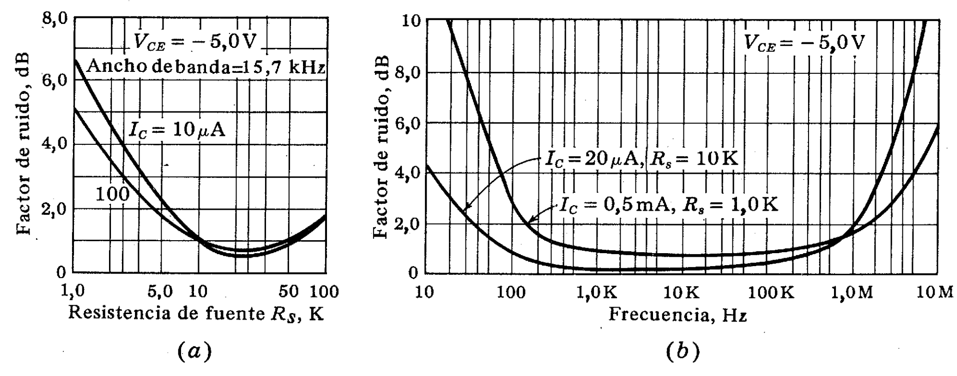


Fig. 12-23. Factor de ruido de un transistor 2N3964. (*a*) Factor de ruido de banda ancha en función de la resistencia de fuente. (*b*) Factor de ruido incremental en función de la frecuencia. (Cortesía de Fairchild Semiconductor Corporation.)

colector, y a la recombinación fortuita de huecos y electrones en la base. Hay también un efecto de reparto debido a las fluctuaciones casuales de la división de corriente entre el colector y la base. La experiencia demuestra que un transistor no genera ruido blanco, excepto en la mitad de la banda. La cantidad de ruido generada depende también de las condiciones de reposo y de la resistencia de fuente. Por lo tanto, para especificar el ruido de un transistor, hay que dar la frecuencia central, el punto de funcionamiento y R_S.

La Fig. 12-23*a* y *b* muestra el factor de ruido en función de la resistencia de fuente y de la frecuencia para el transistor planar de difusión 2N3964. Hay tres regiones distintas en la Fig. 12-23*b*. Para bajas frecuencias, el ruido varía aproximadamente como $1/f$, y se denomina ruido en *exceso* o *centelleo.* La fuente de este ruido no se entiende claramente, pero se cree que es causado por la recombinación y generación de portadores en la superficie del cristal. En las frecuencias medias, el ruido es independiente de la frecuencia. Este ruido blanco está provocado por la resistencia de la masa del material semiconductor y la variación estadística de la corriente (efecto Schottky). La tercera región de la Fig. 12-23*b* se caracteriza por el incremento del factor de ruido con la frecuencia, causada principalmente por la disminución de la ganancia de potencia con la frecuencia.[9]

Ruido de los FET.[11] El transistor de efecto campo tiene una excelente característica de ruido. Las principales fuentes de ruido del FET son el ruido térmico del canal de conducción, el efecto Skotchhky provocado por las corrientes de fuga de puerta, y el ruido proporcional a $1/f$ de los efectos superficiales.

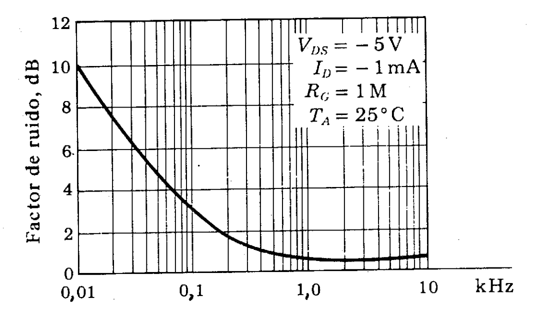


Fig. 12-24. Factor de ruido incremental de un FET 2N2497. (Cortesía de Texas Instrument, Inc.)

En la Fig. 12-24 se indica el factor de ruido en función de la frecuencia correspondiente al transistor FET 2N2497. Debemos destacar que, al contrario de los transistores bipolares, el factor de ruido de un FET es fundamentalmente independiente del punto de reposo (I_D y V_{DS}).

REFERENCIAS

1. Bode, Hendrik, W.: "Network Analysis and Feedback Amplifier Design", cap. 15, D. Van Nostrand Company, Inc., Princeton, N. J., 1945.
Friedland, B., O. Wing, y R. Ash: "Principles of Linear Networks", cap. 8, McGraw-Hill Book Company, Nueva York, 1961.

2. Thornton, R. D., C. L. Searle, D. O. Pederson, R. B. Adler, y E. J. Angelo, Jr.: "Multistage Transistor Circuits", SEEC Series, vol. 5, caps. 1, 2, John Wiley & Sons, Inc., Nueva York, 1965.

3. Gray, P. E. y C. L. Searle: "Electronic Principles, Physics, Models and Circuits", apéndice C, John Wiley & Sons, Inc., Nueva York, 1969.

4. Pottle, C.: "A Textbook Computerized State Space Network Analysis Algorithm", *Cornell Univ. Elec. Eng. Res. Lab. Rept.,* septiembre de 1968.

5. Van der Ziel, A.: "Noise", Prentice-Hall, Inc., Englewood Cliffs, N.J., 1954. Terman, F. E.: "Electronic and Radio Engineering", 4.ª ed., pp. 434-442, 796-798, McGraw-Hill Book Company, Nueva York, 1952.
Seely, S.: "Radio Electronics", pp. 143-149, McGraw-Hill Book Company, Nueva York, 1956.
Valley, G. E., Jr., y H. Wallman (eds.): "Vacuum Tube Amplifiers", MIT Radiation Laboratory Series, vol. 18, pp. 496-720, McGraw-Hill Book Company, Nueva York, 1948.

6. Van der Ziel, A.: "Electronics", cap. 23, Allyn and Bacon, Inc., Boston, 1966.

7. Miller, J. R. (ed.): "Solid-state Communications", Texas Instruments Electronic Series, pp. 194-197, McGraw-Hill Book Company, Nueva York, 1966.

8. Terman, F. E. y J. M. Pettit: "Electronic Measurements", 2.ª ed., pp. 362-379, McGraw-Hill Book Company, Nueva York, 1952.

9. Dosse, J.: "The Transistor", 4.ª ed., pp. 144-152, D. Van Nostrand Company, Inc., Princeton, N. J., 1964.

10. Thornton, R. D., y otros: "Characteristics and Limitations of Transistors", vol. 4, Semiconductor Electronics Education Committee, John Wiley & Sons, Inc., Nueva York, 1966.

11. Van der Ziel, A.: "Thermal Noise in Field Effect Transistors", *Proc. IRE,* vol. 50, pp. 1808–1912, agosto de 1962.
Van der Ziel, A., Ref. 6, cap. 23.
Sevin, L. J.: "Field-effect Transistors", pp. 46–50, McGraw-Hill Book Company, Nueva York, 1965.

TEMAS DE REPASO

12-1 Definir las siguientes formas de trabajo de un amplificador: (*a*) Clase *A*; (*b*) Clase *B*; (*c*) Clase *AB*; (*d*) Clase *C*.

12-2 Definir los siguientes tipos de distorsión: (*a*) *no lineal*; (*b*) *de frecuencia*; (*c*) *de fase.*

12-3 ¿En qué condiciones un amplificador conserva la forma de la señal de entrada?

12-4 (*a*) Definir *la característica del módulo de la respuesta en frecuencia* de un amplificador. (*b*) Dibujar la curva característica de respuesta. (*c*) Indicar las frecuencias superior e inferior de 3 dB. (*d*) Definir *anchura de banda.*

12-5 (*a*) Para un amplificador paso bajo de un solo polo, dibujar el gráfico de Bode del módulo y su aproximación lineal. (*b*) Repetirlo para el gráfico de fase de Bode. (*c*) ¿Cuáles son las pendientes de las curvas idealizadas de Bode? (*d*) ¿Cuáles son las frecuencias de codo de ambos gráficos de Bode?

12-6 Repetir el tema 12-5 para una función de transferencia de un solo cero.

12-7 Repetir el tema 12-5 para una función de transferencia de dos polos.

12-8 Definir un *polo dominante.*

12-9 (*a*) Dibujar la *respuesta a un escalón* de alta frecuencia para un amplificador de paso bajo de un solo polo. (*b*) Definir el *tiempo de subida* t_r. (*c*) ¿Cuál es la relación entre t_r y la frecuencia superior de 3 dB, f_H?

12-10 (*a*) La entrada de un amplificador paso bajo está constituida por un impulso de ancho t_p. Dibujar la forma de onda de salida. (*b*) ¿Cuál debe ser la relación entre t_p y f_H para amplificar el impulso sin excesiva distorsión?

12-11 (*a*) Esbozar la respuesta de un amplificador a una onda cuadrada de baja frecuencia. (*b*) Definir el *declive* o *pendiente*. (*c*) ¿Cómo se relaciona el declive con la frecuencia inferior de 3 dB f_L?

12-12 Deducir la expresión para la frecuencia superior de 3 dB f_H^* para n etapas sin interacción en función de la f_H de una etapa.

12-13 (*a*) La f_H^* para dos etapas ¿es mayor o menor que la f_H para una sola? Razónese. (*b*) Repetirlo para f_L^* en función de f_L.

12-14 (*a*) Dar una expresión aproximada que relacione f_H^* y las frecuencias de 3 dB de n etapas no idénticas. (*b*) Para dos etapas idénticas, ¿qué es f_H^*/f_H? Repetirlo para tres etapas.

12-15 Determinar la relación aproximada entre el tiempo de subida de salida t_r, el tiempo de subida de la señal de entrada t_{ro}, y los tiempos de subida de n etapas no idénticas.

12-16 (*a*) Dibujar dos etapas a transistores en emisor común acoplados en *R-C*. (*b*) Mostrar el modelo de baja frecuencia para una sola etapa. (*c*) ¿Cuál es la expresión para f_L?

12-17 Repetir la cuestión 12-16 para etapas de JFET en fuente común.

12-18 (*a*) Un amplificador con una resistencia de emisor desacoplada tiene una función de transferencia constituida por un polo y un cero. Explicar cualitativamente el porqué, (sin escribir ecuaciones). (*b*) Esbozar la curva de amplitud de Bode para el caso en que el polo y el cero estén muy separados. (*c*) ¿Existe siempre f_L? Razónese.

12-19 (*a*) Indicar en líneas generales el método para hallar la respuesta en alta frecuencia de dos etapas amplificadoras a transistores con interacción. (*b*) Describir un método aproximado de solución.

12-20 (*a*) Para n etapas en cascada, a transistores en emisor común ¿cuántos polos tendrá la función de transferencia de tensión? Razónese. (*b*) ¿Y cuántos ceros?

12-21 (*a*) ¿Qué se entiende por *ruido de un amplificador*? (*b*) Definir el *ruido blanco*.

12-22 (*a*) Definir el *ruido térmico* o *de Johnson*. (*b*) ¿De cuántos factores depende la tensión de ruido?

12-23 (*a*) Definir el *efecto de Schottky* (*b*) ¿De cuántos factores depende la corriente de ruido de Schottky?

12-24 Definir (*a*) *factor de ruido*; (*b*) *relación señal-ruido*.

12-25 Deducir la expresión del factor de ruido en función de las relaciones señal-ruido de entrada y de salida.

12-26 Citar cuatro fuentes de ruido en un transistor.

12-27 Citar tres fuentes de ruido en un FET.

13

Amplificadores realimentados

En este capítulo vamos a introducir el concepto de realimentación y veremos cómo se modifican las características de un amplificador combinando una parte de la señal de salida con la señal exterior. Gracias a la realimentación negativa (degenerativa) se obtienen muchas ventajas que serán objeto de estudio a continuación. Veremos ejemplos para bajas frecuencias; no obstante, la respuesta en frecuencia de los amplificadores realimentados se estudiará en el capítulo siguiente.

13-1. CLASIFICACION DE LOS AMPLIFICADORES

Antes de empezar con el concepto de realimentación, es interesante clasificar los amplificadores en cuatro amplias categorías,[1] según los conceptos de *amplificadores de tensión, de corriente, de transconductancia* y de *transresistencia.* Esta clasificación se basa en el valor de las impedancias de entrada y de salida del amplificador en relación a las impedancias de la fuente y de la carga, respectivamente.

Amplificador de tensión. En la Figura 13-1 se indica el circuito equivalente de Thévenin de un cuadripolo que representa un amplificador. Si la resistencia de entrada R_i fuera grande respecto a la resistencia de la fuente R_s, entonces $V_i \approx V_s$. Si la resistencia de la carga exterior R_L fuese grande comparada con la resistencia de salida R_o del amplificador, entonces $V_o \approx A_s V_i \approx A_v V_s$. Este amplificador dará una tensión de salida proporcional a la de entrada, y *el factor de proporcionalidad es independiente del valor de las resistencias de la carga y de la fuente.* Un circuito como el indicado se denomina *amplificador de tensión.* Un amplificador de tensión ideal debería tener una resistencia de entrada R_i infinita y una resistencia de salida R_o nula. El símbolo A_v de la Fig. 13-1 representa V_o/V_i, con $R_L = \infty$, e indica por tanto la amplificación o ganancia de tensión en circuito abierto.

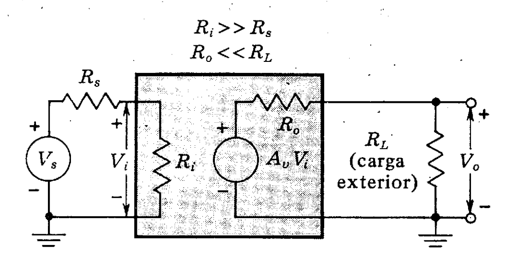


Fig. 13-1. Circuito equivalente de Thévenin de un amplificador de tensión

Amplificador de corriente. Un amplificador[1] de corriente ideal se definiría como un amplificador con corriente de salida proporcional a la corriente de la señal, siendo *el factor de proporcionalidad independiente de* R_s *y* R_L. Un amplificador de corriente ideal debería tener una resistencia de entrada R_i nula y una resistencia de salida R_o infinita. En la práctica, el amplificador tendrá una resistencia de entrada baja y una de salida alta. Debe excitar una carga de baja resistencia ($R_o \gg R_L$), y ser excitado por una fuente de resistencia alta ($R_i \ll R_s$). La Figura 13-2 representa el circuito equivalente de Norton de un amplificador de corriente. Obsérvese que $A_i \equiv I_L/I_i$, con $R_L = 0$, representa la amplificación en cortocircuito, o ganancia. Vemos que si $R_i \ll R_s$, $I_i \approx I_s$, y si $R_o \gg R_L$, $I_L \approx A_i I_i \approx A_i I_s$. Por tanto, la corriente de salida es proporcional a la corriente de la señal. Las características de los cuatro tipos de amplificadores ideales están resumidas en la Tabla 13-1.

TABLA 13-1 Características de un amplificador ideal

Parámetro	Tipo de amplificador			
	Tensión	Corriente	Transconductancia	Transresistencia
R_i	∞	0	∞	0
R_o	0	∞	∞	0
Característ. de transfer.	$V_o = A_v V_s$	$I_L = A_i I_s$	$I_L = G_m V_s$	$V_o = R_m I_s$
Referencia	Fig. 13-1	Fig. 13-2	Fig. 13-3	Fig. 13-4

Amplificador de transconductancia. El amplificador ideal de transconductancia[1] suministra una corriente de salida proporcional a la tensión de la señal, independientemente de los valores de R_s y R_L. Este amplificador debe tener una resistencia de entrada R_i infinita

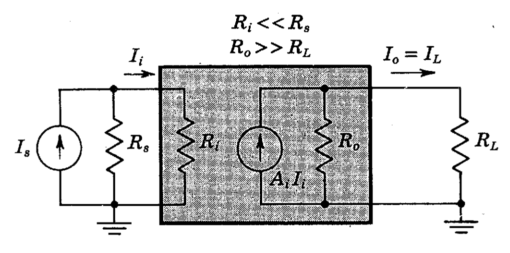


Fig. 13-2. Circuito equivalente de Norton de un amplificador de corriente

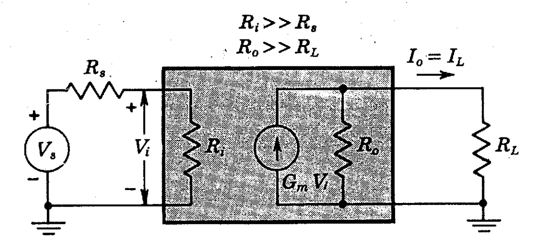


Fig. 13-3. Un amplificador de transconductancia está representado por un equivalente de Thévenin en su circuito de entrada y un equivalente de Norton en el de salida

y una resistencia de salida R_o también infinita. Un amplificador de transconductancia práctico tiene, en realidad, una gran resistencia de entrada ($R_i \gg R_s$) y por tanto debe ser excitado por una fuente de pequeña resistencia. Tiene una gran resistencia de salida ($R_o \gg R_i$) y por tanto excita una carga de pequeña resistencia. El circuito equivalente de un amplificador de transconductancia puede verse en la Fig. 13-3.

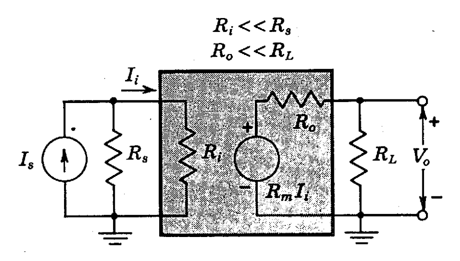


Fig. 13-4. Un amplificador de transresistencia está representado por un equivalente de Norton en su circuito de entrada y un equivalente de Thévenin en el de salida

Amplificador de transresistencia. Finalmente, en la Fig. 13-4 está indicado el circuito equivalente de un amplificador cuya salida de tensión V_o es proporcional a la corriente de la señal I_s independientemente de R_s y R_L. A este amplificador se le denomina *amplificador de transresistencia.* En la práctica, un amplificador de transresistencia tiene $R_i \ll R_s$, y $R_o \ll R_L$. Entonces, las resistencias de la fuente y de la carga son grandes comparadas con las resistencias de entrada y de salida. En la Fig. 13-4 vemos que si $R_s \gg R_i$, $I_i \approx I_s$, y si $R_o \ll R_L$, $V_o \approx R_m I_i \approx R_m I_s$. Obsérvese que $R_m \equiv V_o/I_i$ con $R_L = \infty$. En otras palabras, R_m es la resistencia mutua o de transferencia en circuito abierto.

13-2. CONCEPTO DE REALIMENTACION[2]

En la sección anterior hemos resumido las propiedades de cuatro amplificadores tipo. En cada uno de estos circuitos se puede tomar una muestra de la tensión o de la corriente de salida mediante una red de muestreo adecuada, y aplicar esta señal a la entrada a través de una cuadripolo de realimentación, tal como se indica en la Fig. 13-5. En la entrada se combinan la señal de realimentación con la señal de la fuente exterior a través del circuito mezclador, y el conjunto alimenta al propio amplificador.

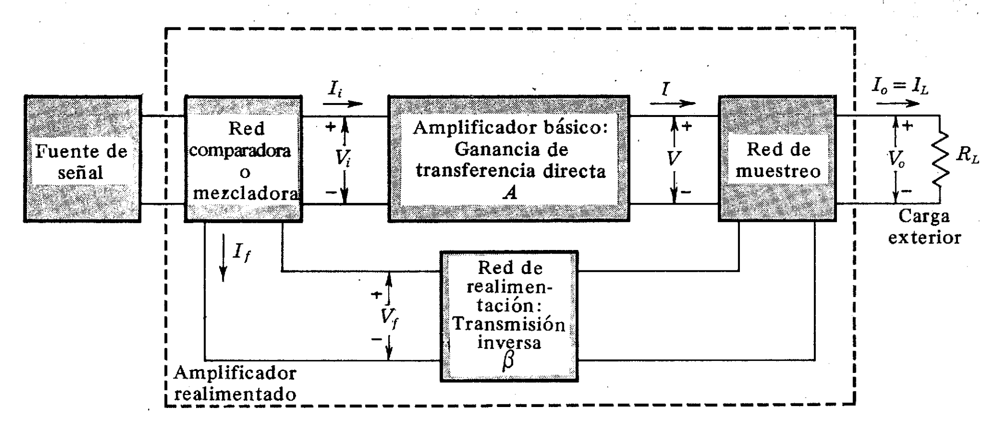


Fig. 13-5. Representación de una conexión de realimentación de lazo único en torno al amplificador básico. La ganancia de transferencia A puede representar A_V, A_I, G_M o R_M

Fuente de señal. Este bloque de la Fig. 13-5 representa una señal de tensión V_s en serie con una resistencia R_s (según la representación de Thévenin de la Figura 13-1) o una señal de corriente I_s en paralelo con una resistencia R_s (según la representación de Norton de la Figura 13-2).

Red de realimentación. Este bloque de la Figura 13-5 consiste normalmente en un cuadripolo pasivo que puede estar constituido por resistencias, condensadores e inductancias. Lo más corriente es una configuración simple a base de resistencias.

Circuito de muestreo. En la Fig. 13-6 están indicados dos bloques de muestreo. El de la Fig. 13-6*a* toma una muestra de la tensión de salida conectando el circuito de realimentación *en paralelo* con la salida. Este tipo de conexión se denomina *muestreo de tensión o nodal.* En la Fig. 13-6*b* está indicado otro tipo de conexión en la que se toma una muestra de corriente, intercalándose la red de realimentación *en serie* con la salida. También son posibles otros tipos de redes.

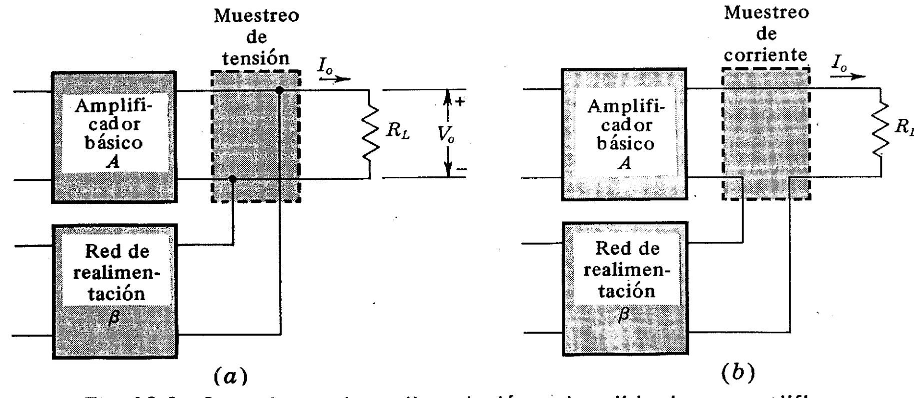


Fig. 13-6. Conexiones de realimentación a la salida de un amplificador básico, tomando de la salida muestra de: (*a*) la tensión y (*b*) la corriente

Red comparadora o mezcladora. En la Fig. 13-7 están indicados dos bloques mezcladores. Las Figuras 13-7*a* y *b* dan una idea esquemática de tipos muy comunes: *entrada en serie (malla)* y *entrada en paralelo (nudo)*, respectivamente. También se emplea profusamente un amplificador diferencial (Sec. 15-2) como mezclador, es decir, un amplificador que dé una salida proporcional a la diferencia entre dos señales de entrada.

Relación de transferencia, o ganancia. El símbolo A de la Fig. 13-5 representa la relación entre las señales de salida y de entrada de un amplificador base. La relación de transferencia V/V_i se denomina amplificación de tensión, o *ganancia de tensión*, A_V. De igual forma, la relación de transferencia I/I_i es la amplificación de corriente, o *ganancia de corriente* A_I del amplificador. La relación I/V_i del amplificador base toma el nombre de transconductancia G_M, y V/I_i es la transresistencia R_M. Aun cuando G_M y R_M se definen como relación entre dos señales: una de ellas es la corriente y la otra la tensión de la onda; por tanto, los símbolos G_M y R_M no representan una amplificación en el sentido usual de la palabra. No obstante, es conveniente referirse a las cuatro cantidades A_V, A_I, G_M y R_M como una *ganancia de transferencia del amplificador base sin realimentación* y emplear el símbolo A para representar cualquiera de ellas.

El símbolo A_f se define como la relación entre la señal de salida y la de entrada de un amplificador tal como el de la Fig. 13-5 y se le denomina *ganancia de transferencia del amplificador con realimentación.* Por tanto A_f se empleará para representar cualquiera de las cuatro relaciones $V_o/V_s \equiv A_{Vf}$, $I_o/I_s \equiv A_{If}$, $I_o/V_s \equiv G_{Mf}$, y $V_o/I_s \equiv R_{Mf}$. La relación entre la ganancia de transferencia con realimentación A_f y la ganancia A del amplificador ideal sin realimentación, se obtendrá en la ecuación (13-4).

Ventajas de la realimentación negativa. Se dice que un amplificador tiene *realimentación negativa* cuando, para cualquier incremento de la señal de salida, la realimentación hacia la entrada es tal que tiende a provocar la disminución de dicha señal de salida. La utilidad de la realimentación negativa estriba en el hecho de que, en general, cualquiera de los cuatro amplificadores básicos discutidos en la Sec. 13-1 puede mejorar sus propiedades con el empleo de dicha realimentación. Por ejemplo, cabe aumentar la alta resistencia de entrada de un amplificador de tensión, y también cabe disminuir aún más la normalmente

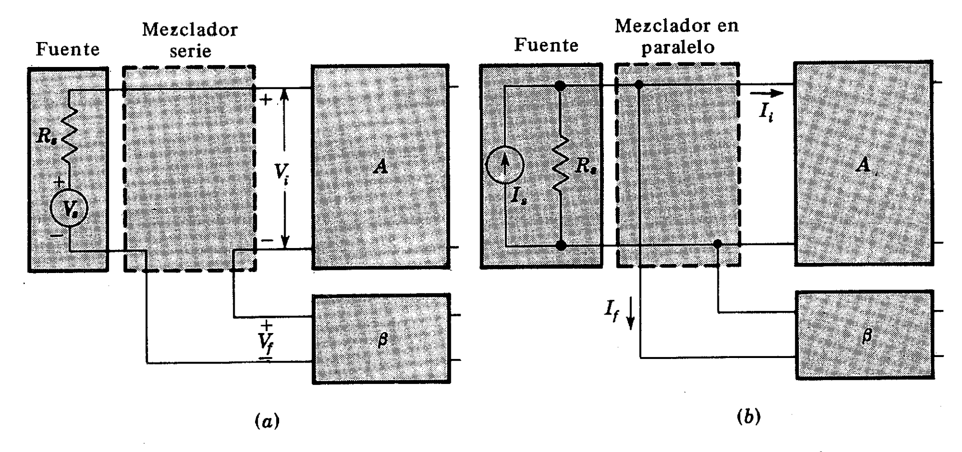


Fig. 13-7. Conexiones de realimentación a la entrada de un amplificador básico. (*a*) Comparación en serie. (*b*) Mezcla en paralelo

baja resistencia de salida. También la ganancia de transferencia A_f de un amplificador con realimentación negativa puede estabilizarse contra las variaciones de los parámetros h o híbridos-II de los transistores o de los parámetros de otros elementos activos del amplificador. Otro importante beneficio de una realimentación apropiada es la mejor respuesta en frecuencia y el funcionamiento más lineal del amplificador con realimentación, que el de otro sin ella.

Deberá tenerse en cuenta que todas las ventajas mencionadas más arriba se obtienen a expensas de la ganancia A_f con realimentación, menor que la ganancia de transferencia A de un amplificador sin realimentación. También (en determinadas circunstancias que se citarán en el próximo capítulo), un amplificador con realimentación negativa puede perder estabilidad y oscilar. En el capítulo 14, se indicarán las precauciones que conviene tomar para evitar estos efectos contraproducentes.

13-3. GANANCIA DE TRANSFERENCIA CON REALIMENTACION

Cualquiera de las conexiones de salida de la Fig. 13-6 puede combinarse con cualquiera de las de entrada de la Fig. 13-7 para formar el amplificador realimentado de la Fig. 13-5. El análisis del amplificador con realimentación puede llevarse a cabo sustituyendo cada elemento activo (transistor, FET o tubo de vacío) por su modelo de pequeña señal y escribiendo las ecuaciones de Kirchoff para mallas o para nudos. Esta aproximación, sin embargo, no pone en evidencia las principales características de la realimentación.

Vamos a considerar la Fig. 13-8 para dar un primer paso hacia un método de análisis que ponga de manifiesto los beneficios de la realimentación en un amplificador realimentado ideal. El amplificador básico de la Fig. 13-8 puede ser un amplificador de tensión, de transconductancia, de corriente o de transresistencia, realimentado como indica la Fig. 13-9. Las cuatro topologías indicadas en esta figura corresponden a: (1) *realimentación de tensión en serie,* (2) *realimentación de corriente en serie,* (3) *realimentación de corriente en paralelo* y (4) *realimentación de tensión en paralelo.* En la Fig. 13-8, la resistencia de la fuente R_s se considera como parte del amplificador, y en la ganancia de transferencia A (A_V, G_M, A_I, R_M) se incluyen los efectos de la carga que representa β de la red (así como R_L) sobre el amplificador. La señal de entrada X_s, la de salida X_o, la de realimentación X_f, y la de diferencia X_d, representan tensiones o corrientes. La Tabla 13-2 resume estas

TABLA 13-2 Señales de tensión y de corriente en los amplificadores realimentados

Señal o relación	Tipo de realimentación: Tensión en serie Fig. 13-9*a*	Corriente en serie Fig. 13-9*b*	Corriente en paralelo Fig. 13-9*c*	Tensión en paralelo Fig. 13-9*d*
X_o	Tensión	Corriente	Corriente	Tensión
X_s, X_f, X_d	Tensión	Tensión	Corriente	Corriente
A	A_V	G_M	A_I	R_M
β	V_f/V_o	V_f/I_o	I_f/I_o	I_f/V_o

señales así como las relaciones A y β. El símbolo indicado por una circunferencia en la Fig. 13-8 representa una red de comparación o mezcladora, cuya salida es la suma de las

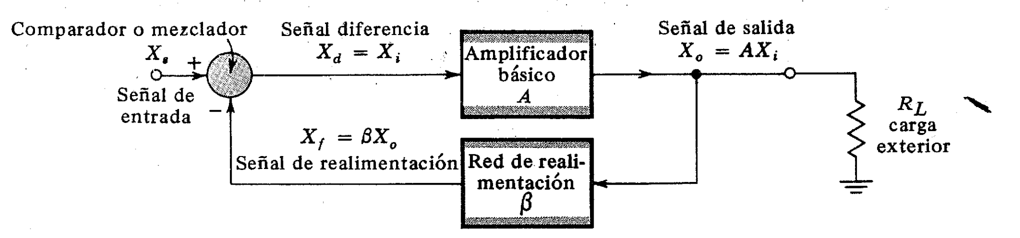


Fig. 13-8. Representación esquemática de un amplificador realimentado de un solo lazo

dos entradas, teniendo en cuenta el signo indicado en cada entrada. O sea:

$$X_d = X_s - X_f = X_i \tag{13-1}$$

Por lo que X_d representa la diferencia entre la señal aplicada y la de realimentación, y se denomina *señal diferencia, de error o de comparación.*

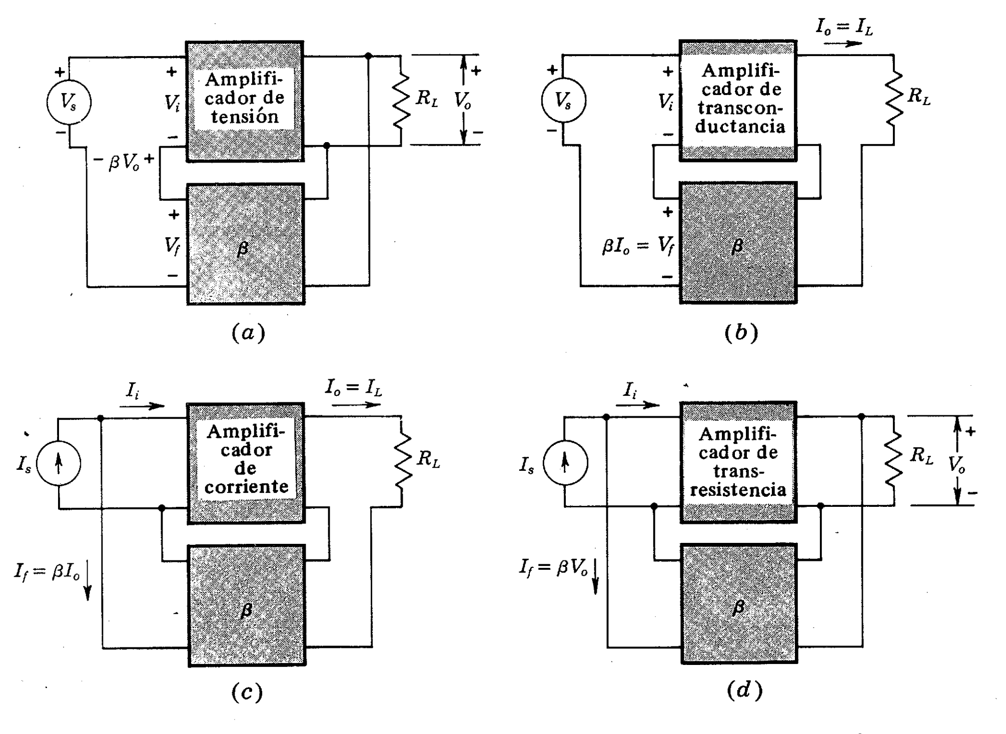


Fig. 13-9. Topologías de amplificadores realimentados. La resistencia de fuente se considera como parte del amplificador. (*a*) Amplificador de tensión con realimentación de tensión en serie. (*b*) Amplificador de transconductancia con realimentación de corriente en serie. (*c*) Amplificador de corriente don realimentación de corriente en paralelo. (*d*) Amplificador de transresistencia con realimentación de tensión en paralelo

El factor de transmisión inversa β se define como

$$\beta \equiv \frac{X_f}{X_o} \tag{13-2}$$

Comúnmente, el factor β es un número real positivo o negativo, pero en general β deberá considerarse como una función compleja de la frecuencia de la señal. (No se debe confundir este signo con el β empleado anteriormente para la ganancia de corriente en cortocircuito en EC.) El símbolo X_o es la tensión de salida, o la corriente de salida (carga).

La ganancia de transferencia A se define por:

$$A \equiv \frac{X_o}{X_i} \tag{13-3}$$

Sustituyendo las Ecs. (13-1) y (13-2) en la (13-3), se obtiene la ganancia con realimentación A_f

$$A_f \equiv \frac{X_o}{X_s} = \frac{A}{1 + \beta A} \tag{13-4}$$

La cantidad A de las ecuaciones (13-3) y (13-4) representa la ganancia de transferencia del amplificador correspondiente sin realimentación, pero *incluyendo la carga debida a* β, R_L y R_s. En la siguiente sección se deducen muchos de los aspectos deseables de la realimentación, partiendo de la relación fundamental representada por la Ec. (13-4).

Si $|A_f| < |A|$, la realimentación se denomina *negativa* o *degenerativa.* Si $|A_f| > |A|$, la realimentación es *positiva* o *regenerativa.* En la Ec. (13-4) se observa que, en caso de realimentación negativa, la ganancia del amplificador básico ideal con realimentación está dividida por $|1 + \beta A|$, que es superior a la unidad.

Ganancia del lazo. La señal X_d de la Fig. 13-8 se multiplica por A, al pasar por el amplificador, por β en la transmisión a través de la red de realimentación, y por -1 en la red mezcladora o diferencial. De esta manera se recorre desde los terminales de entrada, por el amplificador y la red de realimentación hasta hallar nuevamente la entrada; el producto $-A\beta$ se denomina *ganancia del lazo,* o *relación de retorno.* La diferencia entre la unidad y la ganancia del lazo se denomina *diferencia del retorno* $D = 1 + A\beta$. Asimismo, la cantidad que aporta la realimentación a un amplificador se expresa a menudo en decibelios y se define como:

$$N = \text{dB de la realimentación} = 20 \log \left|\frac{A_f}{A}\right| = 20 \log \left|\frac{1}{1 + A\beta}\right| \tag{13-5}$$

Si la realimentación es negativa, N es un número negativo.

Suposiciones fundamentales. La red de realimentación de la Fig. 13-8 debe satisfacer tres condiciones para que la Ec. (13-4) se cumpla verdaderamente y para que las expresiones de las resistencias de entrada y de salida (obtenidas en las secciones 13-5 y 13-6) sean válidas.

1. La señal de entrada se transmite a la salida a través del amplificador A, y *no* a través de la red β. En otras palabras, si se desactiva A (haciendo la amplificación nula, ya sea anulando h_{fe}, o bien g_m), la señal de salida debe caer a cero.

Este primer supuesto equivale a decir que el sistema tiene un sentido unidireccional por el bloque β, o sea que *no* transmite señal de la entrada a la salida (sino tan sólo en sentido inverso). Muchas veces, esta condición no se satisface plenamente porque β es una red bilateral pasiva. No obstante, es válida para los circuitos prácticos de realimentación, como podremos comprobar en todos y cada uno de los amplificadores con realimentación que consideraremos.

2. La señal de realimentación se transmite de la salida a la entrada, únicamente a través del circuito β, y *no* por el amplificador. En otras palabras, el amplificador básico es unidireccional desde la entrada a la salida y la transmisión en sentido inverso es nula. Obsérvese que los amplificadores de las figuras 13-1 a 13-4 satisfacen esta condición unidireccional (éste no sería el caso del amplificador a transistores para baja frecuencia, que tuviese $h_{fe} \neq 0$).

3. El factor de transmisión inversa β de la red de realimentación es independiente de las resistencias de la carga y de la fuente R_L y R_s.

Para cada topología estudiada, se puntualizarán las aproximaciones adoptadas.

13-4. CARACTERISTICAS GENERALES DE LOS AMPLIFICADORES CON REALIMENTACION NEGATIVA[3]

Si la realimentación negativa reduce la ganancia de transferencia, ¿para qué emplearla? Podemos responder a esto diciendo que, gracias a esta reducción, logramos características muy apreciables. Veamos algunas de las ventajas de la realimentación negativa.

Estabilidad de la amplificación de transferencia. Las variaciones debidas al envejecimiento, temperatura, sustitución, etc., de los componentes de un circuito y de las características de un transistor o un FET se reflejan en la correspondiente pérdida de estabilidad de la ganancia de transferencia del amplificador. Se denomina *sensibilidad* de la ganancia a la relación entre la variación relativa de la amplificación con realimentación y sin ella. Derivando la Ec. (13-4) respecto a A, resulta en valores absolutos:

$$\left|\frac{dA_f}{A_f}\right| = \frac{1}{|1 + \beta A|} \left|\frac{dA}{A}\right| \tag{13-6}$$

con lo que la sensibilidad es $1/|1 + \beta A|$. Así, por ejemplo, si la sensibilidad es 0,1, el tanto por ciento de variación en la ganancia, con realimentación, es la décima parte de la variación sin realimentación. A la inversa de la sensibilidad se le denomina *desensibilidad* D, o

$$D \equiv 1 + \beta A \tag{13-7}$$

En el caso de que a un amplificador se le agregue una realimentación, el cambio relativo de su ganancia queda dividido por la desensibilidad D. [Obsérvese de pasada que la desensibilidad es otro nombre de la diferencia del retorno, y que el valor de la realimenta-

ción es $-20 \log D$ (Ec. 13-5)]. Para un amplificador con 20 dB de realimentación negativa, $D = 10$; de ahí que, por ejemplo, a un 5 % de variación en la ganancia sin realimentación le corresponda solamente un 0,5 % en el caso de existir ésta.

Nótese que, después de agregar una realimentación Ec. (13-4), la ganancia de transferencia queda dividida por la desensibilidad. O sea:

$$A_f = \frac{A}{D} \tag{13-8}$$

En particular, si $|\beta A| \gg 1$, entonces

$$A_f = \frac{A}{1 + \beta A} \approx \frac{A}{\beta A} = \frac{1}{\beta} \tag{13-9}$$

y la ganancia puede hacerse totalmente dependiente de la red de realimentación. Los peores enemigos de la estabilidad suelen ser los elementos activos (transistores). Si la red de realimentación contiene solamente elementos pasivos estables, es evidente que se habrá aumentado considerablemente la estabilidad. Puesto que A representa cualquiera de los valores A_V, G_M, A_I o R_M; A_f representará las correspondientes ganancias de transferencia con realimentación: A_{Vf}, G_{Mf}, A_{If} o R_{Mf}. La topología determina cuál es la relación de transferencia (Tabla 13-2) que se estabiliza. Por ejemplo, con realimentación de tensión en serie, la Ec. (13-9) indica que $A_{Vf} \approx 1/\beta$, con lo que se estabiliza la ganancia de tensión. Para la realimentación de corriente en serie, la Ec. (13-9) da $G_{Mf} \approx 1/\beta$ y, por lo tanto, para esta topología, se estabiliza la ganancia de transconductancia. En forma parecida, se deduce de la Ec. (13-9), que se estabiliza la ganancia de corriente con una realimentación de corriente en paralelo ($A_{If} \approx 1/\beta$) y la ganancia de transresistencia se estabiliza con una realimentación de tensión en paralelo ($R_{Mf} \approx 1/\beta$).

Para mejorar la estabilidad, la realimentación se empleará de la siguiente forma. Supongamos que se desea un amplificador de ganancia A_1. Empezaremos por construir un amplificador de ganancia $A_2 = DA_1$, en el que D tenga un valor elevado. Introduzcamos ahora una realimentación que divida la ganancia por el factor D, y la estabilidad será mejorada por el mismo factor D, puesto que ambas, la ganancia y la inestabilidad, quedan divididas por la desensibilidad D. Si la inestabilidad del amplificador de ganancia A_2 no es apreciablemente mayor que la de un amplificador sin realimentación de ganancia A_1, el procedimiento ha conseguido sus objetivos. Ocurre muchas veces, en la práctica, que la ganancia de un amplificador puede aumentarse considerablemente sin una disminución apreciable de estabilidad. Por ejemplo, la ganancia de tensión de un transistor puede aumentar elevando la resistencia de colector R_c.

Distorsión de frecuencia. A partir de la Ec. (13-9), se deduce que, si la red de realimentación no contiene elementos reactivos, la ganancia total no es función de la frecuencia. En estas condiciones, se consigue una notable disminución en la distorsión de frecuencia y de fase. La respuesta en frecuencia de un amplificador realimentado la analizaremos en el próximo capítulo.

Si se emplea como red de realimentación una red selectiva con la frecuencia, β depende también de la frecuencia, y la amplificación a su vez puede depender notablemente de la misma. Por ejemplo, cabe obtener un amplificador con una característica de paso de banda de Q elevado, empleando una red de realimentación que provea una pequeña realimentación en el centro de la banda y mucha a ambos lados de esta frecuencia.

Distorsión no lineal. Supongamos que se aplica a una etapa de un amplificador una señal de gran amplitud, de manera que su funcionamiento se extienda ligeramente más allá de los límites de su linealidad; ello trae consigo una señal de salida algo distorsionada. Si ahora se introduce una realimentación negativa, y la señal de entrada se aumenta en la misma cuantía en que se reduce la ganancia, la señal de salida permanecerá prácticamente la misma. Para mayor simplicidad, consideremos que la señal de entrada es senoidal y que la distorsión consiste simplemente en la generación del segundo armónico en el elemento activo. Supongamos que este segundo armónico, en ausencia de realimentación, es igual a B_2. Debido a los efectos de la realimentación, aparece una componente B_{2f} en la salida. Vayamos a hallar la relación entre B_{2f} y B_2; en la salida, aparece el término $-A\beta B_{2f}$ que procede de la componente $-\beta B_2 f$ que alimenta nuevamente la entrada. Así, la salida contendrá los términos β_2, generado en el transistor, y $-A\beta B_{2f}$, que representa los efectos de la realimentación. Por tanto:

$$B_2 - A\beta B_{2f} = B_{2f}$$

o

$$B_{2f} = \frac{B_2}{1 + \beta A} = \frac{B_2}{D} \tag{13-10}$$

Como A y β son por lo general funciones de la frecuencia, deben calcularse para la frecuencia del segundo armónico.

La señal X_s del amplificador realimentado puede ser una señal real externa, o la salida de un amplificador anterior a las etapas realimentadas. Para aumentar la entrada al amplificador realimentado en $|1 + A\beta|$ es necesario aumentar la ganancia de las etapas preamplificadoras, o sumar una nueva etapa. Para obtener toda la ventaja de reducir la distorsión no lineal de un amplificador realimentado, las etapas preamplificadoras no deben introducir una distorsión adicional, debida al aumento de la salida que se les exige. Desde luego, ya que sólo se producen armónicos apreciables cuando la oscilación de salida es demasiado grande, la mayor distorsión aparece en la última etapa. En la generación de armónicos, las etapas preamplificadoras tienen una importancia mucho menor.

Se ha supuesto en la deducción de la Ec. (13-10) que la pequeña distorsión adicional debida a la componente del segundo armónico en la realimentación desde la salida a la entrada, es despreciable. Esto lleva consigo un pequeño error y, por lo tanto, conviene destacar que los resultados de la Ec. (13-10) sólo son aplicables para pequeñas distorsiones. En la deducción se ha empleado el principio de la superposición, y por esta razón es necesario que el dispositivo trabaje en una zona aproximadamente lineal.

Reducción del ruido. Empleando los mismos razonamientos que para el caso de la distorsión no lineal, podríamos llegar a la conclusión de que, debido a la realimentación, el ruido introducido en un amplificador queda dividido por el factor D. Si D es un factor mucho mayor que la unidad, podría parecer que hay una considerable reducción del ruido de salida. No obstante, tal como se ha indicado anteriormente, para una salida dada, la amplificación del preamplificador, debe incrementarse en un factor D. Debido a que el ruido es independiente de la amplitud de la señal, éste puede ser generado por igual en los preamplificadores que en la etapa final. Por otra parte, este ruido adicional se amplifica igual que la propia señal por el amplificador realimentado, con lo que podría resultar un amplificador más ruidoso que el primitivo sin realimentar. Se obtendrán mejores resulta-

dos si logramos compensar la ganancia extra necesaria debida a la realimentación, mediante la modificación de los parámetros del circuito, mejor que agregando nuevas etapas amplificadoras. Con ello se consiguen resultados muy satisfactorios cuando se trata de eliminar el zumbido propio de una alimentación mal filtrada.

13-5. RESISTENCIA DE ENTRADA[4]

Vamos a estudiar ahora, cualitativamente, los efectos en la resistencia de entrada de la topología de los amplificadores realimentados. Si la señal de realimentación vuelve a la entrada en serie con la tensión aplicada (independientemente de que la realimentación se obtenga por muestreo de la tensión o de la corriente de salida), aumenta *la resistencia de entrada.* Como la tensión de realimentación V_f se opone a V_s, la corriente de entrada I_i es menor de la que tendríamos en ausencia de V_f. De ahí que la resistencia de entrada con realimentación $R_{if} \equiv V_s/I_i$ (Fig. 13-10) sea mayor que la resistencia de entrada sin realimentación R_i. Además, veremos luego que, para esta topología, $R_{if} = R_i(1 + \beta A) = R_i D$.

La realimentación negativa con el retorno de la señal a la entrada en *paralelo* con la señal aplicada (independientemente de que la realimentación se obtenga por muestreo de la tensión o de la corriente de salida) *disminuye la resistencia de entrada.* Como $I_s = I_i + I_f$ [Ec. (13-1)], entonces la corriente I_s que fluye desde la fuente de señal aumenta respecto a la que tendría si no hubiera realimentación de corriente. Por lo tanto, $R_{if} \equiv V_i/I_s$ (Fig. 13-11) decrece debido a este tipo de realimentación. Además, veremos luego que para esta topología $R_{if} = R_i/(1 + \beta A) = R_i/D$.

La Tabla 13-3 resume las características de los cuatro tipos de realimentación negativa: *Para la comparación en serie, $R_{if} > R_i$; en cambio para la mezcla en paralelo, $R_{if} < R_i$.*

TABLA 13-3 Efectos de la realimentación negativa en las características de un amplificador

	Tipo de realimentación			
	Tensión en serie	Corriente en serie	Corriente en paralelo	Tensión en paralelo
Referencia	Fig. 13-9*a*	Fig. 13-9*b*	Fig. 13-9*c*	Fig. 13-9*d*
R_{of}	Disminuye	Aumenta	Aumenta	Disminuye
R_{if}	Aumenta	Aumenta	Disminuye	Disminuye
Mejora de las características	Amplific. de tensión	Amplificador de transconductancia	Amplific. de corriente	Amplificador de transresistencia
Desensibilización	A_{Vf}	G_{Mf}	A_{If}	R_{Mf}
Anchura de banda	Aumenta	Aumenta	Aumenta	Aumenta
Distorsión no lineal	Disminuye	Disminuye	Disminuye	Disminuye

Realimentación de tensión en serie. Vamos a obtener el valor cuantitativo de R_{if}. La topología de la Fig. 13-9*a* se indica en la Fig. 13-10, pero reemplazando el amplificador por su modelo de Thévenin. En este circuito, A_v (correspondiente a la A_{vs} del Cap. 8) representa la ganancia de tensión en circuito abierto *teniendo en cuenta R_s*. Tal como

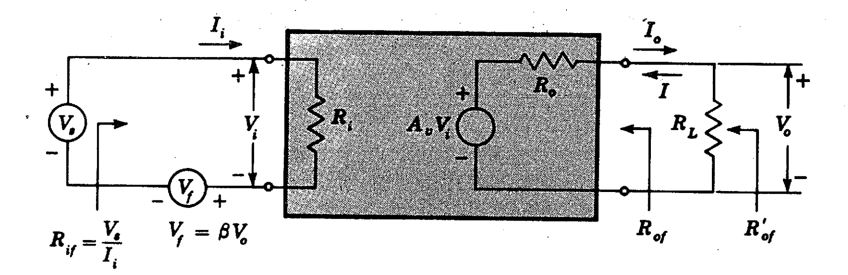


Fig. 13-10. Circuito de realimentación de tensión en serie, para calcular las resistencias de entrada y de salida

hemos hecho en la explicación de los amplificadores realimentados, consideraremos R_s como parte del amplificador, y prescindiremos del subíndice s en la ganancia de transferencia y en la resistencia de entrada (A_v por A_{vs}, R_i por R_{is}, R_{if} por R_{ifs}, G_m por G_{ms}, etc.).

Por la Fig. 13-10, la impedancia de entrada con realimentación es $R_{if} = V_s/I_i$. También

$$V_s = I_iR_i + V_f = I_iR_i + \beta V_o \tag{13-11}$$

y

$$V_o = \frac{A_vV_iR_L}{R_o + R_L} = A_VI_iR_i \tag{13-12}$$

donde:

$$A_V \equiv \frac{V_o}{V_i} = \frac{A_vR_L}{R_o + R_L} \tag{13-13}$$

Entre las ecuaciones (13-11) y (13-12):

$$R_{if} = \frac{V_s}{I_i} = R_i(1 + \beta A_V) \tag{13-14}$$

donde A_v representa la ganancia de tensión en circuito abierto sin realimentación. La Ec. (13-13) indica que A_V es la ganancia de tensión sin realimentación teniendo en cuenta la carga R_L. De otra forma:

$$A_v = \lim_{R_L \to \infty} A_V \tag{13-15}$$

Realimentación de corriente en serie. Procediendo de la misma manera para la topología de la Fig. 13-9*b*, se obtiene

$$R_{if} = R_i(1 + \beta G_M) \tag{13-16}$$

donde

$$G_m = \lim_{R_L \to 0} G_m \tag{13-17}$$

y

$$G_M \equiv \frac{I_o}{V_i} = \frac{G_m R_o}{R_o + R_L} \tag{13-18}$$

Obsérvese que G_m es la transconductancia en cortocircuito, y, G_M la transconductancia sin realimentación pero teniendo en cuenta la carga. Las Ecs. (13-14) y (13-16) confirman el hecho de que, para una mezcla en serie, $R_{if} > R_i$.

Realimentación de corriente en paralelo. La Fig. 13-11 representa la topología de la Fig. 13-9*c*, reemplazando el amplificador por el modelo de Norton correspondiente. En este circuito, A_i representa la ganancia de corriente en cortocircuito *teniendo en cuenta* R_s. Partiendo de la Fig. 13-11

$$I_s = I_i + I_f = I_i + \beta I_o \tag{13-19}$$

e

$$I_o = \frac{A_i R_o I_i}{R_o + R_L} = A_I I_i \tag{13-20}$$

donde

$$A_I \equiv \frac{I_o}{I_i} = \frac{A_i R_o}{R_o + R_L} \tag{13-21}$$

De las ecuaciones (13-19) y (13-20):

$$I_s = (1 + \beta A_I) I_i \tag{13-22}$$

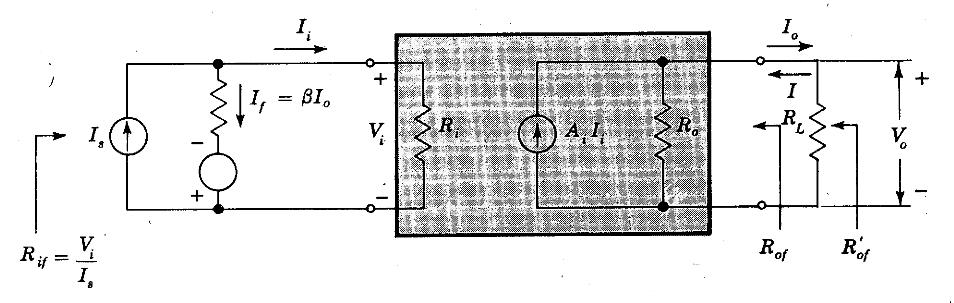


Fig. 13-11. Circuito de realimentación de corriente en paralelo, empleado para calcular las resistencias de entrada y de salida

Por la Fig. 13-11, $R_{if} = V_i/I_s$ y $R_i = V_i/I_i$. Empleando la Ec. (13-22), obtendremos:

$$R_{if} = \frac{V_i}{(1 + \beta A_I) I_i} = \frac{R_i}{1 + \beta A_I} \tag{13-23}$$

A_i representa la ganancia de corriente en cortocircuito, y la Ec. (13-21) indica que A_I *es la ganancia de corriente sin realimentación pero teniendo en cuenta la carga* R_L, por tanto

$$A_i = \lim_{R_L \to 0} A_I \tag{13-24}$$

Realimentación de tensión en paralelo. Procediendo de igual manera para la topología de la Fig. 13-9*d*, se obtiene

$$R_{if} = \frac{R_i}{1 + \beta R_M} \tag{13-25}$$

donde

$$R_M \equiv \frac{V_o}{I_i} = \frac{R_m R_L}{R_o + R_L} \tag{13-26}$$

Obsérvese que R_m es la transresistencia en circuito abierto; en cambio, R_M es la transresistencia sin realimentación pero teniendo en cuenta la carga. Por tanto:

$$R_m = \lim_{R_L \to \infty} R_M \tag{13-27}$$

Obsérvese que las Ecs. (13-23) y (13-25) confirman que, en la comparación en paralelo, $R_{if} < R_i$. La Tabla 13-4 resume las expresiones de R_{if}.

13-6. RESISTENCIA DE SALIDA[4]

Vamos a tratar ahora los efectos sobre la impedancia de salida de las distintas topologías de un amplificador realimentado. Una realimentación negativa con una muestra de la tensión de salida, sin tener en cuenta la forma de retorno de la señal desde la salida a la entrada, tiende a *disminuir la resistencia de salida.* Por ejemplo, si la R_L aumenta de forma que también crece V_o, el efecto de realimentar esta tensión hacia la entrada en forma degenerativa (realimentación negativa) da lugar a que V_o crezca menos de lo que haría si no hubiese realimentación. Por tanto, la tensión de salida tiende a permanecer constante cuando cambia R_L, lo cual significa que $R_{of} \ll R_L$. Este argumento lleva a la conclusión de que este tipo de realimentación (muestreando la tensión de salida) reduce la resistencia de salida. Por un razonamiento análogo al descrito, se deduce que la realimentación negativa de un muestreo de la corriente de salida, tiende a mantener ésta constante. Por tanto nace una fuente de corriente de salida ($R_{of} \gg R_L$), es decir, que este tipo de conexión aumenta la resistencia de salida.

En resumen (Tabla 13-3): *Para un muestreo de tensión, $R_{of} < R_o$; en cambio, para un muestreo de corriente, $R_{of} > R_o$.*

Realimentación de tensión en serie. Vamos a obtener ahora, cuantitativamente, la resistencia R_{of} con realimentación vista desde los terminales de salida pero con R_L desconectado. Para hallar R_{of} debemos eliminar la señal exterior (haciendo $V_s = 0$ o $I_s = 0$), hacer $R_L = \infty$, conectar una tensión V en los terminales de salida, y calcular la corriente I debida a V. Tendremos, $R_{of} \equiv V/I$. Partiendo de la Fig. 13-10, encontraremos que (reemplazando V_o por V):

$$I = \frac{V - A_v V_i}{R_o} = \frac{V + \beta A_v V}{R_o} \tag{13-28}$$

porque con $V_s = 0$, $V_i = -V_f = -\beta V$. De ahí que

$$R_{of} \equiv \frac{V}{I} = \frac{R_o}{1 + \beta A_v} \tag{13-29}$$

Obsérvese que R_o se divide por el factor de desensibilidad $1 + \beta A_v$, el cual contiene la ganancia de tensión en circuito abierto A_v (*no* A_V).

La resistencia de salida con realimentación R'_{of} *que incluye R_L como parte del amplificador* viene dada por R_{of} en paralelo con R_L, o sea:

$$R'_{of} = \frac{R_{of} R_L}{R_{of} + R_L} = \frac{R_o R_L}{1 + \beta A_v} \frac{1}{R_o/(1 + \beta A_v) + R_L} = \frac{R_o R_L}{R_o + R_L + \beta A_v R_L}$$
$$= \frac{R_o R_L/(R_o + R_L)}{1 + \beta A_v R_L/(R_o + R_L)} \tag{13-30}$$

Puesto que $R'_o = R_o \| R_L$ es la resistencia de salida sin realimentación, pero con R_L *considerado como parte del amplificador*, y empleando la Ec. (13-13) que relaciona A_V con A_v, obtendremos:

$$R'_{of} = \frac{R'_o}{1 + \beta A_V} \tag{13-31}$$

Obsérvese que R_o está dividido ahora por el factor de desensibilidad $1 + \beta A_V$, que contiene la ganancia de tensión A_V teniendo en cuenta R_L.

Realimentación de tensión en paralelo. Actuando como en el caso anterior, obtenemos para esta topología:

$$R_{of} = \frac{R_o}{1 + \beta R_m} \quad \text{y} \quad R'_{of} = \frac{R'_o}{1 + \beta R_M} \tag{13-32}$$

Véase que las Ecs. (13-31) y (13-32) confirman que, con muestreo de tensión, $R_{of} < R_o$.

Realimentación de corriente en paralelo. Partiendo de la Fig. 13-11, encontraremos (reemplazando V_o por V):

$$I = \frac{V}{R_o} - A_i I_i \tag{13-33}$$

con $I_s = 0$, $I_i = -I_f = -\beta I_o = +\beta I$. De ahí

$$I = \frac{V}{R_o} - \beta A_i I \quad \text{o} \quad I(1 + \beta A_i) = \frac{V}{R_o} \tag{13-34}$$

$$R_{of} = \frac{V}{I} = R_o(1 + \beta A_i) \tag{13-35}$$

Obsérvese que R_o está multiplicado por el factor de desensibilidad $1 + \beta A_i$, el cual contiene la ganancia de corriente en cortocircuito A_i (*no* A_I).

La resistencia de salida R'_{of} que incluye R_L como parte del amplificador, no viene dada por $R'_o(1 + \beta A_I)$, como podría parecer. Encontraremos la correcta expresión de la siguiente forma:

$$R'_{of} = \frac{R_{of} R_L}{R_{of} + R_L} = \frac{R_o(1 + \beta A_i) R_L}{R_o(1 + \beta A_i) + R_L}$$
$$= \frac{R_o R_L}{R_o + R_L} \frac{1 + \beta A_i}{1 + \beta A_i R_o/(R_o + R_L)} \tag{13-36}$$

Empleando la Ec. (13-21) y con $R' = R_o \| R_L$ obtenemos

$$R'_{of} = R'_o \frac{1 + \beta A_i}{1 + \beta A_I} \tag{13-37}$$

Para $R_L = \infty$, $A_I = 0$ y $R'_o = R_o$, y la Ec. (13-37) queda reducida a:

$$R'_{of} = R_o(1 + \beta A_i)$$

de acuerdo con la ecuación (13-35).

Realimentación de corriente en serie. Procediendo como más arriba, obtenemos para esta topología:

$$R_{of} = R_o(1 + \beta G_m) \quad \text{y} \quad R'_{of} = R'_o \frac{1 + \beta G_m}{1 + \beta G_M} \tag{13-38}$$

Obsérvese que las Ecs. (13-37) y (13-38) confirman que, para un muestreo de corriente, $R_{of} > R_o$. Las expresiones para R_{of} y R'_{of} están resumidas en la Tabla 13-4. Las deducciones anteriores *no* suponen que la red sea resistiva, y por tanto, si A o β son

funciones de la frecuencia, R deberá sustituirse por Z en la Tabla 13-4. Entonces, $Z_{if}(Z_{of})$ son las impedancias de entrada (y de salida) con realimentación.

13-7. METODO DE ANALISIS DE UN AMPLIFICADOR REALIMENTADO

Conviene separar el amplificador realimentado en dos bloques; el amplificador básico A y la red de realimentación β, ya que, conociendo A y β, podremos calcular las características más importantes del sistema realimentado, es decir A_f, R_{if} y R_{of}. El amplificador básico sin realimentación, *pero incluida la carga que represente la red* β puede obtenerse[5] aplicando las siguientes reglas:

Para hallar el circuito de entrada:

1. Hacer $V_o = 0$ para el muestreo de tensión. En otras palabras; cortocircuitar la salida.
2. Hacer $I_o = 0$ para el muestreo de corriente. Dicho de otra manera, abrir la red de salida.

Para hallar el circuito de salida:

1. Hacer $V_i = 0$ para la comparación en paralelo. En otras palabras, cortocircuitar la entrada.
2. Hacer $I_i = 0$ para la comparación en serie. Dicho de otra manera, abrir la red de entrada.

Este procedimiento asegura que la realimentación se reduzca a cero sin alterar la carga del amplificador básico.

El análisis completo del amplificador realimentado se obtiene aplicando las siguientes secuencias:

1. Identificar la topología. (*a*) ¿La señal de realimentación X_f es una tensión o una corriente? En otras palabras, ¿X_f está aplicada en serie o en paralelo con la excitación exterior? (*b*) ¿La muestra de señal X_o es una tensión o una corriente? Dicho de otra manera, ¿la muestra de señal está tomada del nudo o de la malla de salida?
2. Dibujar el circuito del amplificador base sin realimentación, siguiendo las reglas indicadas anteriormente.
3. Emplear un generador de Thévenin si X_f es una tensión y uno de Norton si X_f es una corriente.
4. Reemplazar cada uno de los dispositivos activos por el modelo apropiado (por ejemplo, el modelo híbrido-II para un transistor de alta frecuencia, o el modelo de parámetros h para baja frecuencia).
5. Indicar X_f y X_o en el circuito obtenido por la aplicación de los apartados 2, 3 y 4. Evaluar $\beta = X_f/X_o$.
6. Hallar A aplicando las leyes de Kirchhoff al circuito equivalente obtenido en el apartado 4.
7. Con A y β, hallar D, A_f, R_{if}, R_{of} y R'_{of}.

La Tabla 13-4 resume el procedimiento anterior y deberemos referirnos a ella cuando analicemos los circuitos con realimentación que veremos en las secciones siguientes. Consideraremos tan sólo la respuesta a baja frecuencia, ya que el análisis para alta frecuencia está reservado para el siguiente capítulo.

13-8. REALIMENTACION DE TENSION EN SERIE

En esta sección vamos a considerar dos ejemplos de la topología de tensión en serie: un amplificador FET en drenaje común (seguidor de fuente), y un amplificador bipolar a transistores en colector común (seguidor de emisor). En la sección siguiente, daremos una configuración de tensión en serie con dos etapas a transistores.

El FET seguidor de fuente. El circuito está representado en la Fig. 13-12*a*. La señal de realimentación es la tensión V_f en los extremos de R, y la señal muestreada es la tensión de salida V_o en R. Por lo tanto, este será el caso de una realimentación de tensión en serie, y deberemos referirnos a la primera topología de la Tabla 13-4.

TABLA 13-4 Análisis del amplificador realimentado

Característica \ Topología	(1) Tensión en serie	(2) Corriente en serie	(3) Corriente en paralelo	(4) Tensión en paralelo
Señal de realiment. X_f ...	Tensión	Tensión	Corriente	Corriente
Señal muestreada X_o	Tensión	Corriente	Corriente	Tensión
P. hallar el lazo de ent., fijar*	$V_o = 0$	$I_o = 0$	$I_o = 0$	$V_o = 0$
P. hallar el lazo de sal., fijar*	$I_i = 0$	$I_i = 0$	$V_i = 0$	$V_i = 0$
Fuente de señal	Thévenin	Thévenin	Norton	Norton
$\beta = X_f/X_o$	V_f/V_o	V_f/I_o	I_f/I_o	I_f/V_o
$A = X_o/X_i$	$A_V = V_o/V_i$	$G_M = I_o/V_i$	$A_I = I_o/I_i$	$R_M = V_o/I_i$
$D = 1 + \beta A$	$1 + \beta A_V$	$1 + \beta G_M$	$1 + \beta A_I$	$1 + \beta R_M$
A_f	A_V/D	G_M/D	A_I/D	R_M/D
R_{if}	$R_i D$	$R_i D$	R_i/D	R_i/D
R_{of}	$\frac{R_o}{1 + \beta A_v}$	$R_o(1 + \beta G_m)$	$R_o(1 + \beta A_i)$	$\frac{R_o}{1 + \beta R_m}$
$R'_{of} = R_{of} \| R_L$	$\frac{R'_o}{D}$	$R'_o \frac{1 + \beta G_m}{D}$	$R'_o \frac{1 + \beta A_i}{D}$	$\frac{R'_o}{D}$

* Este procedimiento da el circuito del amplificador básico sin realimentación, pero teniendo en cuenta la carga de β, R_L y R_S.

Podemos ahora dibujar el amplificador base sin realimentación. Para hallar el circuito de entrada, pondremos $V_o = 0$, y por tanto V_s aparecerá directamente entre G y S. Para hallar el circuito de salida, haremos $I_i = 0$ (la malla de entrada abierta) y por tanto sólo aparece R en el lazo de salida. Siguiendo estas reglas, obtenemos la Fig. 13-12*b*. Si se reemplaza el FET por su modelo de baja frecuencia de la Fig. 10-8, el resultado será la Fig. 13-12*c*. En este caso, V_f y V_o son iguales, y $\beta = V_f/V_o = 1$.

Esta topología estabiliza la ganancia de tensión. A_V se calcula observando la Fig. 13-12*c*. Si no hay realimentación $V_i = V_s$, entonces:

$$A_V = \frac{V_o}{V_i} = \frac{g_m V_s r_d R}{(r_d + R) V_s} = \frac{\mu R}{r_d + R} \tag{13-39}$$

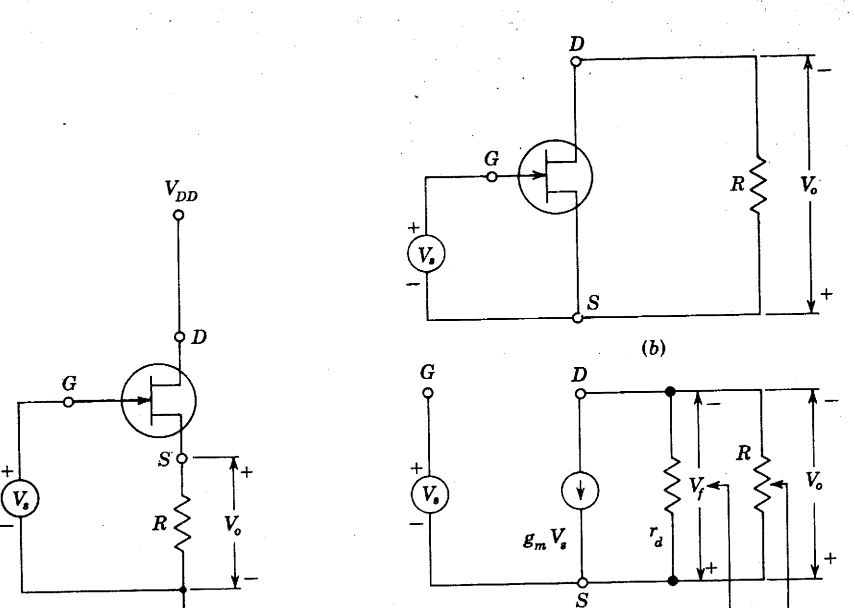


Fig. 13-12. (*a*) Seguidor de fuente. (*b*) Amplificador sin realimentación. (*c*) Sustitución del FET por su modelo para bajas frecuencias y pequeña señal

siendo $\mu = g_m r_d$ de la Ec. (10-15)

$$D = 1 + \beta A_V = 1 + \frac{\mu R}{r_d + R} = \frac{r_d + (1+\mu)R}{r + R} \tag{13-40}$$

$$A_{Vf} = \frac{A_V}{D} = \frac{\mu R}{r_d + (1+\mu)R} \tag{13-41}$$

La impedancia de entrada de un FET es infinita, $R_i = \infty$, y por lo tanto $R_{if} = R_i D = \infty$. Nos interesa conocer la resistencia de salida vista desde la fuente S del FET. De ahí que se considere R como una carga exterior R_L. De la Tabla 13-4:

$$R_{of} = \frac{R_o}{1 + \beta A_v} = \frac{r_d}{1 + \mu} \tag{13-42}$$

ya que $R_o = r_d$ de la Fig. 13-12*c*, $\beta = 1$ y $A_v = \lim_{R \to \infty} A_V = \mu$ de la Ec. (13-15).

También de la Tabla 13-4:

$$R'_{of} = \frac{R'_o}{D} = \frac{R r_d}{R + r_d} \cdot \frac{r_d + R}{r_d + (\mu + 1)R} = \frac{R r_d}{r_d + (\mu + 1)R} \tag{13-43}$$

Obsérvese que

$$R_{of} = \lim_{R \to \infty} R'_{of} = \frac{r_d}{\mu + 1}$$

lo que está de acuerdo con la Ec. (13-42).

Ya que las tres suposiciones apuntadas en la Sec. 13-2 se satisfacen, los resultados anteriores son exactos y concuerdan con los obtenidos en la sección 10-8, sin emplear las fórmulas de la realimentación.

El seguidor de emisor. Consideremos el circuito de la Fig. 13-13*a*. La señal de realimentación es la tensión V_f en R_e, y la señal muestreada es V_o en R_e. Este caso es, pues, el de realimentación de tensión en serie, y debemos referirnos a la primera topología de la Tabla 13-4.

Dibujaremos el amplificador base sin realimentación. Para hallar el circuito de entrada, hagamos $V_o = 0$, y por tanto V_s aparece en serie con R_s entre B y E. Para hallar el circuito de salida, haremos $I_i = I_b = 0$ (la malla de entrada abierta), y por tanto R_e aparece solamente en la malla de salida. Siguiendo estas reglas se obtiene el circuito de la Fig. 13-13*b*. Si se sustituye el transistor por su modelo aproximado para baja frecuencia de la Fig. 8-23, el resultado está en la Fig. 13-13*c*. De esta representación, $V_o = V_f$ y $\beta = V_o/V_f = 1$.

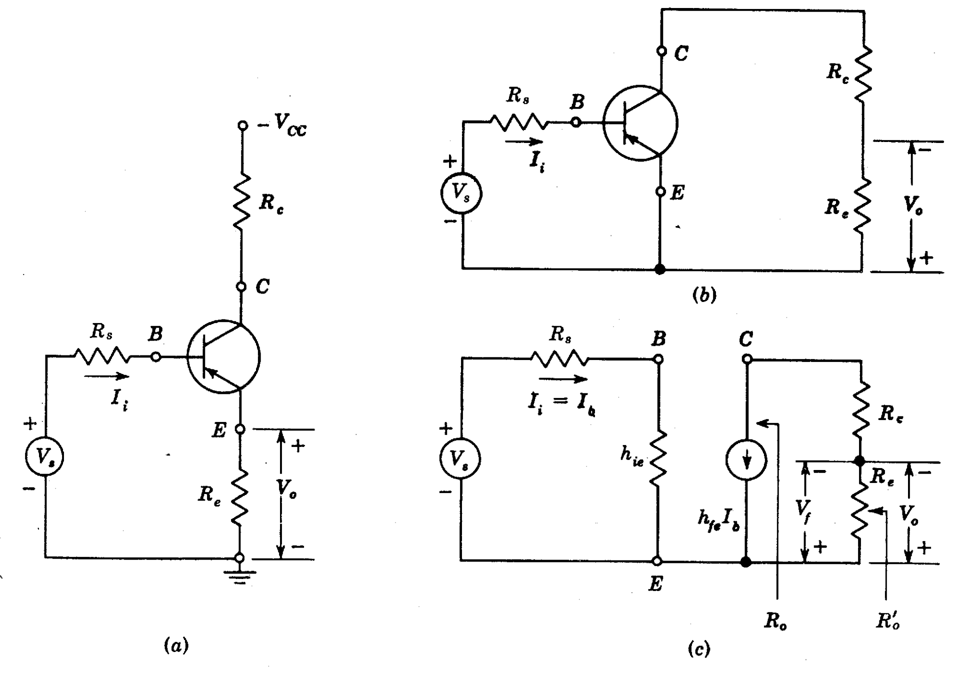


Fig. 13-13. (*a*) Seguidor de emisor, (*b*) amplificador sin realimentación, y (*c*) transistor reemplazado por su modelo aproximado a baja frecuencia

Esta topología estabiliza la ganancia de tensión. A_V se puede calcular observando la Fig. 13-13c, en la que R_s se considera como parte del amplificador; entonces $V_i = V_s$, y

$$A_V = \frac{V_o}{V_i} = \frac{h_{fe} I_b R_e}{V_s} = \frac{h_{fe} R_e}{R_s + h_{ie}} \tag{13-44}$$

$$D = 1 + \beta A_V = 1 + \frac{h_{fe} R_e}{R_s + h_{ie}} = \frac{R_s + h_{ie} + h_{fe} R_e}{R_s + h_{ie}} \tag{13-45}$$

$$A_{Vf} = \frac{A_V}{D} = \frac{h_{fe} R_e}{R_s + h_{ie} + h_{fe} R_e} \tag{13-46}$$

para $h_{fe} R_e \gg R_s + h_{ie}$, $A_{Vf} \approx 1$, como debe ser para un seguidor de emisor.

La resistencia de entrada sin realimentación es $R_i = R_s + h_{ie}$ para la Fig. 13-13c. Por lo tanto,

$$R_{if} = R_i D = (R_s + h_{ie}) \frac{R_s + h_{ie} + h_{fe} R_e}{R_s + h_{ie}} = R_s + h_{ie} + h_{fe} R_e \tag{13-47}$$

Es interesante observar la resistencia vista desde el emisor; de ahí que se considere a R_e como una carga exterior. De la Tabla 13-4:

$$R_{of} = \frac{R_o}{1 + \beta A_v} = \frac{\infty}{\infty} \tag{13-48}$$

ya que, de la Fig. 13-3c, consideramos una fuente de corriente $R_o = \infty$ y de la Ec. (13-15) $A_v = \lim_{R_e \to \infty} A_V = \infty$. La indeterminación de la Ec. (13-48) puede resolverse calculando primero R'_{of} y buscando entonces el límite para $R_e \to \infty$. Por lo tanto, si $R'_o = R_e$

$$R'_{of} = \frac{R'_o}{D} = \frac{R_e(R_s + h_{ie})}{R_s + h_{ie} + h_{fe} R_e} \tag{13-49}$$

y

$$R_{of} = \lim_{R_e \to \infty} R'_{of} = \frac{R_s + h_{ie}}{h_{fe}} \tag{13-50}$$

Observemos que la realimentación desensibiliza la ganancia de tensión respecto a las variaciones de h_{fe}, y que aumenta la resistencia de entrada y disminuye la de salida.

Las expresiones precedentes para A_{Vf}, R_{if}, y R_{of} están basadas en el supuesto de que la transmisión de la red de realimentación en sentido directo es nula. Pero como existe alguna transmisión directa, ya que la corriente de entrada pasa a través de R_e en la Fig. 13-13a, las expresiones anteriores sólo son aproximadas. En este ejemplo, efectivamente hemos despreciado la corriente de base que atraviesa R_e, comparada con la corriente del colector. En la Sec. 8-8 se han dado soluciones más exactas que sólo difieren de las anteriores en que h_{fe} queda sustituido por $h_{fe} + 1$.

13-9. PAR CON REALIMENTACION DE TENSION EN SERIE

En la Fig. 13-14 se observan dos etapas en cascada cuyas ganancias son, respectivamente, A_{V1} y A_{V2}. La salida de la segunda etapa se devuelve en oposición a la señal de entrada, a través de la red de realimentación $R_1 R_2$. Evidentemente, se trata de una realimentación negativa de tensión en serie. De acuerdo con la Tabla 13-3, cabe esperar que la resistencia de entrada aumente, la de salida disminuya, y la ganancia de tensión quede estabilizada (desensibilizada).

La primera suposición básica apuntada en la Sec. 13-3 no se cumple estrictamente en el circuito de la Fig. 13-14a, porque I' representa la transmisión de la entrada a la salida a través de la red de realimentación. Deberemos despreciar I' comparado con I, en el supuesto realista de que la ganancia de corriente de la segunda etapa sea mucho mayor que la unidad. En estas circunstancias, se comete un error muy pequeño al emplear las fórmulas de realimentación desarrolladas en el presente capítulo.

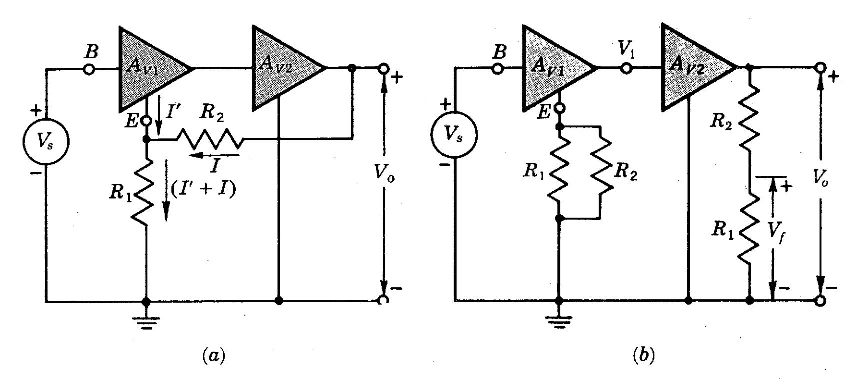


Fig. 13-14. (*a*) Par con realimentación de tensión en serie. (*b*) Circuito equivalente sin realimentación exterior, pero incluyendo la carga R_2

La entrada del circuito básico sin realimentación se halla haciendo $V_o = 0$ (Tabla 13-4) y por tanto R_2 aparece en paralelo con R_1. La salida del amplificador base sin realimentación se halla abriendo el circuito de entrada (haciendo $I' = 0$), y entonces R_1 queda en serie con R_2. Siguiendo todas estas reglas, resultará la Fig. 13-14b, en la que se ha añadido la tensión de realimentación en serie V_f de R_1 en el circuito de salida. Evidentemente,

$$\beta = \frac{V_f}{V_o} = \frac{R_1}{R_1 + R_2} \tag{13-51}$$

Par con realimentación del segundo colector al primer emisor. El circuito de la Fig. 13-15 representa un amplificador de dos etapas en el que se emplea la realimentación de tensión en serie conectando el segundo colector al primer emisor mediante un divisor de tensión $R_1 R_2$. Los condensadores C_1, C_2, C_5 y C_6 son de bloqueo de la componente continua, y los C_3 y C_4 son condensadores de desacoplo para las resistencias de polarización de emisor. Todos estos condensadores presentan una reactancia despreciable a las

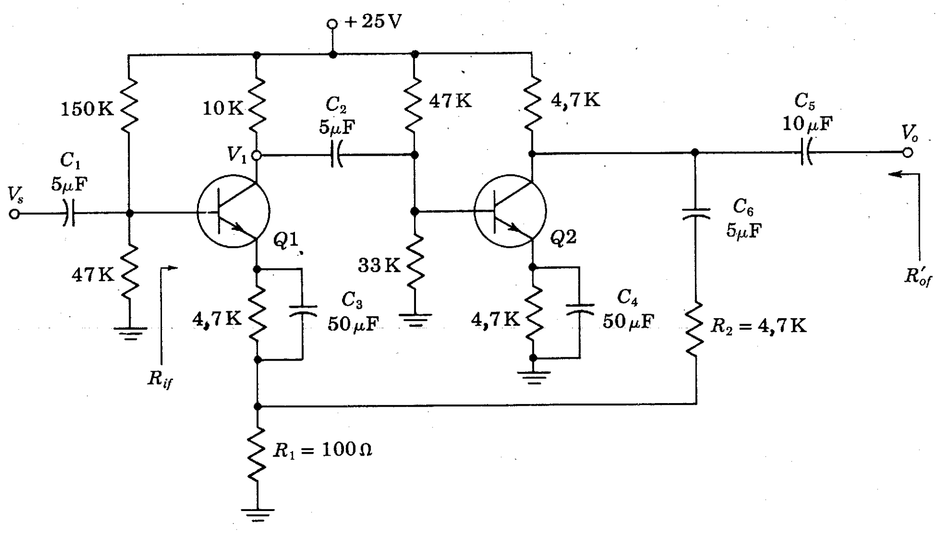


Fig. 13-15. Par con realimentación del segundo colector al primer emisor

frecuencias de trabajo de este circuito. Para este amplificador, la ganancia de tensión A_{Vf} viene dada aproximadamente por $1/\beta$, y por tanto está estabilizado frente a los cambios de temperatura o sustitución de transistores. Tanto la determinación más correcta de A_{Vf} como el cálculo de las resistencias de entrada y de salida figuran en el siguiente problema ilustrativo.

Ejemplo. Calcular A_{Vf}, R_{of}, y R_{if} para el amplificador de la Fig. 13-15, suponiendo $R_s = 0$, $h_{fe} = 50$, $h_{ie} = 1{,}1$ K, $h_{re} = h_{oe} = 0$, y transistores idénticos.

SOLUCION. Calcularemos primero la ganancia de tensión total sin realimentación, $A_V = A_{V1}A_{V2}$. La carga efectiva R'_{L1} del transistor $Q1$ será:

$$R'_{L1} = 10 \| 47 \| 33 \| 1{,}1 \text{ K} = 942\ \Omega$$

En la Fig. 13-14*b* vemos que la carga efectiva R'_{L2} del transistor $Q2$ es la resistencia de colector $R_{c2} = 4{,}7$ K en paralelo con $R_1 + R_2 = 4{,}8$ K,

$$R'_{L2} = 4{,}7 \| 4{,}8 = 2{,}37 \text{ K}$$

En la Fig. 13-14*b* observamos que la impedancia efectiva de emisor R_e de Q_1 es $R_1 \| R_2$ o sea:

$$R_e = R_1 \| R_2 = 0{,}1 \| 4{,}7 \text{ K} = 0{,}098 \text{ K} = 98\ \Omega$$

La ganancia de tensión A_{V1} de $Q1$ será, según la Ec. (8-60) y Fig. 13-14*b*, con $V_i = V_s$,

$$A_{V1} \equiv \frac{V_1}{V_i} = \frac{-h_{fe}R'_{L1}}{h_{ie} + (1 + h_{fe})R_e} = \frac{-50 \times 0{,}942}{1{,}1 + 51 \times 0{,}098} = -7{,}72$$

La ganancia de tensión A_{V2} de $Q2$ será, de la Ec. (8-52):

$$A_{V2} \equiv \frac{V_o}{V_1} = -h_{fe}\frac{R'_{L2}}{h_{ie}} = -50 \times \frac{237}{1{,}1} = -108$$

Por tanto la ganancia de tensión A_V de las dos etapas en cascada sin realimentación, será:

$$A_V \equiv \frac{V_o}{V_i} = A_{V1}A_{V2} = 7{,}72 \times 108 = 834$$

$$\beta = \frac{R_1}{R_1 + R_2} = \frac{100}{4\,800} = \frac{1}{48} \quad \text{y} \quad A_V\beta = \frac{834}{48} = 17{,}4$$

$$D = 1 + \beta A_V = 18{,}4$$

$$A_{Vf} = \frac{A_V}{D} = \frac{834}{18{,}4} = 45{,}4$$

Este valor es comparable con la solución aproximada (basándose en que $A_V \to \infty$) dada por $A_{Vf} = 1/\beta = 48$.

La resistencia de entrada sin realimentación exterior será, según la Ec. (8-55),

$$R_i \equiv h_{ie} + (1 + h_{fe})R_e = 1{,}1 + 51 \times 0{,}098 = 6{,}1 \text{ K}$$

De donde, de la Ec. (13-14):

$$R_{if} = R_iD = 6{,}1 \times 18{,}4 = 112 \text{ K}$$

La resistencia de salida sin realimentación será $R'_o = R'_{L2} = 2{,}37$ K. Por lo que, de la Tabla 13-4:

$$R'_{of} = \frac{R'_o}{D} = \frac{2{,}37}{18{,}4} \text{ K} = 129\ \Omega$$

Interesa resaltar que existe una realimentación interna (local) en la primera etapa de la Fig. 13-14*b* ya que la combinación de R_1R_2 en paralelo actúa como una resistencia de emisor. La primera etapa es un ejemplo de realimentación de corriente en serie, que analizaremos en la sección siguiente.

13-10. REALIMENTACION DE CORRIENTE EN SERIE

Vamos a considerar en esta sección dos ejemplos de la topología de corriente en serie. Primero analizaremos un transistor en emisor común, con resistencia R_e en el emisor. En segundo lugar, estudiaremos un amplificador FET en fuente común con resistencia R en la fuente.

La configuración con un transistor. El circuito viene representado en la Fig. 13-16*a*. La señal de realimentación es la tensión V_f en R_e y la señal muestreada se toma en la corriente de carga I_o. [En este caso, vamos a despreciar la corriente de base comparada

con la corriente de colector (carga)]. Este es un caso de realimentación de corriente en serie.

Debe observarse, de pasada, que si bien I_o es proporcional a V_o, *no* es correcto concluir que sea una realimentación de tensión en serie. Es decir, que si se toma como señal de salida la tensión V_o, entonces

$$\beta = \frac{V_f}{V_o} = \frac{-I_o R_e}{I_o R_L} = -\frac{R_e}{R_L}$$

y puesto que β es ahora función de la carga R_L, se viola la tercera suposición básica de la sección 13-3.

Debemos referirnos, pues, a la segunda topología de la Tabla 13-4. El circuito de entrada del amplificador sin realimentación se obtiene abriendo la malla de salida. Entonces debe aparecer R_e en el lado de entrada. En forma parecida, el circuito de salida se obtiene abriendo la malla de entrada, lo que sitúa R_e también en el circuito de salida. El circuito equivalente resultante aparece en la Fig. 13-16*b*. No se puede indicar toma de tierra en este circuito, porque esto equivaldría a acoplar la entrada a la salida a través de R_e; es decir, introduciría realimentación. El circuito de la Fig. 13-16*b* representa el amplificador básico sin realimentación, pero teniendo en cuenta la red de realimentación β como carga.

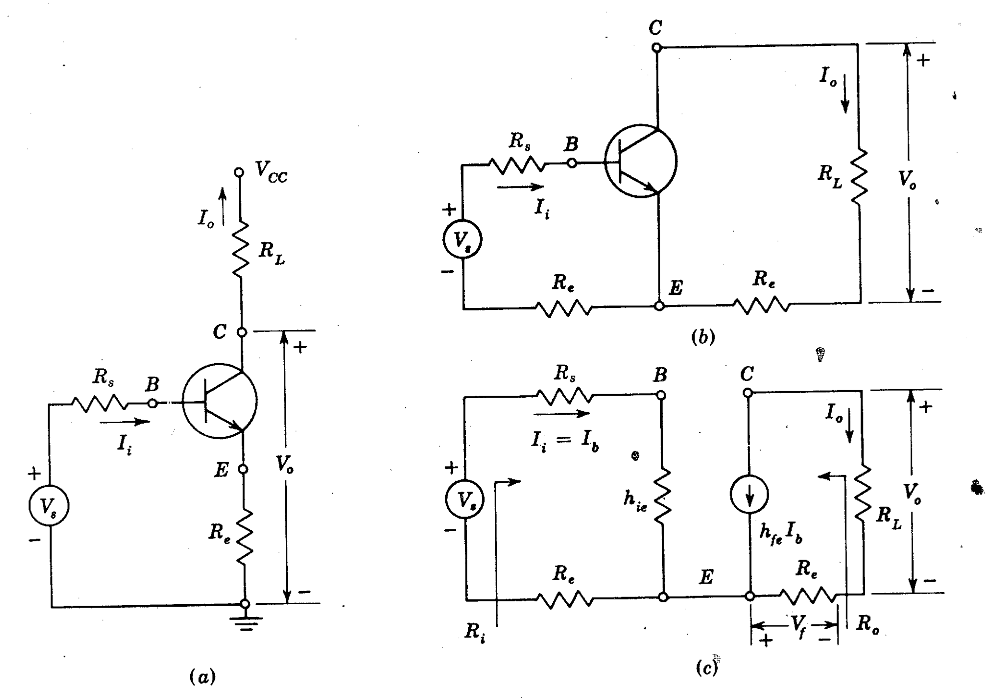


Fig. 13-16. (*a*) Amplificador con una resistencia de emisor desacoplada, como ejemplo de realimentación de corriente en serie. (*b*) El amplificador sin realimentación, pero incluyendo la carga de R_e. (*c*) Modelo que emplea los parámetros *h* para el transistor de (*b*)

Esta topología estabiliza la transconductancia G_M. En la Fig. 13-16*c*, el transistor es reemplazado por su modelo aproximado para baja frecuencia con los parámetros *h*. Como la tensión V_f de realimentación aparece en los extremos de R_e, en el circuito de salida, entonces, a partir de la Fig. 13-16*c*:

$$\beta = \frac{V_f}{I_o} = \frac{-I_o R_e}{I_o} = -R_e \qquad (13\text{-}52)$$

Como la señal de entrada V_i sin realimentación es la V_s de la Fig. 13-16*c*, entonces

$$G_M = \frac{I_o}{V_i} = \frac{-h_{fe} I_b}{V_s} = \frac{-h_{fe}}{R_s + h_{ie} + R_e} \qquad (13\text{-}53)$$

$$D = 1 + \beta G_M = 1 + \frac{h_{fe} R_e}{R_s + h_{ie} + R_e} = \frac{R_s + h_{ie} + (1 + h_{fe}) R_e}{R_s + h_{ie} + R_e} \qquad (13\text{-}54)$$

$$G_{Mf} = \frac{G_M}{D} = \frac{-h_{fe}}{R_s + h_{ie} + (1 + h_{fe}) R_e} \qquad (13\text{-}55)$$

Obsérvese que, si $(1 + h_{fe})R_e \gg R_s + h_{ie}$ y si $h_{fe} \gg 1$, entonces $G_{Mf} \approx -1/R_e$ de acuerdo con $G_{Mf} \approx 1/\beta$. Si R_e es una resistencia estable, la ganancia de transconductancia con realimentación queda estabilizada (desensibilizada). La corriente de carga viene dada por:

$$I_o = G_{Mf} V_s = \frac{-h_{fe} V_s}{R_s + h_{ie} + (1 + h_{fe}) R_e} \approx -\frac{V_s}{R_e} \qquad (13\text{-}56)$$

Con esta condición de que $(1 + h_{fe}) \gg R_s + h_{ie}$ y $h_{fe} \gg 1$, *la corriente de carga es directamente proporcional a la tensión de entrada, y tal corriente depende únicamente de R_e y de ningún otro circuito o parámetro del transistor.* Como ejemplo, consideremos que este circuito se emplea como excitador de la corriente de deflexión I_o en un osciloscopio magnético de rayos catódicos. La carga será entonces la impedancia del sistema de deflexión, que es una inductancia y cuya reactancia es proporcional a la frecuencia. Incluso así, por la Ec. (13-56), la corriente de carga es independiente de las características del sistema. Si se desea que la deflexión varíe linealmente con el tiempo, sólo será necesario engendrar una forma de onda de V_s que crezca linealmente con el tiempo (todo ello suponiendo que la deflexión del impacto en la superficie del tubo sea proporcional a la corriente).

La ganancia de tensión viene dada por

$$A_{Vf} = \frac{I_o R_L}{V_s} = G_{Mf} R_L = \frac{-h_{fe} R_L}{R_s + h_{ie} + (1 + h_{fe}) R_e} \qquad (13\text{-}57)$$

sujetándonos a las aproximaciones hechas más arriba, $A_{Vf} \approx -R_L/R_e$ y la ganancia de tensión será estable si R_L y R_e son resistencias estables.

En la Fig. 13-16*c*, vemos que $R_i = R_s + h_{ie} + R_e$. Con lo que, de la Ec. (13-16):

$$R_{if} = R_i D = R_s + h_{ie} + (1 + h_{fe})R_e \tag{13-58}$$

Debido a que R_s se considera como parte integrante del amplificador, aparece como un componente de la resistencia de entrada.

Puesto que $R_o = \infty$, entonces $R_{of} = R_o D = \infty$. Por consiguiente, $R'_{of} = R_L \| R_{of} = R_L$. Una alternativa de cálculo es emplear la Tabla 13-4, es decir:

$$R'_{of} = R'_o \frac{1 + \beta G_m}{1 + \beta G_M}$$

G_m representa la transconductancia en otro circuito por lo que $G_m = \lim_{R_L \to 0} G_M$ [Ec. (13-17)]. Asimismo, por la Ec. (13-53) G_M es independiente de R_L, y por consiguiente $G_m = G_M$ y $R'_{of} = R'_o = R_L$.

Los resultados anteriores concuerdan exactamente con los deducidos en la Sec. 8-15 porque se satisfacen las tres suposiciones citadas en la Sec. 13-4. Obsérvese, en particular, que si el amplificador se desactiva (haciendo $h_{fe} = 0$) entonces $I_o = 0$, lo que significa que absolutamente nada de la señal de entrada aparece en la salida a través de la realimentación. Por esto, la primera condición queda satisfecha aun cuando la red de realimentación β sea, simplemente, una resistencia R_e. Obsérvese que, para esta topología, no es necesario suponer que la corriente de base sea despreciable comparada con la corriente de colector.

Ejemplo. El circuito de la Fig. 13-16*a* debe tener una ganancia de transconductancia total de -1 mA/V, una ganancia de tensión de -4, y una desensibilidad de 50. Si $R_s = 1$ K, $h_{fe} = 150$ y $r_{bb'}$ es despreciable, hallar (*a*) R_e, (*b*) R_L (*c*) R_{if}, y (*d*) la corriente de reposo de colector I_C a temperatura ambiente.

SOLUCION. *a.* $G_{Mf} = \dfrac{G_M}{D} = \dfrac{G_M}{50} = -1$

o

$$G_M = -50 \text{ mA/V}$$

Como $\beta = -R_e$, entonces

$$D = 1 + \beta G_M = 1 + 50 R_e = 50$$

o

$$R_e = 0{,}98 \text{ K} \approx 1 \text{ K}$$

b. $A_{Vf} = G_{Mf} R_L$

o

$$R_L = \frac{A_{Vf}}{G_{Mf}} = \frac{-4}{-1} = 4 \text{ K}$$

c. De la Ec. (13-53).

$$G_M = -50 = \frac{-h_{fe}}{R_s + h_{ie} + R_e} = \frac{-150}{1 + h_{ie} + 1}$$

o

$$h_{ie} = 1 \text{ K}$$
$$R_i = R_s + h_{ie} + R_e = 3 \text{ K}$$
$$R_{if} = R_{iD} = (3)(50) = 150 \text{ K}$$

d. Partiendo de las ecuaciones (9-9) y (9-6)

$$h_{ie} = r_{bb'} + r_{b'e} \approx \frac{h_{fe}}{g_m} = \frac{h_{fe} V_T}{I_C}$$

o

$$I_C = \frac{h_{fe} V_T}{h_{ie}} = \frac{(150)(0{,}026)}{1} = 3{,}9 \text{ mA}$$

Etapa de FET en fuente común con una resistencia de fuente R. El circuito de la Fig. 13-17*a* es análogo a una etapa a transistores en emisor común con resistencia de emisor R_e. Procediendo como se hizo para el amplificador a transistores, se obtiene el circuito de la Fig. 13-17*b*. Reemplazando el FET por su modelo de baja frecuencia, resulta el circuito de la Fig. 13-17*c*. Sin realimentación, $V_i = V_s$ y

$$G_M = \frac{I_o}{V_i} = \frac{I_o}{V_s} = \frac{-g_m r_d}{r_d + R_L + R} = \frac{-\mu}{r_d + R_L + R} \tag{13-59}$$

donde $\mu = r_d g_m$ de la Ec. (10-15)

$$\beta = \frac{V_f}{I_o} = -R \tag{13-60}$$

$$D = 1 + \beta G_M = 1 + \frac{\mu R}{r_d + R_L + R} = \frac{r_d + R_L + (\mu + 1)R}{r_d + R_L + R} \tag{13-61}$$

$$G_{Mf} = \frac{G_M}{D} = \frac{-\mu}{r_d + R_L + (\mu + 1)R} \tag{13-62}$$

Como $R_i = \infty$, entonces

$$R_{if} = R_i D = \infty \tag{13-63}$$

Si se considera R_L como carga externa, entonces, de la Fig. 13-17*c*:

$$R_o = r_d + R$$

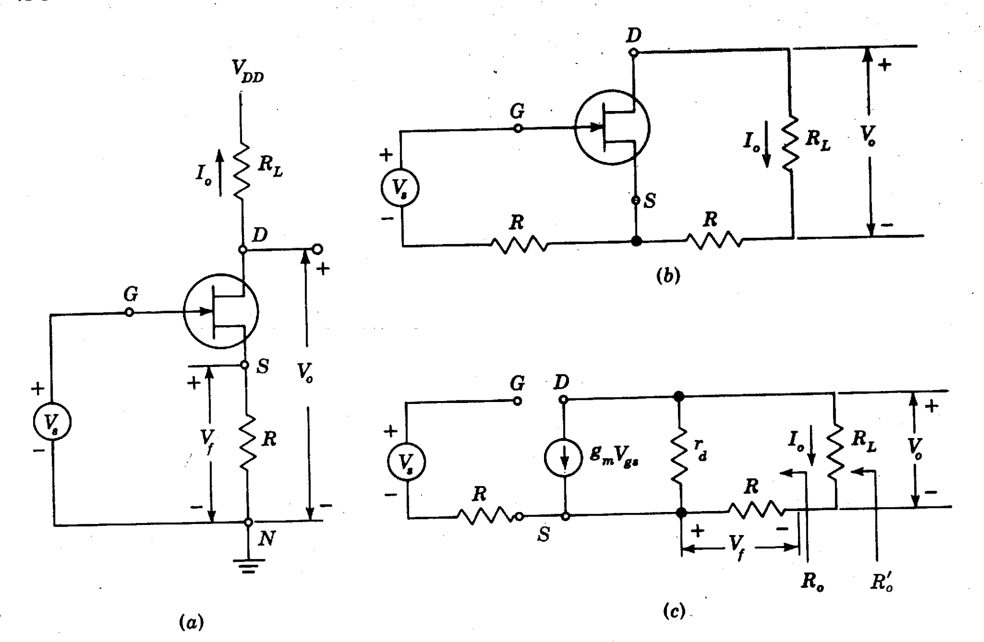


Fig. 13-17. (*a*) Un amplificador FET con una resistencia de fuente R. (*b*) El amplificador sin realimentación, pero incluyendo la carga de R. (*c*) Sustitución del FET por su modelo para baja frecuencia y pequeña señal

Para calcular R_{of} necesitamos G_m, y según la Ec. (13-17), $G_m = \lim_{R_L \to 0} G_M$. Como β es independiente de R_L, entonces, empleando la Ec. (13-61):

$$1 + \beta G_m = \lim_{R_L \to 0} D = \frac{r_d + (\mu + 1)R}{r_d + R} \tag{13-64}$$

$$R_{of} = R_o(1 + \beta G_m) = (r_d + R)\frac{r_d + (\mu + 1)R}{r_d + R} = r_d + (\mu + 1)R \tag{13-65}$$

Los resultados anteriores están de acuerdo con los obtenidos en la Sec. 10-7.

R'_{of} se calcula mucho más fácilmente como $R_L \| R_{of}$. Puede obtenerse el mismo resultado de la expresión de la Tabla 13-4, con $R'_o = Ro \| R_L$. O sea

$$R'_{of} = R'_o \frac{1 + \beta G_m}{D}$$

$$= \frac{(r_d + R)R_L}{r_d + R_L + R} \, \frac{r_d + (\mu + 1)R}{r_d + R} \, \frac{r_d + R_L + R}{r_d + R_L + (\mu + 1)R}$$

$$= \frac{R_L[r_d + (\mu + 1)R]}{r_d + R_L + (\mu+1)R} \tag{13-66}$$

que es equivalente a R_L en paralelo con R_{of}.

13-11. REALIMENTACION DE CORRIENTE EN PARALELO

En la Figura 13-18 se muestran dos transistores en cascada con realimentación desde el segundo emisor a la primera base a través de la resistencia R'. Vamos a comprobar que esta conexión da lugar a una realimentación negativa. La diferencia de potencial V_{i2} es mucho mayor que V_{i1} debido a la ganancia de tensión de $Q1$. Asimismo V_{i2} está defasada 180º respecto a V_{i1}, y, por el efecto de seguidor de emisor, V_{e2} sólo es ligeramente menor que V_{i2}, y estas tensiones están en fase. Por lo tanto, V_{e2} es mayor en magnitud que V_{i1}, y está defasado 180º respecto a ella. Si la señal de entrada aumenta de forma que I'_s aumente, I_f también aumentará, e $I_i = I'_s - I_f$ es menor de lo que sería si no hubiese realimentación. Este resultado es característico de la realimentación negativa.

Veremos ahora que la configuración de la Fig. 13-18 se aproxima a un par con realimentación de corriente en paralelo. Como $V_{e2} \gg V_{i1}$ y despreciando la corriente de base de $Q2$ frente la de colector,

$$I_f = \frac{V_{i1} - V_{e2}}{R'} \approx - \frac{V_{e2}}{R'} = \frac{(I_o - I_f)R_e}{R'} \tag{13-67}$$

o

$$I_f = \frac{R_e I_o}{R' + R_e} = \beta I_o \tag{13-68}$$

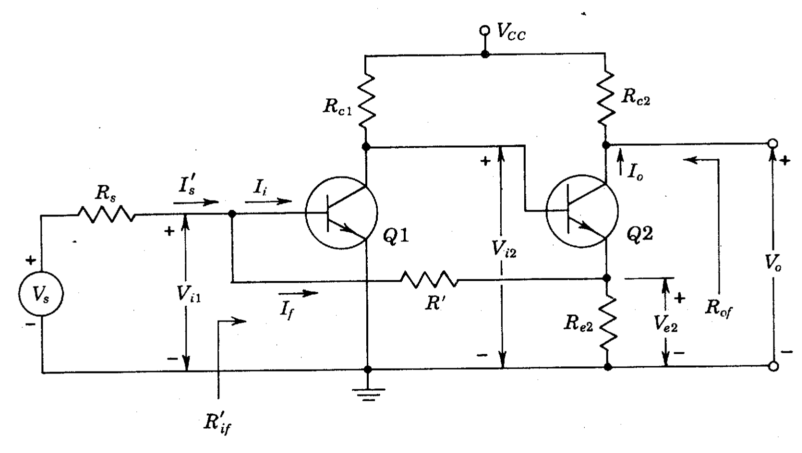


Fig. 13-18. Par con realimentación desde el segundo emisor a la primera base. (El condensador de bloqueo de entrada y las resistencias de polarización, no aparecen en la figura.)

donde $\beta = R_e/(R' + R_e)$. Puesto que la corriente de realimentación es proporcional a la corriente de salida, este circuito es un ejemplo de amplificador con realimentación de corriente en paralelo. De la Tabla 13-3 podemos esperar que la ganancia de transferencia (corriente) A_{If} sea estable.

$$A_{If} = \frac{I_o}{I_s} \approx \frac{1}{\beta} = \frac{R' + R_e}{R_e} \tag{13-69}$$

Con esto comprobamos que A_{If} es estable si R' y R_e son resistencias estables. Obsérvese que $I_s \equiv V_s/R_s$.

La Tabla 13-3 indica que la resistencia de entrada es baja y la de salida alta. Si, en la Fig. 13-18, se supone que $R'_{if} = 0$, entonces

$$V_s = I_s R_s = I'_s R_s$$

Y la ganancia de tensión con realimentación será

$$A_{Vf} = \frac{V_o}{V_s} = \frac{I_o R_{c2}}{I_s R_s} \approx \frac{R' + R_e}{R_e} \frac{R_{c2}}{R_s} = \frac{R_{c2}}{\beta R_s} \tag{13-70}$$

Obsérvese que, si R_e, R', R_{c2} y R_s son elementos estables, entonces A_{Vf} es estable (independientemente de los parámetros del transistor, de la temperatura, o de las variaciones de la tensión de alimentación).

El amplificador sin realimentación. Podemos referirnos a la tercera topología de la Tabla 13-4. El circuito de entrada del amplificador sin realimentación se obtiene abriendo

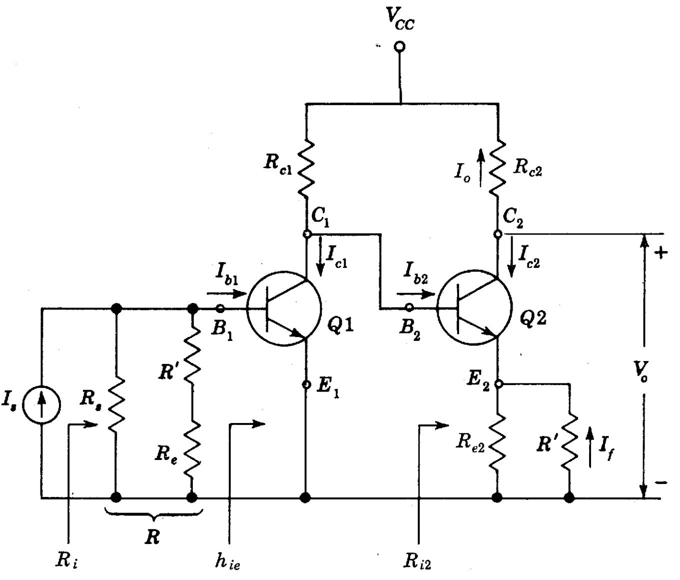


Fig. 13-19. El amplificador de la Fig. 13-18, sin realimentación pero incluyendo la carga de R'

el lazo de salida en el emisor de $Q2$. Esto sitúa a R' en serie con R_e entre la base y el emisor de $Q1$. El circuito de salida se halla cortocircuitando el nudo de entrada (base de $Q1$), lo que coloca R' en paralelo con R_e. El circuito equivalente resultante está representado en la Fig. 13-19. Como la señal de realimentación es una corriente, la fuente se representa por el circuito equivalente de Norton con $I_s = V_s/R_s$.

La señal de realimentación es la corriente I_f en la resistencia R', que está en el circuito de salida. De la Fig. 13-19, siendo $I_{b2} < I_{c2} = |I_o|$.

$$\beta = \frac{I_f}{I_o} = \frac{R_e}{R' + R_e} \tag{13-71}$$

de acuerdo con la Ec. (13-68).

Ejemplo. El circuito de la Fig. 13-18 tiene los siguientes parámetros: $R_{c1} = 3$ K, $R_{c2} = 500\ \Omega$, $R_{e2} = 50\ \Omega$, $R' = R_s = 1{,}2$ K, $h_{fe} = 50$, $h_{ie} = 1{,}1$ K y $h_{re} = h_{oe} = 0$. Hallar: (*a*) A_{Vf}; (*b*) R_{if}; (*c*) la resistencia vista desde la fuente de alimentación de tensión; y (*d*) la resistencia de salida.

SOLUCION. *a.* Como la ganancia de corriente está estabilizada, calcularemos A_{If} de A_I, para luego obtener A_{Vf} de A_{If}. Refiriéndonos a la Fig. 13-19,

$$A_I = \frac{-I_{c2}}{I_s} = \frac{-I_{c2}}{I_{b2}} \frac{I_{b2}}{I_{c1}} \frac{I_{c1}}{I_{b1}} \frac{I_{b1}}{I_s} \tag{13-72}$$

Empleando los modelos aproximados para baja frecuencia con parámetros h, de los transistores $Q1$ y $Q2$:

$$\frac{-I_{c2}}{I_{b2}} = -h_{fe} = -50 \qquad \frac{I_{c1}}{I_{b1}} = +h_{fe} = +50 \tag{13-73}$$

$$\frac{I_{b2}}{I_{c1}} = \frac{-R_{c1}}{R_{c1} + R_{i2}} = \frac{-3}{3 + 3{,}55} = -0{,}457 \tag{13-74}$$

ya que, por la Ec. (13-58):

$$R_{i2} = h_{ie} + (1 + h_{fe})(R_e \| R') = 1{,}1 + (51)\left(\frac{0{,}05 \times 1{,}20}{1{,}25}\right) = 3{,}55 \text{ K}$$

Si se define R como:

$$R \equiv R_s \| (R' + R_e) = \frac{(1{,}2)(1{,}25)}{1{,}2 + 1{,}25} = 0{,}612 \text{ K} \tag{13-75}$$

entonces, de la Fig. 13-19:

$$\frac{I_{b1}}{I_s} = \frac{R}{R + h_{ie}} = \frac{0{,}61}{0{,}61 + 1{,}1} = 0{,}358 \tag{13-76}$$

Sustituyendo los valores numéricos de las Ecs. (13-73), (13-74), y (13-76) en la ecuación (13-72), encontraremos:

$$A_I = (-50)(-0{,}457)(50)(0{,}358) = +406$$

$$\beta = \frac{R_e}{R' + R_e} = \frac{50}{1\,250} = 0{,}040$$

$$D = 1 + \beta A_I = 1 + (0{,}040)(406) = 17{,}2$$

$$A_{If} = \frac{A_I}{D} = \frac{406}{17{,}2} = 23{,}6$$

$$A_{Vf} = \frac{V_o}{V_s} = \frac{-I_{c2}R_{c2}}{I_s R_s} = \frac{A_{If}R_{c2}}{R_s} = \frac{(23{,}6)(0{,}5)}{1{,}2} = 9{,}83$$

La expresión aproximada de la Ec. (13-70) da:

$$A_{Vf} \approx \frac{R_{c2}}{\beta R_s} = \frac{0{,}5}{(0{,}040)(1{,}2)} = 10{,}4$$

lo cual significa un error del 6 %.

b. De la Fig. 13-19, la impedancia de entrada sin realimentación vista desde la fuente de corriente de entrada, será, empleando la Ec. (13-75),

$$R_i = R \| h_{ie} = \frac{(0{,}61)(1{,}1)}{1{,}71} = 0{,}394 \text{ K}$$

y por la Tabla 13-4, la resistencia R_{if} con realimentación vista desde la fuente de corriente es:

$$R_{if} = \frac{R_i}{D} = \frac{394}{17{,}2} = 23{,}0\ \Omega$$

c. Obsérvese que la resistencia de entrada es muy reducida tal como se había predicho. Si la resistencia, vista a la derecha de R_s (de la base al emisor de $Q1$) en la Fig. 13-18, es R'_{if}, entonces $R_{if} = R'_{if} \| R_s$, o

$$23{,}0 = \frac{1\,200\, R'_{if}}{1\,200 + R'_{if}}$$

lo cual da $R'_{if} = 23{,}4\ \Omega$. Entonces, de la Fig. 13-18, la resistencia con realimentación vista desde la fuente de tensión V_s es:

$$R_s + R'_{if} = 1\,200 + 23{,}4\ \Omega = 1{,}22 \text{ K}$$

d. Si R_{c2} se considera como una carga exterior, entonces R_o será la resistencia vista desde el colector de $Q2$. Como $h_{oe} = 0$, entonces $R_o = \infty$. De la Tabla 13-4, $R_{of} = R_o (1 + \beta A_i) = \infty$.

De los cálculos del apartado *a*, observamos que A_I es independiente de la carga $R_L = R_{c2}$. De ahí que $A_i = \lim_{R_{c2}\to 0} A_I = A_I$. Como $R'_o = R_o \| R_{c2} = R_{c2}$, entonces, de la Tabla 13-4:

$$R'_{of} = R'_o \frac{1 + \beta A_i}{1 + \beta A_I} = R'_o = R_{c2} = 500\ \Omega$$

R'_{of} puede calcularse también como la relación entre la tensión V_o en circuito abierto y la corriente I_o de salida en cortocircuito. Como para $h_{oe} = 0$, $I_o = -I_{c2}$ es independiente de R_{c2}, tendremos

$$R'_{of} = \frac{V_o}{I_o} = \frac{V_o}{V_s}\frac{V_s}{I_s}\frac{I_s}{I_o} = \frac{A_{Vf}R_s}{A_{If}} = \frac{(9{,}83)\times(1{,}2)}{23{,}6} = 0{,}50 \text{ K}$$

de acuerdo con el valor encontrado empleando la Tabla 13-4.

13-12. REALIMENTACION DE TENSION EN PARALELO

La Fig. 13-20*a* corresponde a una etapa en emisor común, con una resistencia R' conectada entre la salida y la entrada. Vamos a demostrar, en primer lugar, que esta configuración corresponde a una topología de tensión en paralelo, y seguidamente obtendremos las expresiones aproximadas de la transresistencia y de la ganancia de tensión con realimentación.

En el circuito de la Fig. 13-20*a*, la tensión de salida V_o es mucho mayor que la de entrada V_i y está defasada 180° respecto a ella. De ahí que:

$$I_f = \frac{V_i - V_o}{R'} \approx -\frac{V_o}{R'} = \beta V_o \qquad (13\text{-}77)$$

donde $\beta = -\dfrac{1}{R'}$. Puesto que la corriente de realimentación es proporcional a la tensión de salida, este circuito es un ejemplo de *amplificador con realimentación de tensión en*

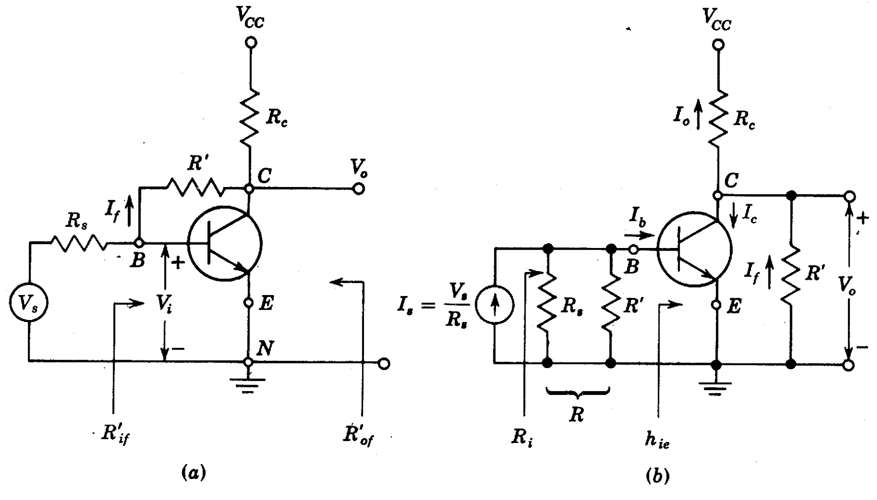


Fig. 13-20. (*a*) Realimentación de tensión en paralelo. (*b*) El amplificador sin realimentar, pero incluyendo la carga de R'

paralelo. De la Tabla 13-3 hemos de esperar que la ganancia de transferencia (de transresistencia) R_{Mf} esté estabilizada. De la Ec. (13-9)

$$R_{Mf} \equiv \frac{V_o}{I_s} \approx \frac{I}{\beta} = -R' \tag{13-78}$$

Obsérvese que la transresistencia es igual al valor negativo de la resistencia de realimentación entre la salida y la entrada del transistor, y será estable si R' lo es.

Según la Tabla 13-3 las dos resistencias de salida y de entrada son bajas porque se trata de una realimentación de tensión en paralelo. Si suponemos que $R'_{if} = 0$, la ganancia de tensión con realimentación será:

$$A_{Vf} = \frac{V_o}{V_s} = \frac{V_o}{I_s R_s} \approx \frac{1}{\beta R_s} = -\frac{R'}{R_s} \tag{13-79}$$

en donde se ha empleado la Ec. (13-78). Obsérvese que, si R' y R_s son elementos estables, A_{Vf} será estable (independientemente de las variaciones de los parámetros del transistor, de la temperatura y de la tensión de alimentación).

El amplificador sin realimentación. Vamos a referirnos a la cuarta topología de la Tabla 13-4. El circuito de entrada del amplificador sin realimentación se obtiene cortocircuitando la salida ($V_o = 0$). Esto sitúa R' entre la base y el emisor del transistor. El circuito de salida se halla cortocircuitando la entrada ($V_i = 0$), conectando a R' entre colector y emisor. El circuito equivalente resultante viene dado por la Fig. 13-20*b*. Como la señal de realimentación es una corriente, la fuente se representa por un circuito equivalente de Norton con $I_s = V_s/R_s$.

La señal de realimentación es la corriente I_f en la resistencia R' que está en el circuito de salida. De la Fig. 13-20*b*

$$\beta = \frac{I_f}{V_o} = -\frac{1}{R'} \tag{13-80}$$

de acuerdo con la Ec. (13-78).

La primera suposición de la Sec. 13-3 no queda exactamente satisfecha. Si se desactiva el amplificador haciendo h_{fe} igual a cero, pasa una corriente I_f a través de la red de realimentación β (la resistencia R') de la entrada a la salida. Esta corriente viene dada por

$$I_f = \frac{V_s}{R_o + R' + R_c}$$

La corriente de salida I_o con el amplificador activado es

$$I_o = \frac{V_o}{R_c} = \frac{A_{Vf} V_s}{R_c}$$

De ahí que la condición que se debe cumplir para que la transmisión directa a través de la red de realimentación pueda despreciarse, sea $|I_o| \gg |I_f|$, o

$$|A_{Vf}| \gg \frac{R_c}{R_s + R' + R_c} \tag{13-81}$$

Como la ganancia de tensión es por lo menos igual a la unidad, esta desigualdad se satisface fácilmente haciendo $R_s + R' \gg R_c$.

Ejemplo. El circuito de la Fig. 13-20 tiene los siguientes parámetros: $R_c = 4$ K, $R' = 40$ K, $R_s = 10$ K, $h_{ie} = 1{,}1$ K, $h_{fe} = 50$ y $h_{re} = h_{oe} = 0$. Hallar (*a*) A_{Vf}, (*b*) R_{if}, y (*c*) R'_{of}.

SOLUCION. *a.* Como la transresistencia está estabilizada, primero calcularemos R_{Mf} a partir de R_M. Definamos R'_c y R por

$$R'_c \equiv R_c \| R' = \frac{(4)(40)}{44} = 3{,}64 \text{ K} \tag{13-82}$$

y

$$R \equiv R_s \| R' = \frac{(10)(40)}{50} = 8 \text{ K} \tag{13-83}$$

De la Fig. 13-20*b*

$$R_M = \frac{V_o}{I_s} = \frac{-I_c R'_c}{I_s} = \frac{-h_{fe} I_b R'_c}{I_s} = \frac{-h_{fe} R'_c R}{R + h_{ie}} \tag{13-84}$$

$$R_M = \frac{(-50)(3{,}64)(8)}{8 + 1{,}1} = -160 \text{ K}$$

$$\beta = -\frac{1}{R'} = -\frac{1}{40} = -0{,}025 \text{ mA/V}$$

$$D = 1 + \beta R_M = 1 + 0{,}025 \times 160 = 5{,}00$$

$$R_{Mf} = \frac{R_M}{D} = \frac{-160}{5{,}00} = -32{,}0 \text{ K}$$

(13-85)

$$A_{Vf} = \frac{V_o}{V_s} = \frac{V_o}{I_s R_s} = \frac{R_{Mf}}{R_s}$$

o

$$A_{Vf} = \frac{-32{,}0}{10} = -3{,}20$$

b. De la Fig. 13-20*b*

$$R_i = \frac{R h_{ie}}{R + h_{ie}} = \frac{(8)(1{,}1)}{9{,}1} = 0{,}968 \text{ K} = 968\ \Omega$$

Por la Tabla 13-4

$$R_{if} = \frac{R_i}{D} = \frac{968}{5{,}00} = 193\ \Omega$$

Obsérvese que la resistencia de entrada es pequeña, como se había predicho.

Si la resistencia de entrada vista a la derecha de R_s (desde la base al emisor en la Fig. 13-20*a*) es R'_{if} entonces $R_{if} = R'_{if} \| R_s$. Resolviendo, encontramos que $R'_{if} = 196\ \Omega$. La impedancia vista desde la fuente de tensión V_s será $R_s + R_{if} = 10{,}2$ K.

c. Si R_c se considera como una carga exterior, la resistencia de salida, despreciando la realimentación, es $R_o = R' = 40$ K. Así

$$R_m = \lim_{R_c \to \infty} R_M = \frac{-h_{fe}R'R}{R + h_{ie}} = \frac{(-50)(40)(8)}{8 + 1{,}1} = -1\ 760\ \text{K},$$

ya que en la Ec. (13-83) $\lim_{R_c \to \infty} R'_c = R'$. De la Tabla 13-4 (con $R_o = R'$)

$$R_{of} = \frac{R_o}{1 + \beta R_m} = \frac{40}{1 + (0{,}025)(1\ 760)}\ \text{K} \approx 890\ \Omega$$

y

$$R'_{of} = R_{of} \| R_c = \frac{(890)(4\ 000)}{4\ 890} = 728\ \Omega$$

Como otra alternativa, R'_{of} puede calcularse por la fórmula de la Tabla 13-4. La resistencia de salida, teniendo en cuenta R_c pero despreciando la realimentación, es, por la Fig. 13-20*b*, $R'_o = R_c \| R' = R'_c = 3{,}64$ K. De la Tabla 13-4

$$R'_{of} = \frac{R'_o}{D} = \frac{3{,}64}{5{,}00}\ \text{K} = 728\ \Omega$$

de acuerdo con el valor calculado más arriba.

Es instructivo examinar la expresión aproximada de la ganancia de tensión dada en la Ec. (13-79).

$$A_{Vf} \approx \frac{-R'}{R_s} = \frac{-40}{10} = -4{,}00$$

que difiere del valor $-3{,}20$ aproximadamente en un 22 %. Esta fórmula aproximada conduce a la conclusión equivocada de que A_{Vf} aumenta sin límite cuando $R_s \to 0$. La dificultad proviene de que la Ec. (13-79) es válida sólo si $\beta R_M \gg 1$. Por otra parte de las Ecs. (13-84) y (13-83)

$$\lim_{R_s \to 0} R_M = \lim_{R_s \to 0} \left(-\frac{h_{fe}R'_cR}{R + h_{ie}}\right) = \lim_{R_s \to 0} \left(-\frac{h_{fe}R'_cR_s}{R_s + h_{ie}}\right) \to 0$$

El resultado correcto para A_{Vf} se obtiene de la Ec. (13-85), es decir,

$$A_{Vf} = \lim_{R_s \to 0} \frac{R_{Mf}}{R_s} = \lim_{R_s \to 0} \frac{-h_{fe}R'_c}{R_s + h_{ie}} = -\frac{h_{fe}R'_c}{h_{ie}} \qquad (13\text{-}86)$$

Esta ecuación puede obtenerse observando la Fig. 13-20*b*. Con $R_s = 0$, $A_{Vf} = V_o/V_s$ es la ganancia de tensión del amplificador en EC con una carga $R'_c = R_c \| R'$.

El circuito de la Fig. 13-20 es la forma básica de un *amplificador operacional,* que se comentará con detalle en el Cap. 15.

REFERENCIAS

1. Jennings, R. R.: "Negative Feedback in Voltage Amplifiers", *Electro-technol. (Nueva York)*, vol. 70, pp. 80-83, diciembre de 1962.
   Jennings, R. R.: "Negative Feedback in Current Amplifier", *ibíd.*, vol. 72, pp. 100-103, julio de 1963.
   Jennings, R. R.: "Negative Feedback in Transconductance and Transresistance Amplifiers", *ibíd.*, vol. 74, pp. 37-41, julio de 1964.

2. Bode, H. W.: "Network Analysis and Feedback Amplifier Design", D. Van Nostrand Company, Inc., Princeton, N.J., 1945.

3. Uzunoglu, V.: "Semiconductor Network Analysis and Design", cap. 8, McGraw-Hill Book Company, Nueva York, 1964.
   Ghausi, M. S.: "Principles and Design of Linear Active Circuits", cap. 4, McGraw-Hill Book Company, Nueva York, 1965.
   Thornton, R. C., y otros: "Multistage Transistor Circuits", vol. 5, cap. 3, Semiconductor Electronics Education Committee, John Wiley & Sons, Inc., Nueva York, 1965.
   Hakim, S. S.: "Junction Transistor Circuit Analysis", John Wiley & Sons, Inc., Nueva York, 1962.

4. Uzunoglu, V.: "Feedback and Impedance Levels in Transistor Circuits", *Electron. Equipment Eng.*, pp. 42-43, julio de 1962.
   Blecher, F. H.: "Design Principles for Single Loop Transistor Feedback Amplifiers", *IRE Trans. Circuit Theory*, vol. CT-4, p. 145, septiembre de 1957.
   Blackman, R. B.: "Effect of Feedback on Impedance", *Bell System Tech. J.*, vol. 22, no. 3, p. 269, octubre de 1943.

5. Gray, P. E. y Searle, C. L.: "Electronic Principles", cap. 18, John Wiley & Sons, Inc., Nueva York, 1969.

TEMAS DE REPASO

13-1 (*a*) Dibujar el circuito equivalente de un amplificador de tensión. (*b*) En un amplificador ideal, ¿cuáles son los valores de R_i y R_o? (*c*) ¿Cuáles son las dimensiones de la ganancia de transferencia?

13-2 Repetir el tema 13-1 para un amplificador de corriente.

13-3 Repetir el tema 13-1 para un amplificador de transconductancia.

13-4 Repetir el tema 13-1 para un amplificador de transresistencia.

13-5 Dibujar un amplificador realimentado en forma de diagrama de bloques. Identificar cada bloque e indicar sus funciones.

13-6 (*a*) ¿Cuáles son las cuatro topologías posibles de un amplificador realimentado? (*b*) Identificar la señal de salida X_o y la señal de realimentación X_f para cada topología (ambas para corriente y para tensión). (*c*) Identificar la ganancia de transferencia para cada topología (por ejemplo, dando sus dimensiones). (*d*) Definir el factor β de realimentación.

13-7 (*a*) ¿Qué es la relación entre las ganancias de transferencia con realimentación A_f y sin realimentación A? (*b*) Definir *realimentación negativa.* (*c*) Definir *realimentación positiva.* (*d*) Definir el valor de la realimentación en decibelios.

13-8 Plantear las tres suposiciones fundamentales necesarias para que se cumpla exactamente la expresión $A_f = A/(1 + A\beta)$.

13-9 (*a*) Definir *Desensibilidad D.* (*b*) Para grandes valores de D ¿qué es A_f? ¿Cuál es el significado de este resultado?

13-10 Citar cinco características de un amplificador que se modifican por la realimentación negativa.

13-11 Determinar si la resistencia de entrada R_{if} aumenta o disminuye para cada topología.

13-12 Repetir la pregunta 13-11 para la resistencia de salida R_{of}.

13-13 Citar los procedimientos a seguir para obtener la configuración del amplificador base sin realimentación, pero teniendo en cuenta la carga de la red de realimentación.

13-14 Citar las reglas a seguir para analizar un amplificador con realimentación.

13-15 Dibujar el circuito de un amplificador de una sola etapa con realimentación de tensión en serie.

13-16 Repetir la pregunta 13-15 para un amplificador de dos etapas.

13-17 Hallar A_f para un seguidor de fuente empleando el método de análisis con realimentación.

13-18 Repetir la pregunta 13-17 para un seguidor de emisor.

13-19 Dibujar un circuito de un amplificador con realimentación de corriente en serie.

13-20 Repetir el tema 13-17 para una etapa en EC con una resistencia de emisor desacoplada.

13-21 Repetir la pregunta 13-17 para una etapa en fuente común con una resistencia desacoplada en la fuente.

13-22 Dibujar el circuito de un par en la topología con realimentación de corriente en paralelo.

13-23 Dibujar un circuito de amplificador con realimentación de tensión en paralelo.

14

Estabilidad y osciladores

Se estudian en este capítulo las características de respuesta en frecuencia de amplificadores multipolo realimentados. Se demuestra que los amplificadores de uno o de dos polos en cadena cerrada son inherentemente estables. Obtendremos también la respuesta de estos amplificadores a un escalón. Un amplificador realimentado de más de dos polos puede ser inestable y llegar a oscilar, con exceso de realimentación.

Se examina el problema de la estabilidad. Se estudian las técnicas de compensación que se emplean para evitar que los amplificadores realimentados sean inestables. Se analizan los osciladores senoidales como casos especiales de amplificadores realimentados a los que se hace inestables intencionadamente.

14-1. EFECTO DE LA REALIMENTACION EN EL ANCHO DE BANDA DE LOS AMPLIFICADORES

La ganancia de transferencia de un amplificador en el que se emplee realimentación viene dada por la Ec. (13-4), es decir

$$A_f = \frac{A}{1 + \beta A} \tag{14-1}$$

si $|\beta A| \gg 1$, entonces

$$A_f \approx \frac{A}{\beta A} = \frac{1}{\beta}$$

y de este resultado inferimos que la ganancia de transferencia puede hacerse enteramente dependiente de la red de realimentación. Por otra parte, es importante considerar el hecho de que, aun cuando β sea constante, la ganancia A no lo es, por ser función de la

frecuencia. Esto significa que, para ciertos valores altos o bajos de la frecuencia, $|\beta A|$ no será mucho mayor que la unidad. Para estudiar los efectos de la realimentación en el ancho de banda vamos a suponer en esta sección que la ganancia de transferencia A sin realimentación viene dada para una función de transferencia de un solo polo. En las secciones siguientes, vamos a considerar las funciones de transferencia multipolos.

Función de transferencia de un solo polo. La ganancia A de un amplificador de un solo polo viene dada por:

$$A = \frac{A_o}{1 + j\,(f/f_H)} \tag{14-2}$$

donde A_o (real y negativa) es la ganancia en la mitad de la banda sin realimentación, y f_H es la frecuencia superior de 3 dB. La ganancia con realimentación viene dada por la Ec. (14-1), o, empleando la Ec. (14-2):

$$A_f = \frac{A_o/[1 + j\,(f/f_H)]}{1 + \beta A_o/[1 + j(f/f_H)]} = \frac{A_o}{1 + \beta A_o + j(f/f_H)}$$

Dividiendo numerador y denominador por $1 + \beta A_o$, esta ecuación puede escribirse de la forma:

$$A_f = \frac{A_{of}}{1 + j\,(f/f_{Hf})} \tag{14-3}$$

donde

$$A_{of} \equiv \frac{A_o}{1 + \beta A_o} \quad \text{y} \quad f_{Hf} \equiv f_H(1 + \beta A_o) \tag{14-4}$$

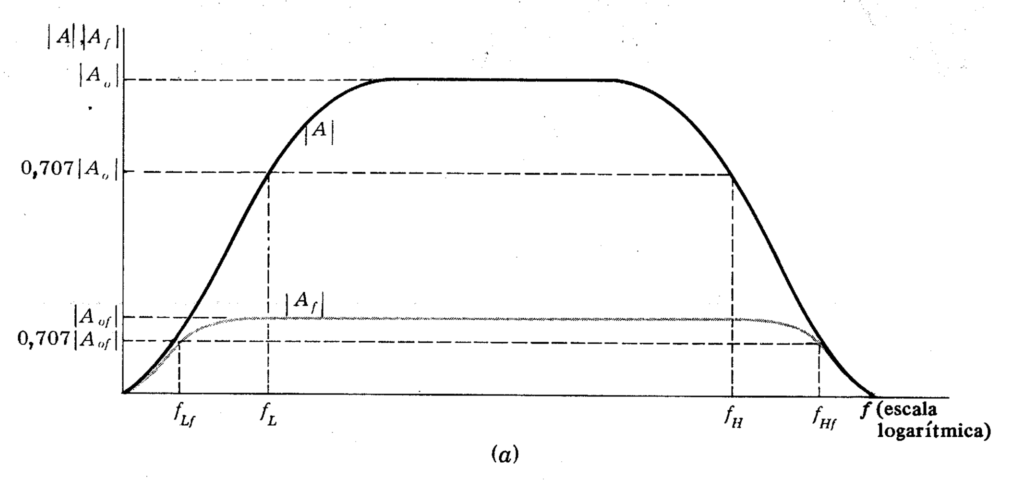
Vemos que la *amplificación con realimentación en frecuencias medias* A_{of} es igual a la amplificación en frecuencias medias sin realimentación A_o dividida por $1 + \beta A_o$. Asimismo, *la frecuencia superior de 3 dB con realimentación* f_{Hf} es igual a la correspondiente frecuencia de 3 dB sin realimentación f_H multiplicada por el mismo factor $1 + \beta A_o$. El producto frecuencia-ganancia no ha variado al haber realimentación porque según las Ecs. (14-4):

$$A_{of} f_{Hf} = A_o f_H \tag{14-5}$$

Partiendo de la Ec. (12-2) para la ganancia a baja frecuencia de una sola etapa acoplada en RC, y procediendo como más arriba, podemos demostrar que *la frecuencia inferior de 3 dB con realimentación* f_{Lf} queda disminuida por el mismo factor que la ganancia, o sea

$$f_{Lf} = \frac{f_L}{1 + \beta A_o} \tag{14-6}$$

En un amplificador de audio o de video, $f_H \gg f_L$, y por tanto el ancho de banda será $f_H - f_L \approx f_H$. En estas circunstancias, la Ec. (14-5) puede interpretarse en el sentido de



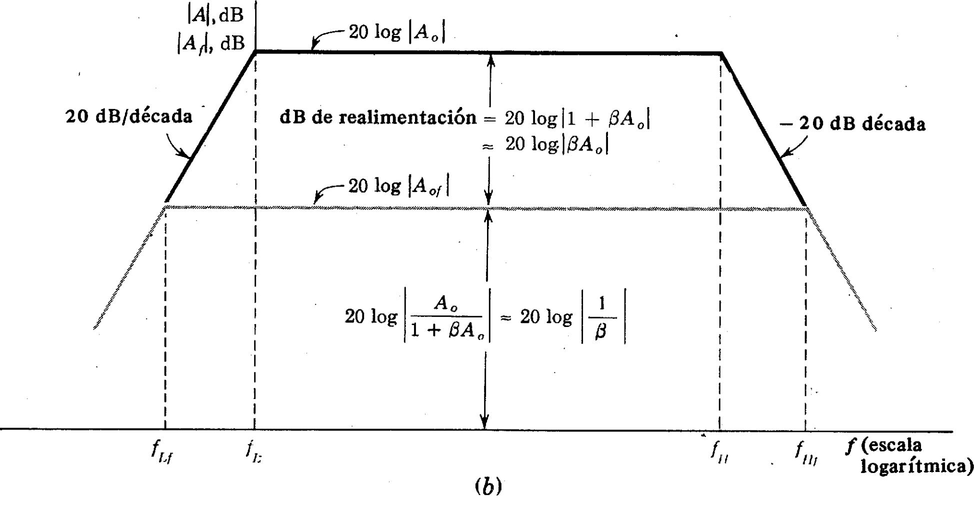


Fig. 14-1. (*a*) Empleando realimentación negativa en un amplificador, la ganancia de transferencia disminuye y el ancho de banda aumenta. (*b*) Curva idealizada de Bode

que el producto ganancia-ancho de banda es el mismo con o sin realimentación. La Figura 14-1*a* es una representación de las curvas de A y A_f en función de la frecuencia; asimismo, en la Fig. 14-1*b* se indican las curvas de Bode de A y A_f en dB, en función del logaritmo de la frecuencia. La intersección de estas dos curvas en la Fig. 14-1*b* tiene lugar a las frecuencias $f = f_{Lf}$ y $f = f_{Hf}$ en los límites inferior y superior respectivamente. Para comprobar esto, igualemos el valor de la Ec. (14-4) y el de la Ec. (14-2), y hallemos el valor de f. Así, si $f \gg f_H$ en el punto de intersección, tendremos

$$20 \log \left|\frac{A_o}{1 + \beta A_o}\right| = 20 \log \frac{|A_o|}{\sqrt{1 + (f/f_H)^2}} \approx 20 \log \frac{|A_o|}{f/f_H}$$

o

$$f = f_H\,(1 + \beta A_o) = f_{Hf} \qquad (14\text{-}7)$$

En forma análoga, podríamos demostrar que la intersección en el extremo de baja frecuencia tiene lugar en $f = f_{Lf}$.

Mejora del ancho de banda. Las ecuaciones (14-4) y (14-6) demuestran como las frecuencias superior e inferior de 3 dB son afectadas por la realimentación negativa. Podemos obtener una representación física del mecanismo por el que la realimentación extiende el ancho de banda, considerando el circuito de realimentación de tensión en serie de la Fig. 14-2. El amplificador A_V tiene dos terminales de entrada 1 y 2, y la tensión de entrada efectiva V_i es la diferencia entre las tensiones $V_1 = V_s$ y $V_2 = V_f$ aplicadas a estos dos terminales. A este dispositivo se le denomina *amplificador diferencial* y será estudiado con detalle en el capítulo 15. Naturalmente, la Fig. 14-2 tiene la topología de tensión en serie de la Fig. 13-9*a*.

Supongamos que la ganancia de tensión en frecuencias medias $A_{Vo} = -1\,000$, $\beta = -0{,}1$, y $V_s = 0{,}1$ V. En estas condiciones

$$A_{Vof} = \frac{A_{Vo}}{1 + A_{Vo}\beta} = \frac{-1\,000}{1 + 100} = -9{,}90$$

$$V_o = A_{Vof}V_s = (-9{,}90)\,(0{,}1) = -0{,}99 \text{ V}$$

$$V_f = \beta V_o = (-0{,}1)\,(-0{,}99) = 0{,}099 \text{ V}$$

$$V_i = V_s - V_f = 0{,}1 - 0{,}099 = 0{,}001 \text{ V}$$

Obsérvese que casi la totalidad de la señal aplicada queda anulada por la señal de realimentación, quedando una tensión muy pequeña V_i en los terminales de entrada del amplificador.

Supongamos que a una determinada frecuencia superior, la ganancia del amplificador (sin realimentación) ha descendido a un valor mitad del anterior, tal que $A_V = -500$. Entonces, si V_s sigue siendo 0,1 V:

$$A_{Vf} = \frac{A_V}{1 + A_V\beta} = \frac{-500}{1 + 50} = -9{,}80$$

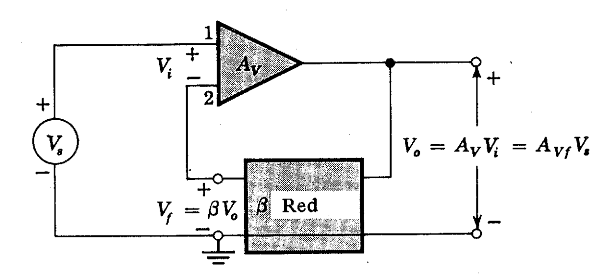


Fig. 14-2. Realimentación de tensión en serie aplicada a un amplificador con ganancia de tensión de A_V

$$V_o = A_{Vf}V_s = (-9{,}80)\,(0{,}1) = -0{,}98 \text{ V}$$

$$V_f = (-0{,}1)\,(-0{,}98) = 0{,}098 \text{ V}$$

$$V_i = 0{,}1 - 0{,}098 = 0{,}002 \text{ V}$$

Obsérvese que, si bien la ganancia del amplificador base ha sido reducida a la mitad, la amplificación con realimentación ha variado solamente en un 1 %. En este segundo caso, V_i se ha duplicado para compensar la disminución de A_V. Existe, por tanto, una autorregulación de tal manera que, si la ganancia de tensión en cadena abierta disminuye (en función de la frecuencia), la tensión de realimentación también disminuye. Por tanto, se anula una parte menor de la tensión de entrada lo que significa mayor entrada al amplificador, permaneciendo, en cambio, la salida V_o casi constante.

Respuesta a un escalón. El comportamiento transitorio ha sido tratado en la Sec. 12-5 para una función de transferencia de un solo polo. La salida correspondiente a un impulso de entrada viene dada en la Fig. 12-8, y la correspondiente a una onda de entrada cuadrada en la Fig. 12-10.

14-2. FUNCION DE TRANSFERENCIA DE DOBLE POLO CON REALIMENTACION

Vamos a considerar un circuito en el que la ganancia del amplificador básico (sin realimentación) tenga dos polos en el eje real negativo para los valores $s_1 = -\omega_1$ y $s_2 = -\omega_2$ (ω_1 y ω_2 son positivas), tal como indica la Fig. 14-3. En otras palabras $\omega_1/2\pi$ y $\omega_2/2\pi$ representan las frecuencias de codo, o de discontinuidad de las curvas linealizadas de Bode (Sec. 12-4). Si la ganancia en frecuencias medias es A_o, entonces la ganancia de transferencia viene dada por:

$$A = \frac{A_o}{(1 - s/s_1)\,(1 - s/s_2)} = \frac{A_o}{(1 + s/\omega_1)\,(1 + s/\omega_2)} \qquad (14\text{-}8)$$

Si esta expresión de A es sustituida en la Ec. (14-1), obtenemos para A_f la ganancia de transferencia con realimentación,

$$A_f = \frac{A_o\omega_1\omega_2}{s^2 + (\omega_1 + \omega_2)s + \omega_1\omega_2\,(1 + \beta A_o)} \qquad (14\text{-}9)$$

o

$$A_f = \frac{A_{of}}{(s/\omega_o)^2 + (1/Q)\,(s/\omega_o) + 1} \qquad (14\text{-}10)$$

en que A_{of}, la ganancia en frecuencias medias con realimentación, viene dada por la Ec. (14-4) y ω_o y Q se definen como

$$\omega_o \equiv \sqrt{\omega_1\omega_2\,(1 + \beta A_o)} \qquad Q \equiv \frac{\omega_o}{\omega_1 + \omega_2} \qquad (14\text{-}11)$$

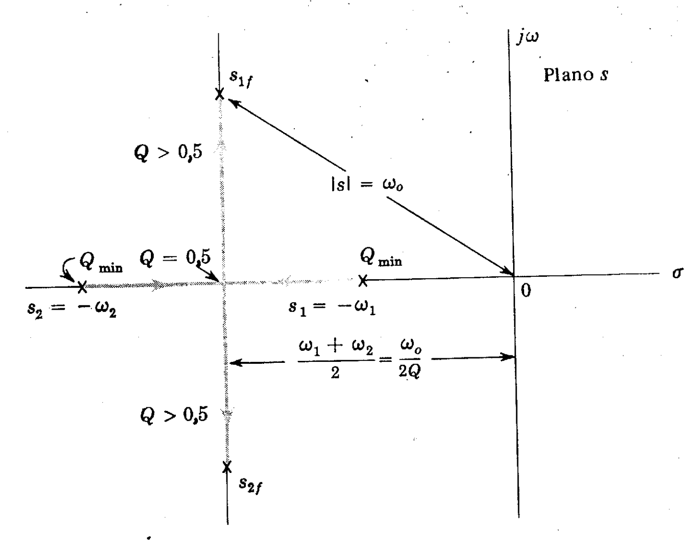


Fig. 14-3. Lugar de las raíces de una función de transferencia de dos polos en el plano $s = \sigma + j\omega$. El valor de Q_{min} corresponde a $\beta A_o = 0$

Los polos de A_f serán

$$\frac{s}{\omega_o} = -\frac{1}{2Q} \pm \frac{1}{2}\sqrt{\frac{1}{Q^2} - 4} \tag{14-12}$$

o

$$s = -\frac{\omega_1 + \omega_2}{2} \pm \frac{\omega_1 + \omega_2}{2}\sqrt{1 + 4Q^2} \tag{14-13}$$

donde se emplea el valor $\omega_o/Q = \omega_1 + \omega_2$ de la Ec. (14-11). Para una realimentación negativa, supondremos que βA_o es real y positivo. De ahí que el mínimo valor de Q se obtenga para $\beta A_o = 0$ o $Q_{min} = \sqrt{\omega_1\omega_2}/(\omega_1 + \omega_2)$. Substituyendo Q_{min} en la Ec. (14-13) tenemos, después de un pequeño desarrollo algebraico, los dos valores $s_{1f} = -\omega_1$ y $s_{2f} = -\omega_2$. Evidentemente, este resultado es correcto ya que, si $\beta A_o = 0$, los polos con realimentación (s_{1f} y s_{2f}) coincidirán con los polos ($s_1 = -\omega_1$ y $s_2 = -\omega_2$) del amplificador base antes de agregar la realimentación.

Lugar de las raíces[1,2] La Fig. 14-3 indica el movimiento de los polos en el plano s ($s = \sigma + j\omega$) en función del incremento de realimentación. Los polos parten de $-\omega_1$ y $-\omega_2$ a Q_{min} y se mueven el uno hacia el otro a lo largo del eje real negativo a medida que Q crece hasta que coinciden cuando $Q = 0{,}5$. Este comportamiento se deduce de la Ec. (14-13), que demuestra que los valores de s son reales para $Q < 0{,}5$ y que para $Q = 0{,}5$, los polos coinciden con un valor $-\frac{1}{2}(\omega_1 + \omega_2)$. Para $Q > 0{,}5$ los dos valores de s son complejos conjugados con una parte real que permanece constantemente igual a $-\frac{1}{2}(\omega_1 + \omega_2)$, tal como se ha representado en la Fig. (14-3). Para un caso particular, la magnitud del polo complejo es $|s| = \omega_o$. Este resultado se obtiene a partir de la Ec. (14-2) para $Q \geqslant 0{,}5$. Es decir:

$$\left|\frac{s}{\omega_o}\right|^2 = \frac{1}{4Q^2} + \frac{1}{4}\left(4 - \frac{1}{Q^2}\right) = 1 \quad \text{o} \quad |s_{1f}| = |s_{2f}| = \omega_o$$

Las líneas sombreadas de la Fig. 14-3 se conoce con el nombre de *lugar de las raíces* de los polos.

Obsérvese que para todos los valores positivos de βA_o la función de transferencia tiene polos que permanecen en el lado izquierdo del plano s (los polos tienen negativa la parte real). Por tanto, *el amplificador con realimentación negativa es estable; independientemente de la cuantía de la realimentación.* Esta aseveracion es cierta para ganancias de transferencia de un solo polo o de dos, pero puede no serlo para tres o más polos (Sec. 14-3).

Modelo de circuito. Vamos a demostrar ahora que la red de la Fig. 14-4 es análoga a un amplificador de dos polos realimentado. La función de transferencia es:

$$\frac{V_o(s)}{V_i(s)} = \frac{1}{s^2LC + s(L/R) + 1} \tag{14-14}$$

Introduciendo

$$\omega_o \equiv \frac{1}{\sqrt{LC}} \qquad Q \equiv \frac{R}{\omega_o L} = R\sqrt{\frac{C}{L}} \tag{14-15}$$

se llega a

$$\frac{V_o(s)}{V_i(s)} = \frac{1}{(s/\omega_o)^2 + (1/Q)(s/\omega_o) + 1} = \frac{A_f}{A_{of}} \tag{14-16}$$

donde la segunda igualdad se obtiene de la Ec. (14-10). Evidentemente, la Fig. 14-4 es un modelo de circuito de amplificador de dos polos realimentado, en el sentido de que ambos tienen la misma frecuencia, fase y respuesta transistoria; *la ganancia de transferencia del amplificador es A_{of} veces la función de transferencia de la red.* Cabe dar ahora interpretaciones físicas a los símbolos ω_o y Q, introducidos en conexión con el amplificador realimentado. Por la Ec. (14-15) es evidente que

ω_o = frecuencia angular resonante de oscilación sin amortiguar ($R = \infty$)
Q = Factor de calidad (Q) a la frecuencia de resonancia.

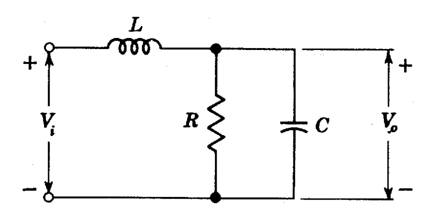


Fig. 14-4. Modelo de circuito para un amplificador realimentado de dos polos

Respuesta en frecuencia. Si en la Ec. (14-16) s es reemplazada por $j\omega$, entonces la magnitud de esta expresión da la respuesta en frecuencia del amplificador de dos polos con realimentación. Es conveniente emplear el *factor de amortiguación* k en lugar de Q. Este viene dado por:

$$k \equiv \frac{1}{2Q} \tag{14-17}$$

Así, de las Ecs. (14-16) y (14-17), obtenemos:

$$\left|\frac{A_f}{A_{of}}\right| = \frac{1}{\sqrt{[1-(\omega/\omega_o)^2]^2 + 4k^2(\omega/\omega_o)^2}} \tag{14-18}$$

Los picos de esta función se obtienen igualando a cero la derivada de la cantidad sub-radical. Encontraremos un pico en:

$$\omega = \omega_o\sqrt{1-2k^2} \tag{14-19}$$

cuya magnitud viene dada por

$$\left|\frac{A_f}{A_{of}}\right|_{\text{pico}} = \frac{1}{2k\sqrt{1-k^2}} \tag{14-20}$$

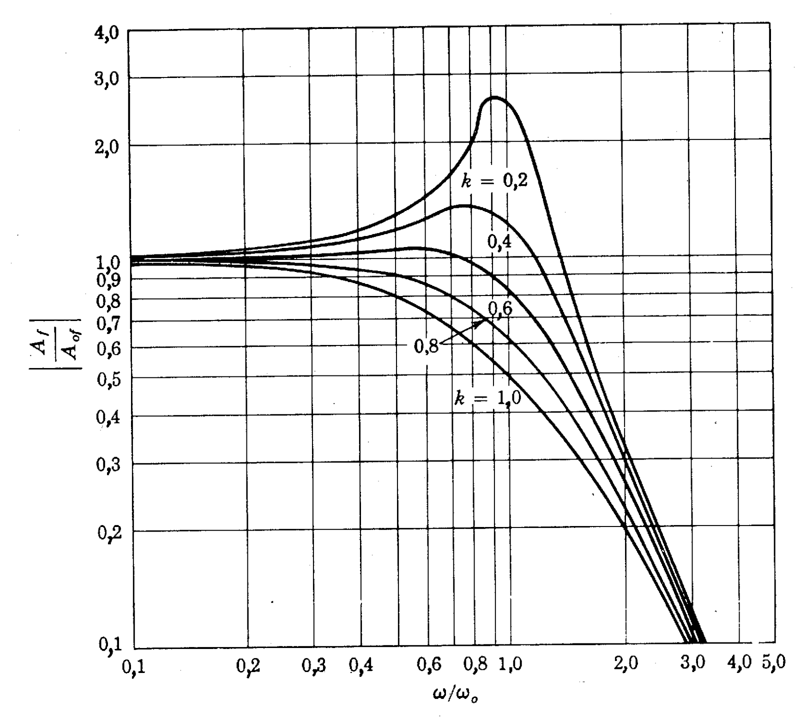


Fig. 14-5. Curvas de la respuesta en frecuencia de un amplificador de dos polos con realimentación ($k = 1/2Q$)

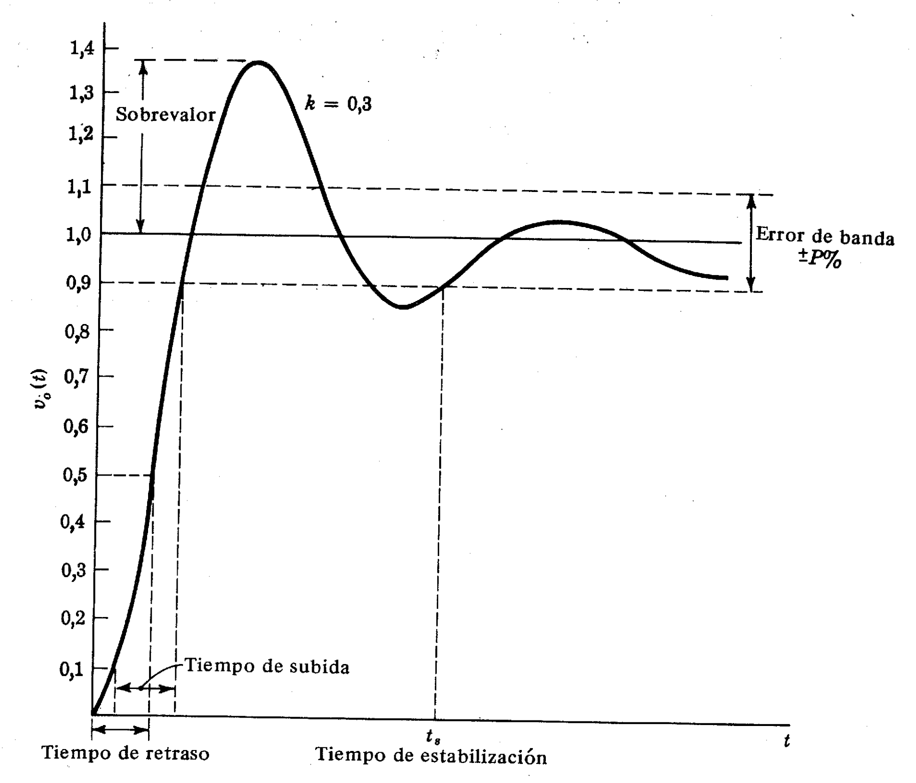


Fig. 14-6. Respuesta a un escalón de un amplificador realimentado de dos polos con factor de amortiguamiento $k = 0{,}3$

Obsérvese que si $2k^2 > 1$ o $k > 0{,}707$ o $Q < 0{,}707$, la respuesta en frecuencia no tiene picos. Las formas de la respuesta en frecuencia están representadas en la Fig. 14-5.

Respuesta a un escalón. Se ha comprobado en esta sección que, independientemente de la cuantía de realimentación negativa empleada, un amplificador de dos polos permanece estable (los polos están siempre a la izquierda del plano s). Sin embargo, si la ganancia del lazo βA_o es excesivamente grande, la respuesta transitoria del amplificador puede ser completamente deficiente. Por ejemplo, en la Fig. 14-16 se indica una posible respuesta a un escalón de tensión. Obsérvese que la salida sobrepasa en un 37 % su valor final y oscila antes de llegar al valor de régimen permanente. En muchas aplicaciones, no es aceptable una respuesta tan violenta.

Los parámetros más importantes de la forma de onda se indican en la Fig. 14-6 y se definen de la siguiente manera:

Tiempo de subida = tiempo que la onda tarda en pasar del 0,1 al 0,9 de su valor permanente.

Tiempo de retardo = tiempo que la onda tarda en pasar de 0 a 0,5 de su valor permanente.

Sobrevalor o *punta* = valor en exceso del pico sobre el permanente.

Período de amortiguación = intervalo de tiempo para un ciclo de oscilación.

Tiempo de estabilización = tiempo para que la respuesta se estabilice entre un $\pm P$ por ciento del valor permanente (P se especifica para cada aplicación particular, por ejemplo $P = 0{,}1$).

Las expresiones analíticas para la respuesta de un amplificador a un escalón de amplitud V se obtienen haciendo $V_i(s) = V/s$ en la Ec. (14-16) y resolviendo por la transformada inversa de Laplace. Recordemos que, a partir de la Ec. (14-17), $Q = 1/2k$, los polos, dados en la Ec. (14-12), pueden ponerse de la forma:

$$s = -k\omega_o \pm \omega_o\sqrt{k^2 - 1} \tag{14-21}$$

Si $k = 1$, los dos polos coinciden, correspondiendo al caso del *amortiguamiento crítico.* Si $k < 1$, los polos son complejos conjugados, siendo éste un caso de subamortiguamiento, en el que la respuesta es una senoide cuya amplitud disminuye con el tiempo. Si $k > 1$, los dos polos son reales y negativos, lo que corresponde a un sobreamortiguamiento del circuito, en el que la respuesta se aproxima exponencialmente al valor final (sin oscilación). En el caso de subamortiguamiento, conviene introducir el concepto de frecuencia de amortiguamiento

$$\omega_d \equiv \sqrt{1-k^2}\,\omega_o \tag{14-22}$$

y la respuesta $v_o(t)$ a un escalón de magnitud V, de un amplificador de ganancia A_{of} en frecuencias medias, vendrá dada por las siguientes ecuaciones:

Con amortiguamiento crítico, $k = 1$:

$$\frac{v_o(t)}{VA_{of}} = 1 - (1 + \omega_o t)\epsilon^{-\omega_o t} \tag{14-23}$$

Sobreamortiguado, $k > 1$:

$$\frac{v_o(t)}{VA_{of}} = 1 - \frac{1}{2\sqrt{k^2-1}}\left(\frac{1}{k_1}\epsilon^{-k_1\omega_o t} - \frac{1}{k_2}\epsilon^{-k_2\omega_o t}\right) \tag{14-24}$$

donde

$$k_1 \equiv k - \sqrt{k^2-1} \quad \text{y} \quad k_2 \equiv k + \sqrt{k^2-1}$$

Si $4k^2 \gg 1$, se puede tomar una respuesta aproximada:

$$\frac{v_o(t)}{VA_{of}} \approx 1 - \epsilon^{-\omega_o t/2k} \tag{14-25}$$

Subamortiguado, $k < 1$:

$$\frac{v_o(t)}{VA_{of}} = 1 - \left(\frac{k\omega_o}{\omega_d}\operatorname{sen}\omega_d t + \cos\omega_d t\right)\epsilon^{-k\omega_o t} \tag{14-26}$$

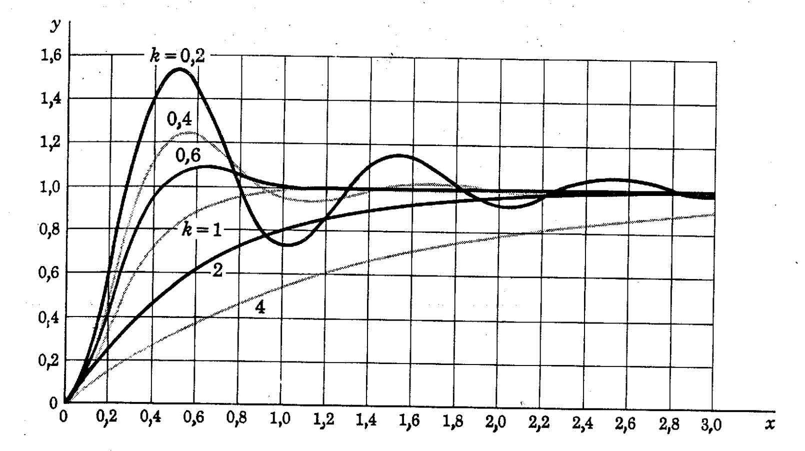


Fig. 14-7. Respuesta de un amplificador realimentado de dos polos a un escalón de entrada [$y \equiv v_o(t)/VA_{of}$ y $x = \omega_o t/2\pi = t/T_o$]

La figura 14-7 representa estas ecuaciones empleando coordenadas $x \equiv t/T_o$ e $y \equiv v_o(t)/VA_{of}$, en que $T_o \equiv 2\pi/\omega_o$ es el período no amortiguado. Si la derivada de la Ec. (14-26) se iguala a cero, las posiciones $x = x_m$ y las magnitudes $y = y_m$ nos darán el máximo y el mínimo. Los resultados son:

$$x_m = \frac{\omega_o t_m}{2\pi} = \frac{m}{2(1-k^2)^{1/2}} \qquad y_m = \frac{v_o(t_m)}{VA_{of}} = 1 - (-1)^m\epsilon^{-2\pi k x_m} \tag{14-27}$$

donde m es un número entero. Los valores máximos los da m impar y los mínimos m par. Empleando la Ec. (14-27), la forma de onda subamortiguada de salida se obtiene rápidamente. De la Ec. (14-27) se sigue que el *sobrevalor* viene dado por la expresión $[-\pi k m/(1-k^2)^{1/2}]$.

Obsérvese que, para un amortiguamiento fuerte (k grande o Q pequeño), el tiempo de subida es extraordinariamente largo. Tal como k decrezca (Q o βA_o aumente), así decrecerá t_r. Para el amortiguamiento crítico, encontramos por la Fig. 14-7 que $t_r = 0{,}53T_o = 3{,}33/\omega_o$. Si la realimentación aumenta de tal manera que $k < 1$, el tiempo de subida decrece a su vez, pero esta ventaja se obtiene a expensas de una vibración (oscilación) en la respuesta que puede ser inaceptable para determinadas aplicaciones. Frecuentemente se admite que $k \geqslant 0{,}707$ ($Q \leqslant 0{,}707$) da una respuesta satisfactoria (correspondiente a un sobrevalor del 4,3 % o menos).

14-3. FUNCION DE TRANSFERENCIA DE TRES POLOS CON REALIMENTACION

Hemos visto anteriormente que en los casos de funciones de transferencia de uno o dos polos, la función de transferencia de un amplificador realimentado siempre tiene los polos situados a la izquierda del plano s. Vamos a considerar ahora una función de transferencia de tres polos y comprobar que, si la ganancia del lazo es suficientemente grande, los polos del amplificador realimentado están a la derecha del plano, lo que da lugar a un circuito inestable.

Supongamos que la ganancia en cadena abierta viene dada por:

$$A(s) = \frac{A_o}{(1 + s/\omega_1)(1 + s/\omega_2)(1 + s\omega_3)} \tag{14-28}$$

Empleando la Ec. (14-1) para la ganancia con realimentación, encontramos

$$A_f(s) = \frac{A_{of}}{(s/\omega_o)^3 + a_2\,(s/\omega_o)^2 + a_1(s/\omega_o) + 1} \tag{14-29}$$

en donde A_{of} es la ganancia con realimentación en frecuencias medias y ω_o, a_2 y a_1 están dadas en el problema 14-14. La estabilidad del amplificador realimentado se determina por los polos de su función de transferencia. Las técnicas para la construcción del *lugar de las raíces* de la Ec. (14-29) se dan en la Ref. 1. La forma general del lugar de las raíces se indica en la Fig. 14-8. Está claro que los polos parten de $-\omega_1$, $-\omega_2$ y $-\omega_3$ cuando $\beta A_o = 0$. A medida que βA_o aumenta, un polo, s_{3f} aumenta en magnitud, pero siempre permanece en el eje real negativo, mientras que los otros dos, s_{2f} y s_{1f}, se aproximan el uno hacia el otro y pasan a ser complejos conjugados cuando se separan del eje real. La parte real de s_{2f} y s_{1f} es negativa cuando las raíces coinciden. Sin embargo, cuando βA_o aumenta más allá del valor crítico, la parte real de s_2 y s_1 se hace menos negativa. Se indica en la Ref. 2 que, si $\omega_1 = 0{,}1 \times 10^8$, $\omega_2 = 0{,}7 \times 10^8$ y $\omega_3 = 1{,}8 \times 10^8$ rad/seg, los polos complejos conjugados s_{2f} y s_{1f} quedan a la derecha del plano cuando $\beta A_o = 31$.

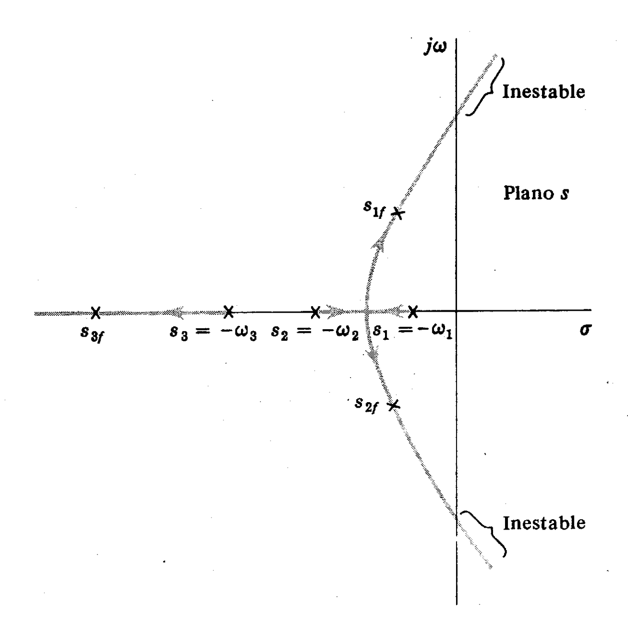


Fig. 14-8. Lugar de las raíces de la función de transferencia de tres polos en el plano s. Los polos sin realimentación ($\beta A_o = 0$) son s_1, s_2 y s_3, mientras que los polos después de agregar la realimentación son s_{1f}, s_{2f} y s_{3f}

Deducimos, pues, que un amplificador con tres polos puede ser inestable si se le aplica suficiente realimentación negativa.

14-4. ANALISIS APROXIMADO DE UN AMPLIFICADOR REALIMENTADO MULTIPOLO

En general, la respuesta de un sistema realimentado de tres o más polos resulta tan complicada que se necesita un ordenador para obtener la solución. No obstante, si los polos con cadena abierta están muy separados, se puede utilizar un método aproximado de análisis. Describiremos a continuación tal técnica.

Supongamos que hemos obtenido los polos $|s_1| < |s_2| < |s_3| \ldots < |s_n|$ eliminando la realimentación. Esto puede hacerse en el laboratorio midiendo las frecuencias de los codos de las curvas de Bode, o cabe también calcular los polos. Queremos determinar la respuesta con cadena cerrada. En la sección anterior, hemos observado que, para un amplificador con tres polos, el hecho de agregar la realimentación nos lleva a que los polos s_1 y s_2 se aproximen más a lo largo del eje real y, además, a que se separen los polos s_2 y s_3 (Fig. 14-8). De ahí que, si el segundo y el tercer polo sin realimentación están separados por lo menos dos octavas ($s_3/s_2 \geq 4$), se separarán todavía más al agregar la realimentación ($s_{3f}/s_{2f} > 4$). *La respuesta de un amplificador con tres (o más) polos se determina aproximadamente para los dos polos inferiores,* s_1 y s_2, supuesto que $|s_3/s_2| \geq 4$.

La conclusión anterior se apoya en el hecho de que, *para una serie de polos muy separados, los polos mayores permanecen bastante fijos para variaciones moderadas de la realimentación.*[2] Debido a esto, cabe aplicar la teoría de la Sec. 14-2, referente a la función de transferencia de doble polo con realimentación, al amplificador multipolo con polos suficientemente separados. En otras palabras, k se calcula para los dos primeros polos, y entonces, la respuesta en frecuencia se toma de la Fig. 14-5 y la respuesta transitoria de la Fig. 14-7.

Conviene introducir n como relación entre el primer y el segundo polo con cadena abierta:

$$n = \frac{s_2}{s_1} = \frac{\omega_2}{\omega_1} > 1 \tag{14-30}$$

y entonces, en la Ec. (14-11), la Q viene dada en función de n, y de la desensibilidad $1 + \beta A_o$;

$$Q = \frac{\sqrt{n(1 + \beta A_o)}}{n + 1} = \frac{1}{2k} \tag{14-31}$$

Polo dominante. Si el primer y segundo polos en cadena abierta están suficientemente separados entre sí y si la desensibilidad no es demasiado grande, los dos primeros polos en cadena cerrada pueden estar separados entre sí más de dos octavas. En estas circunstancias, la respuesta es, simplificadamente, la de un solo polo (dominante), ya comentada en la Sec. 12-4.

Vamos a determinar ahora el máximo valor de Q para el cual existe un polo dominante. De la Ec. (14-13), con $n = \omega_2/\omega_1$ los dos polos inferiores con realimentación serán:

$$s_{1f} = \frac{-\omega_1 (n+1)}{2}(1 - \sqrt{1-4Q^2})$$

$$s_{2f} = \frac{-\omega_1 (n+1)}{2}(1 + \sqrt{1-4Q^2}) \qquad (14\text{-}32)$$

Haciendo $s_{2f}/s_{1f} \geqslant 4$, encontramos que $Q \leqslant 0{,}4 = Q_{\max}$. *Para que los polos de un amplificador con realimentación estén separados más de dos octavas, Q no debe ser mayor que* 0,4 (o $Q^2 < 0{,}16$). Si, eventualmente, Q creciera hasta 0,5, los dos polos coincidirían.

Si $Q < 0{,}4$, el polo dominante es s_{1f} de la Ec. (14-32). Si $4Q^2 \ll 1$, esta ecuación da lugar (Prob. 14-20), para la frecuencia superior de 3 dB, a:

$$f_{Hf} \approx f_1 \left(\frac{n}{n+1}\right)(1 + \beta A_o)(1 + Q^2) \qquad (14\text{-}33)$$

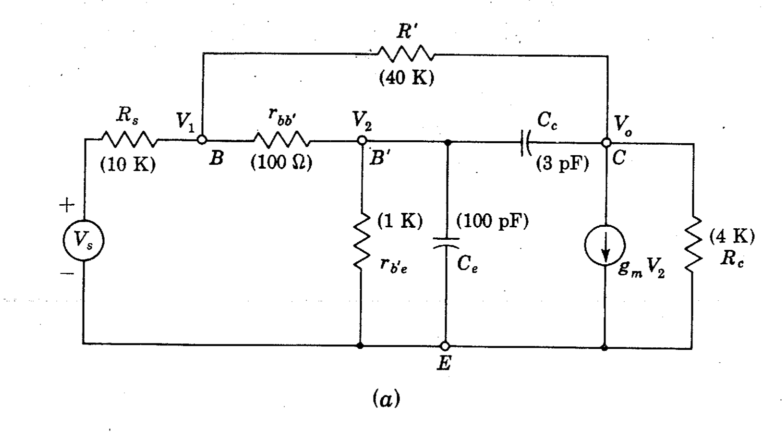
En las siguientes secciones, analizaremos un determinado número de amplificadores realimentados por el método simplificado relatado más arriba, y compararemos los resultados con las soluciones exactas del ordenador.

14-5. RESPUESTA EN FRECUENCIA DE UN AMPLIFICADOR CON REALIMENTACION DE TENSION EN PARALELO

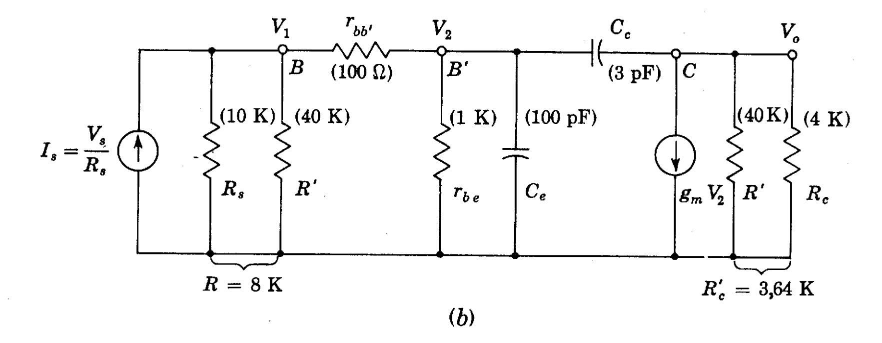
Hemos visto en las secciones precedentes que la realimentación negativa aumenta en general el ancho de banda de la función de transferencia estabilizada para el tipo determinado de realimentación (topología) empleado en el circuito. Por ejemplo, la realimentación de tensión en serie aumenta la frecuencia superior de 3 dB f_H de A_V a un valor $f_{Hf} = (1 + \beta A_V) f_H$, en el supuesto de que A_V sea una función de transferencia de un solo polo. Vamos a examinar ahora algunos circuitos de amplificadores realimentados específicos y obtener su respuesta en frecuencia. Empezaremos con un *amplificador con realimentación de tensión en paralelo.*

La figura 13-20*a* indica una etapa en emisor común con una resistencia R' conectada entre colector y base. Evidentemente, éste es un caso de realimentación de tensión en paralelo, y es de esperar que el ancho de banda de la transresistencia $R_{Mf} = V_o/I_s$ aumente debido a la realimentación a través de la resistencia R'. El ejemplo de la Sec. 13-11 corresponde a un amplificador a bajas frecuencias. Examinemos ahora la respuesta en frecuencia de la transresistencia R_{Mf} y la ganancia de tensión $A_{Vf} = V_o/V_s$. El circuito de la Fig. 14-9*a* es el mismo de la Fig. 13-20*a*, reemplazando el transistor por el circuito híbrido II equivalente. Los efectos de carga de la red de realimentación β se incluyen en el amplificador básico sin realimentación (Fig. 14-9*b*), que es equivalente a la Fig. 13-20*b*. La fuente de tensión se representa por la fuente de corriente equivalente de Norton $I_s = V_s/R_s$. Ya que la Fig. 14-9*b* es equivalente a la Fig. 11-10, por la Ec. (11-37), encontramos la función de transferencia R_M sin realimentación:

$$R_M = \frac{V_o}{I_s} = \frac{-R'_c R G_1 (g_m - sC_c)}{s^2 C_e C_c R'_c + s\,[C_e + C_c + C_c R'_c (g_m + g_{b'e} + G_1)] + G_1 + g_{b'e}} \qquad (14\text{-}34)$$



(*a*)



(*b*)

Fig. 14-9. (*a*) Amplificador en emisor común con realimentación de tensión en paralelo; (*b*) la red *A* incluida la carga de R'

en la que se introducen las siguientes abreviaturas:

$$R'_c \equiv R_c \| R' = 4 \| 40 = 3{,}64 \text{ K}$$

$$R \equiv R_s \| R' = 10 \| 40 = 8{,}00 \text{ K}$$

$$R_1 \equiv R + r_{bb'} = 8{,}10 \text{ K} \equiv \frac{1}{G_1}$$

Suponiendo que $C_e = 100$ pF, $C_c = 3$ pF, $r_{bb'} = 100\ \Omega$, y que es congruente con los parámetros h en baja frecuencia, tendremos de la Ec. (11-16)

$$r_{b'e} = h_{ie} - r_{bb'} = 1\,100 - 100 = 1\,000\ \Omega$$

y

$$g_m = g_{b'e}\, h_{fe} = 50 \text{ mA/V}$$

Con estos valores numéricos, R_M viene dado por:

$$R_M = \frac{V_o}{I_s} = 0{,}985 \times 10^{10} \frac{s - 16{,}6 \times 10^9}{(s + 600 \times 10^6)(s + 1{,}70 \times 10^6)} \quad (14\text{-}35)$$

Polo dominante. Por la Ec. (14-35), vemos que se tiene una función de transferencia de doble polo. Asimismo, el cero y uno de los polos son mucho mayores que $s_1 = -1{,}70 \times 10^6$ rad/seg, y por tanto s_1 es un polo dominante en cadena abierta. La cuestión es la de ver si todavía se tiene un polo dominante después de la realimentación, cosa que podemos saber viendo si $Q \leqslant Q_{max} = 0{,}4$.

A partir de la Ec. (14-35), con $s = j2\pi f = 0$, obtenemos la transresistencia en frecuencias medias

$$R_{Mo} = 1{,}60 \times 10^5 \quad (14\text{-}36)$$

y de la Sec. 13-11, $\beta = -1/R' = -2{,}50 \times 10^{-5}$ y

$$1 + \beta R_{Mo} = 1 + 1{,}60 \times 2{,}50 = 5$$

como

$$n = \frac{\omega_2}{\omega_1} = \frac{600}{1{,}70} = 353$$

entonces de la Ec. (14-31)

$$Q^2 = \frac{n}{(n+1)^2}(1 + \beta R_{Mo}) = \frac{(353)(5)}{(354)^2} = 0{,}0141 \quad (14\text{-}37)$$

Ya que $Q^2 < Q_{max}{}^2 = 0{,}16$, existe un polo dominante, y su valor lo da la ecuación (14-33), ya que $4Q^2 \ll 1$. Siendo

$$f_H = \frac{\omega_1}{2\pi} = \frac{1{,}70 \times 10^6}{2\pi} \text{ Hz} = 0{,}271 \text{ MHz}$$

la frecuencia superior de 3 dB será, con realimentación:

$$f_{Hf} = f_H \frac{n}{n+1}(1 + \beta R_{Mo})(1 + Q^2) = (0{,}271)\left(\tfrac{353}{354}\right)(5)(1 + 0{,}0141) = 1{,}37 \text{ MHz}$$

Puesto que

$$R_{Mof} = \frac{R_{Mo}}{1 + \beta R_{Mo}} = \frac{-1{,}60 \times 10^5}{5} = -3{,}20 \times 10^4$$

entonces, poniendo f en MHz,

$$R_{Mf} = \frac{-3{,}20 \times 10^4}{1 + j(f/1{,}37)} \quad (14\text{-}38)$$

La ganancia de tensión con realimentación viene dada por

$$A_{Vf} = \frac{V_o}{V_s} = \frac{V_o}{I_s R_s} = \frac{R_{Mf}}{R_s} = \frac{-3{,}20}{1 + j(f/1{,}37)} \quad (14\text{-}39)$$

En las ecuaciones (14-38) y (14-39) vemos que R_{Mf} y A_{Vf} tienen la misma frecuencia superior, de 3 dB.

En la Fig. 14-9*a* vemos el amplificador con realimentación. El análisis exacto del circuito de la Fig. 14-9*b*, empleando el programa de ordenador CORNAP[3], suministra los mismos valores para el 0 y los dos polos, como en la Ec. (14-35) para R_M. El análisis con ordenador del circuito indicado en la Fig. 14-9*a* da, para R_{Mf}, dos polos (en radianes por segundo),

$$s_{1f} = -8{,}60 \times 10^6 \qquad s_{2f} = -5{,}95 \times 10^8$$

y un cero

$$s_{3f} = 15{,}3 \times 10^9$$

Obsérvese que $s_{2f}/s_{1f} \gg 4$, cumpliéndose con ello nuestra conclusión de polo dominante.

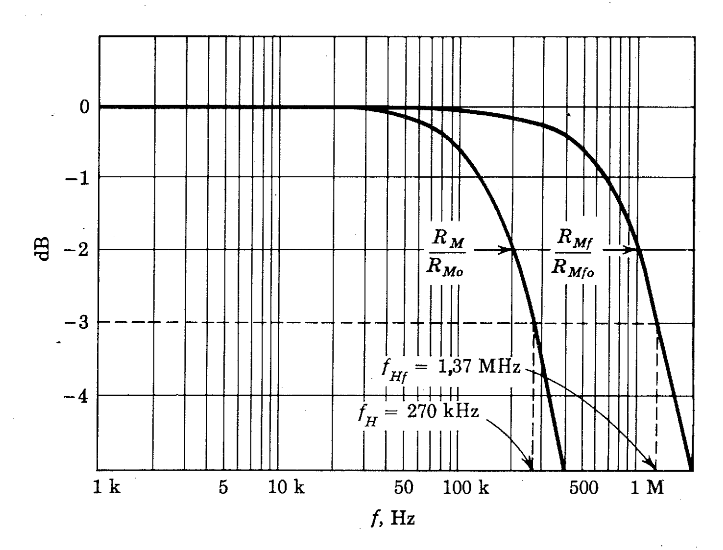


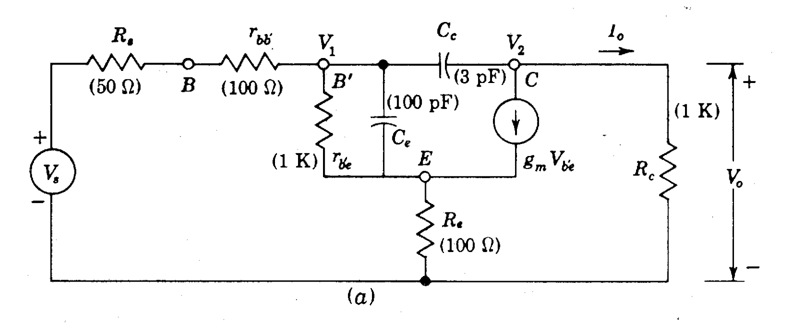
Fig. 14-10. Respuesta en frecuencia obtenida por cálculo de la función de transferencia normalizada R_M/R_{Mo} y R_{Mf}/R_{Mfo} del amplificador presentado en la figura 14-9*a*. R_{Mo} = 104 dB y R_{Mfo} = 90,1 dB

La respuesta en frecuencia de R_M y R_{Mf} se representa en la Fig. 14-10. De estas curvas encontramos $f_H = 270$ kHz y $f_{Hf} = 1{,}37$ MHz, en completo acuerdo con el valor obtenido a partir del análisis aproximado del polo dominante.

14-6. RESPUESTA EN FRECUENCIA DE UN AMPLIFICADOR CON REALIMENTACION DE CORRIENTE EN SERIE

Una etapa en emisor común con una resistencia de emisor sin desacoplar, representa el caso de una realimentación de corriente en serie. El funcionamiento a bajas frecuencias de esta etapa se ha estudiado en la Sec. 13-10. En la Fig. 14-11*a*, se omite la polarización y la fuente de alimentación. Obtendremos la respuesta en frecuencia de este amplificador empleando los conceptos de realimentación. Evidentemente, la función de transferencia que se estabiliza es la transconductancia $G_M = I_o/V_s$, y, debido a que $V_o = I_o R_c$, entonces $A_V = R_c G_M$ queda estabilizada también si R_c es una resistencia estable. Refiriéndonos a la Fig. 13-16*a* y *b*, construiremos la red *A* dibujada en la Fig. 14-11*b*, que se emplea para el cálculo de la ganancia en cadena abierta, teniendo en cuenta, desde luego, la carga que representa la red β. Obsérvese que R_c aparece tanto en la entrada como en la salida, y que el transistor está reemplazado por su modelo híbrido II. A partir de esta figura encontraremos la función de transferencia $G_M = I_o/V_s$ sin realimentación:

$$G_M = \frac{-G'_s(g_m - sC_c)}{s^2 C_e C_c R_L + s[C_e + C_c + C_c R_L(g_m + g_{b'e} + G'_s] + G'_s + g_{b'e}} \tag{14-40}$$



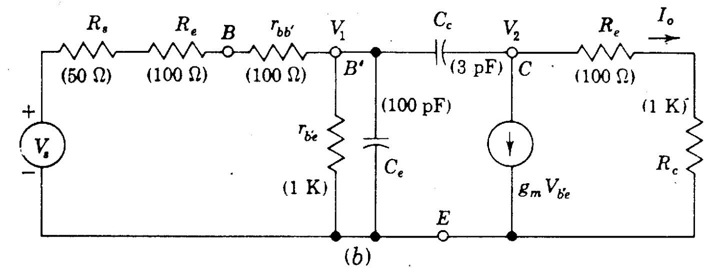


Fig. 14-11. (*a*) Amplificador con realimentación de corriente en serie a frecuencias altas. (*b*) El amplificador básico sin realimentación, pero teniendo en cuenta la carga (R_e) de la red β

en la que hacemos uso de la Ec. (11-37) e introducimos

$$R_L \equiv R_e + R_c = 1{,}1 \text{ K}$$

y

$$G'_s \equiv \frac{1}{R_s + r_{bb'} + R_e} = \frac{1}{250} = 4 \times 10^{-3} \text{ A/V}$$

Con $g_m = 50 \times 10^{-3}$ A/V, obtenemos

$$G_M = -3{,}67 \times 10^4 \frac{167 \times 10^8 - s}{(s + 0{,}182 \times 10^8)(s + 8{,}45 \times 10^8)} \tag{14-41}$$

Polo dominante. Vamos a comprobar si de $s = -0{,}182 \times 10^8$ rad/seg. resulta un polo dominante después de haber cerrado la cadena. La transconductancia G_{Mo} a bajas frecuencias se encuentra por sustitución de $s = 0$ en la Ec. (14-40) o empleando los valores dados en la Ec. (13-53). En ambos casos encontramos:

$$G_{Mo} = \frac{-G'_s g_m}{G'_s + g_{b'e}} = -\frac{4 \times 10^{-3} \times 50 \times 10^{-3}}{4 \times 10^{-3} + 10^{-3}} = -4 \times 10^{-2} \text{ A/V} \tag{14-42}$$

Ya que, por la Sec. 13-10, $\beta = -R_e = -100\ \Omega$, entonces $1 + \beta G_{Mo} = 1 + 4 = 5$.

Con

$$n = \frac{\omega_2}{\omega_1} = \frac{8{,}45}{0{,}182} = 46{,}8$$

entonces de la Ec. (14-31)

$$Q^2 = \frac{n}{(n+1)^2}(1 + \beta G_{Mo}) = \frac{46{,}8 \times 5}{(47{,}8)^2} = 0{,}102$$

Como $Q^2 < Q_{max}{}^2 = 0{,}16$, existe un polo dominante con cadena cerrada. El polo dominante con cadena abierta a la frecuencia superior de 3 dB, es

$$f_H = \frac{0{,}182 \times 10^8}{2\pi} \text{ Hz} = 2{,}90 \text{ MHz}$$

y la frecuencia dominante en cadena cerrada viene dada por la Ec. (14-32):

$$f_{Hf} = \frac{f_H}{2}(n+1)(1 - \sqrt{1 - 4Q^2}) =$$

$$= \frac{2{,}90 \times 47{,}8}{2}(1 - \sqrt{1 - 0{,}408}) = 16{,}0 \text{ MHz}$$

Puesto que

$$G_{Mof} = \frac{G_{Mo}}{1 + \beta G_{Mo}} = \frac{-4 \times 10^{-2}}{5} = -8 \times 10^{-3} \text{ A/V} \qquad (14\text{-}43)$$

entonces, con f en MHz,

$$G_{Mf} = \frac{-8 \times 10^{-3}}{1 + j(f/16{,}0)} \qquad (14\text{-}44)$$

La ganancia de tensión $A_{Vf} = R_c G_{Mf} = 1\,000\ G_{Mf}$ tiene la misma frecuencia superior, de 3 dB, que la ganancia de transconductancia. La frecuencia superior, de 3 dB, será f_{Hf} = 16,0 MHz. Un análisis exacto con ordenador[3] del circuito de la Fig. 14-11*d*, conduce al mismo valor para el cero y los dos polos, que la Ec. (14-41) para G_M. Para G_{Mf}, el análisis con ordenador da dos polos (en radianes por segundo)

$$s_{1f} = -1{,}025 \times 10^8 \qquad s_{2f} = -7{,}65 \times 10^8$$

y dos ceros

$$s_{3f} = 10{,}2 \times 10^8 \qquad s_{4f} = -16{,}3 \times 10^8$$

La respuesta en frecuencia para A_{Vf} está dibujada en la Fig. 14-12, en la que leemos f_{Hf} = 16,0 Mz, valor idéntico al obtenido aplicando la solución aproximada del polo dominante.

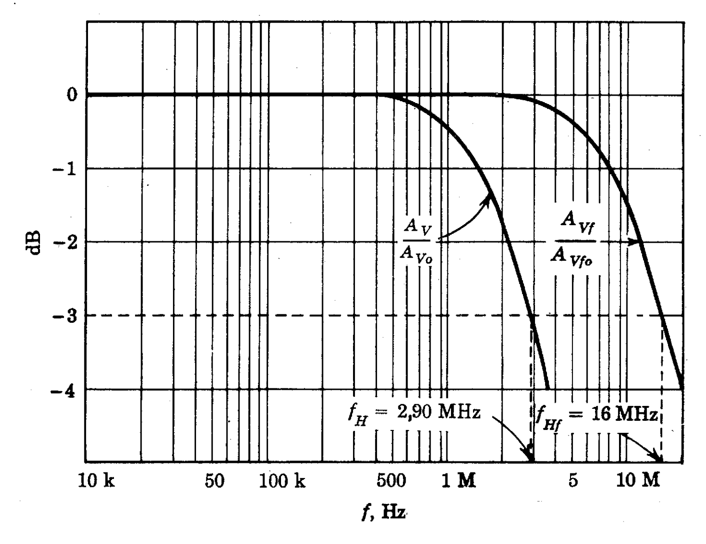
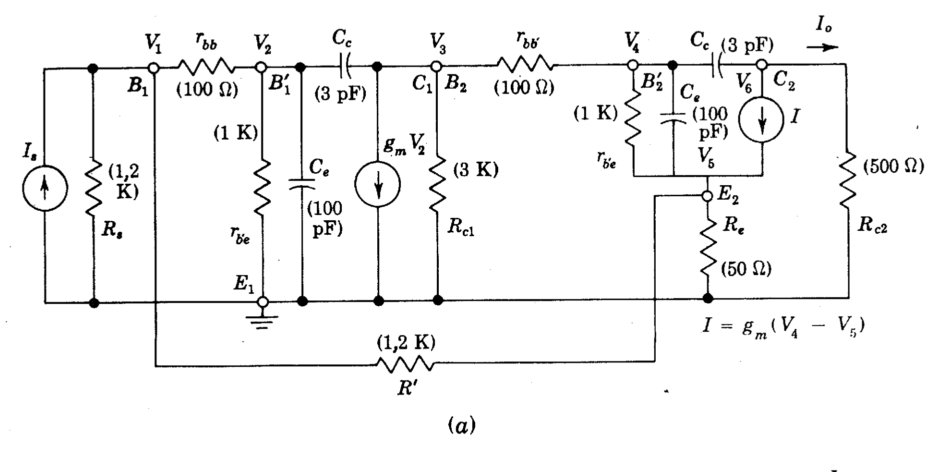


Fig. 14-12. Respuesta en frecuencia, obtenida por cálculo, del amplificador de la Fig. 14-11*a*

14-7. RESPUESTA EN FRECUENCIA DE UN PAR CON REALIMENTACION DE CORRIENTE EN PARALELO

En la Sec. 13-11 se ha analizado la respuesta a bajas frecuencias del par con realimentación de corriente en paralelo de la Fig. 13-18. Este amplificador estabiliza la ganancia de corriente $A_{If} = I_o/I_s$, y como por la Ec. (13-70) tenemos $A_{Vf} = A_{If} R_{c2}/R_s$, la ganancia de tensión también será estable si lo son las resistencias R_{c2} y R_s. En otras palabras, A_{If} y A_{Vf} dependen por igual de la frecuencia. La figura 13-18 se reproduce en la Fig. 14-13*a* para el cálculo a alta frecuencia, empleando el circuito híbrido II equivalente, con g_m = 50 mA/V, C_e = 100 pF, C_c = 3 pF, $r_{bb'}$ = 100 Ω, y $r_{b'e}$ = 1 K. Deseamos obtener la respuesta en frecuencia de A_{If} del amplificador realimentado de la Fig. 14-13*a*, con R_s = R' = 1,2 K, R_{c2} = 500 Ω, R_{c1} = 3 K, y R_e = 50 Ω. Todos ellos son los mismos parámetros empleados en el ejemplo de la Sec. 13-11.

La ganancia A_I, sin realimentación pero con los efectos de la carga que representa la red de realimentación, se puede obtener de la red A de la Fig. 14-13*b*. Como esta red



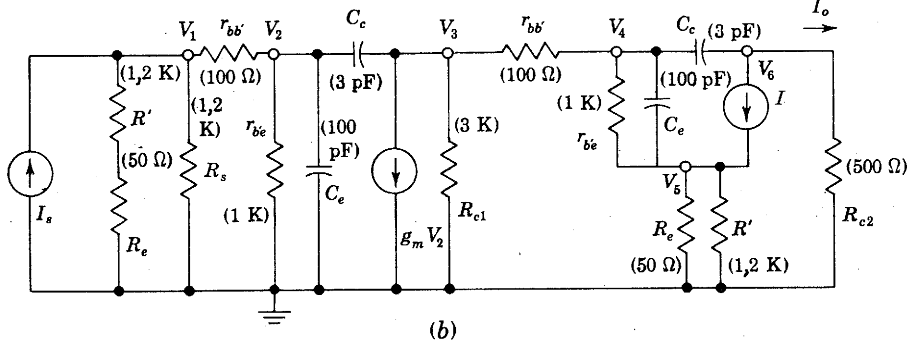


Fig. 14-13. (*a*) Par con realimentación de corriente en paralelo a frecuencias elevadas. (*b*) La red A teniendo en cuenta la carga de R'

tiene cuatro condensadores independientes, hemos de esperar que la función de transferencia de la ganancia de corriente tenga cuatro polos. Además, la presencia del condensador C_e desde el nudo V_2 a tierra provocará que la ganancia tienda a cero, como $1/s$, es decir cuando $s \to \infty$; con lo que tendremos también tres ceros en la función de transferencia. La complejidad de la red dibujada en la Fig. 14-13*b* es tal, que necesariamente tendrá que ser calculada con ordenador para determinar los polos y los ceros. Empleando el programa CORNAP del ordenador, encontramos:

$$A_I = \frac{I_o}{I_s} = K' \frac{(s - s_5)(s - s_6)(s - s_7)}{(s - s_1)(s - s_2)(s - s_3)(s - s_4)} \tag{14-45}$$

donde los polos en radianes por segundo son:

$$s_1 = -46{,}2 \times 10^5 \qquad s_2 = -45{,}9 \times 10^6$$
$$s_3 = -11{,}4 \times 10^8 \qquad s_4 = -30{,}4 \times 10^8$$

y los ceros son:

$$s_5 = 16{,}65 \times 10^9 \qquad s_6 = 15{,}4 \times 10^8 \qquad s_7 = -22{,}55 \times 10^8$$

La función de transferencia exacta del amplificador con realimentación dibujado en la Fig. 14-13*a*, tiene la forma

$$A_{If} = \frac{I_o}{I_s} = K \frac{(s - s_{5f})(s - s_{6f})(s - s_{7f})(s - s_{8f})}{(s - s_{1f})(s - s_{2f})(s - s_{3f})(s - s_{4f})} \tag{14-46}$$

Empleando el programa CORNAP, encontramos los polos (en radianes por segundo)

$$s_{1f} = -29{,}2 \times 10^6 + j5{,}40 \times 10^7$$
$$s_{2f} = -29{,}2 \times 10^6 - j5{,}40 \times 10^7$$
$$s_{3f} = -11{,}5 \times 10^8$$
$$s_{4f} = -30{,}2 \times 10^8$$

y los ceros

$$s_{5f} = 18{,}35 \times 10^8 - j9{,}75 \times 10^8$$
$$s_{6f} = 18{,}35 \times 10^8 + j9{,}75 \times 10^8$$
$$s_{7f} = -21{,}5 \times 10^8$$
$$s_{8f} = -7{,}40 \times 10^9$$

Obsérvese que los dos polos mayores son extraordinariamente modificados por la realimentación, como se predijo en la Sec. 14-4. La Fig. (14-14) representa las ecuaciones (14-45) y (14-46). Nótese que el pico en la respuesta en frecuencia está en los 7,0 MHz y que el sobrevalor es de 1,5 dB.

Ejemplo. (*a*) Calcular los dos polos menores del amplificador con realimentación de la Fig. 14-13*a*, valiéndose del hecho de que los polos s_1 y s_2 de la Ec. (14-45) son mucho menores que los polos s_3 y s_4 ($|s_3/s_2| > 4$). (*b*) Calcular la frecuencia a la que la respuesta presenta un pico, y encontrar el sobrevalor en decibelios.

SOLUCION. *a.* Aproximaremos la función de transferencia de la Ec. (14-45), empleando los dos polos menores, y haremos referencia en nuestro estudio de la función de transferencia de dos polos de la Sec. 14-2. Por lo tanto:

$$A_I = \frac{I_o}{I_s} \approx \frac{K''}{(s + 46{,}2 \times 10^5)(s + 45{,}9 \times 10^6)}$$

donde $K'' = K' s_5 s_6 s_7 / s_3 s_4$

Ya hemos considerado el mismo ejemplo para bajas frecuencias en la Sec. 13-11, donde encontramos $1 + \beta A_{Io} = 17{,}4$. Como $n = 459/46{,}2 = 9{,}92$, hallamos por la Ec. (14-31):

$$Q^2 = \frac{n}{(n+1)^2}(1 + \beta A_{Io}) = \frac{9{,}92 \times 17{,}4}{(10{,}92)^2} = 1{,}44 \text{ o } Q = 1{,}20$$

y de la Ec. (14-31) $k = 1/2Q = 1/2{,}40 = 0{,}417$ y $k^2 = 0{,}174$.

Los polos del amplificador con realimentación pueden hallarse empleando las Ecs. (14-13) o (14-32). Entonces, s_{1f} y s_{2f} vienen dados por:

$$-(46{,}2 \times 10^5)\left(\frac{10{,}92}{2}\right)(1 \mp j\sqrt{5{,}76 - 1}) = (-25{,}3 \pm j55{,}2) \times 10^6 \text{ rad/seg}$$

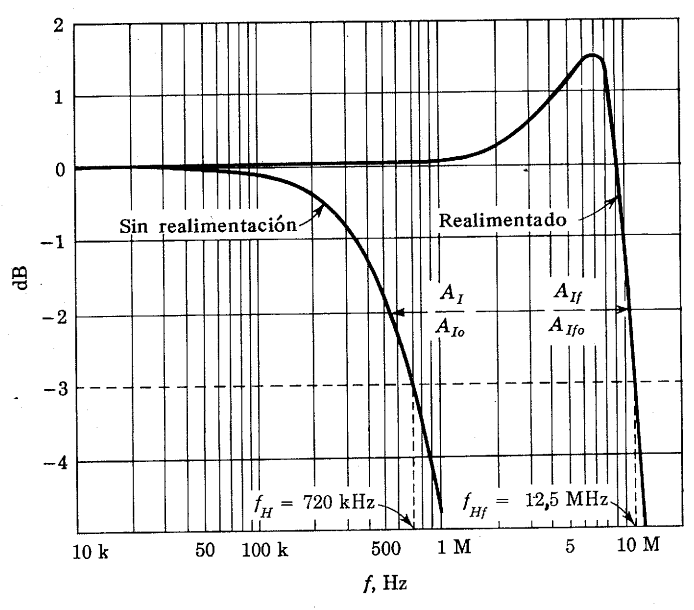


Fig. 14-14. Respuesta en frecuencia, obtenida por cálculo, del amplificador de la Fig. 14-13*a* y *b*. A_{Io} = 52,2 dB y A_{Ifo} = 27,2 dB

comparable con los valores $(-29{,}2 \pm j54{,}0) \times 10^6$ rad/seg que se obtienen con el ordenador y con un análisis exacto.

b. El pico de la respuesta en frecuencia está en la frecuencia $\omega = \omega_o \sqrt{1-2k^2}$ dada por la Ec. (14-19), donde $\omega_o = Q(\omega_1 + \omega_2) = 1{,}20\,(45{,}9 + 4{,}62) \times 10^6 = 60{,}05 \times 10^6$ tal como en la Ec. (14-11). Por lo tanto, la respuesta tiene pico a

$$f_{\text{pico}} = \frac{60{,}05}{6{,}28}\sqrt{1 - 2 \times 0{,}174} = 7{,}7 \text{ MHz}$$

la magnitud del pico viene dada por la Ec. (14-20); en el pico tenemos

$$\left|\frac{A_f}{A_{of}}\right| = \frac{1}{2k\sqrt{1-k^2}} = \frac{1}{2 \times 0{,}417\sqrt{1-0{,}174}} = 1{,}32$$

o 20 log 1,32 = 2,4 dB.

El análisis exacto requiere el uso de un ordenador y da $f_{\text{pico}} = 7{,}0$ MHz y un sobrevalor de 1,5 dB.

14-8. RESPUESTA EN FRECUENCIA DEL PAR CON REALIMENTACION DE TENSION EN SERIE

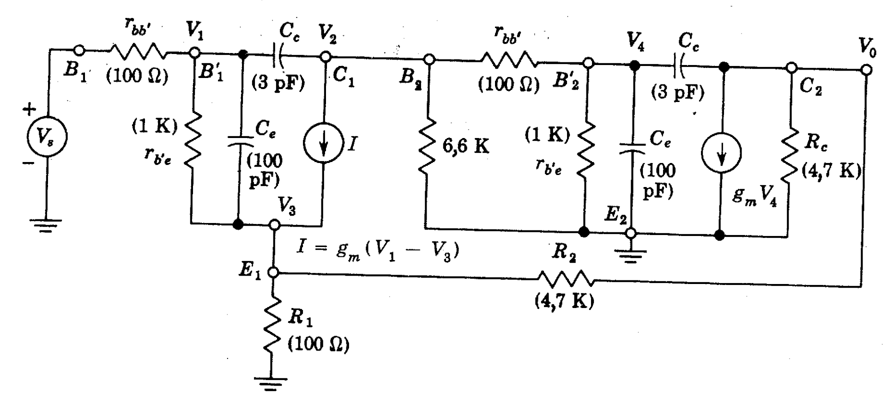
Vamos a examinar en esta sección la respuesta en frecuencia del par realimentado con tensión en serie de la Fig. 13-15. Este amplificador se analizó para bajas frecuencias en la Sec. 13-9. La Fig. 14-15*a* muestra el circuito de un amplificador preparado para su análisis a altas frecuencias, en el que se emplean los circuitos equivalentes híbridos-II para representar los transistores Q_1 y Q_2. Vamos a suponer los mismos parámetros de la sección precedente. La carga de Q_1 de 6,6K representa la combinación en paralelo de $R_{c1} = 10$ K y las resistencias de polarización de $Q2$ de 47 K y 33 K. Para analizarlo, necesitamos primero la ganancia en cadena abierta, incluidos los efectos en la carga de la red de realimentación. La figura 14-15*b* indica esta red *A*. Por la Sec. 13-5, sabemos que este tipo de realimentación estabiliza la ganancia de tensión $A_V = V_o/V_s$; por esto cabe esperar un aumento de ancho de banda en la función de transferencia de ganancia de tensión. La red de la Fig. 14-15*b* es similar a la de la Fig. 14-13*b*, excepto en el cambio de la resistencia sin desacoplar del emisor de la segunda a la primera etapa. Por lo tanto, la expresión de la ganancia de tensión A_V es similar a A_I de la Ec. (14-45); es decir, tiene tres ceros y cuatro polos.

Empleando el programa CORNAP[3], a partir de la Fig. 14-15*b* vemos que los polos (en radianes por segundo) son:

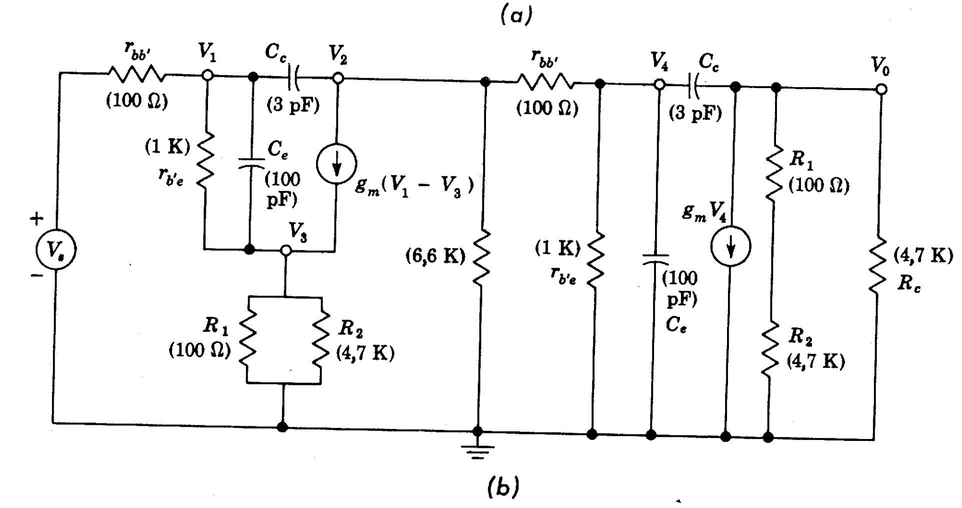
$$s_1 = -24{,}4 \times 10^5 \qquad s_2 = -26{,}8 \times 10^7$$
$$s_3 = -6{,}45 \times 10^8 \qquad s_4 = -26{,}3 \times 10^8$$

y los ceros son:

$$s_5 = -16{,}4 \times 10^8 \qquad s_6 = 10{,}3 \times 10^8 \qquad s_7 = 16{,}6 \times 10^9$$



(*a*)



(*b*)

Fig. 14-15. Par con realimentación de tensión en serie para frecuencias elevadas. (*b*) Amplificador básico, teniendo en cuenta la carga de la red β

Solución aproximada. Puesto que s_1 es mucho menor en magnitud que los restantes polos o ceros, probaremos si de $f_1 = -s_1/2\pi = 390$ kHz resulta un polo dominante después de la realimentación. Vemos (Prob. 14-23) que $4Q^2 = 0{,}67$, lo cual sobrepasa ligeramente $4Q^2_{max} = 0{,}64$, y esto significa que el segundo polo no llegará a distar dos octavas. Si pasamos por alto la presencia de este segundo polo, la solución aproximada del polo dominante del amplificador con cadena cerrada, será

$$A_{Vf} = \frac{45{,}4}{1 + j(f/9{,}05)} \tag{14-47}$$

expresando f en megahertz.

Solución exacta. La función de transferencia exacta A_{Vf}, que se obtiene de la Fig. 14-15*a* empleando el programa CORNAP[3], tiene tres ceros y cuatro polos.

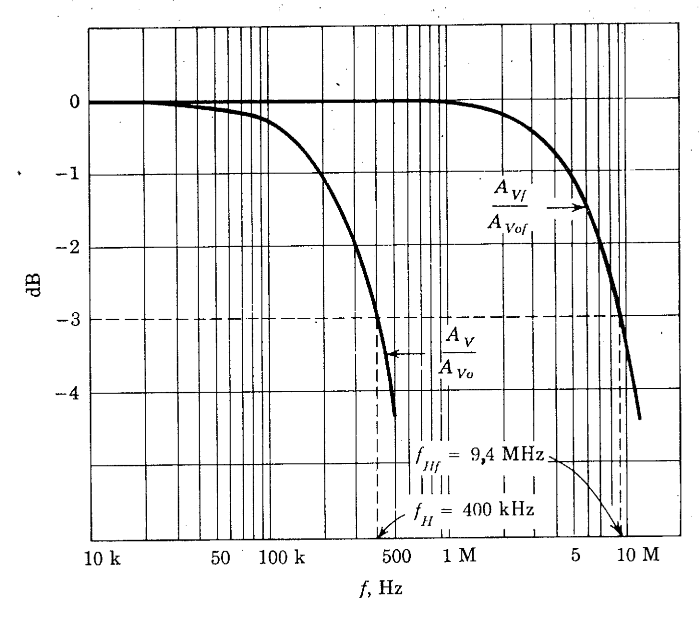


Fig. 14-16. Respuesta en frecuencia, obtenida por cálculo, de los amplificadores mostrados en la Fig. 14-15*a* y *b*. A_{Vo} = 58,4 dB, y A_{Vof} = 33,1 dB

Los polos (en radianes por segundo) son

$$s_{1f} = -6{,}55 \times 10^7 \qquad s_{2f} = -17{,}4 \times 10^7$$

$$s_{3f} = -6{,}90 \times 10^8 \qquad s_{4f} = -26{,}2 \times 10^8$$

y los ceros son

$$s_{5f} = -17{,}0 \times 10^8 \qquad s_{6f} = 11{,}9 \times 10^8 \qquad s_{7f} = 8{,}10 \times 10^9$$

Obsérvese que los dos polos superiores sólo se modifican ligeramente con la realimentación.

Las dos respuestas en frecuencias en cadena abierta y cerrada obtenidas con la ayuda del ordenador se representan en la Fig. 14-16, en la que encontramos que la frecuencia superior, de 3 dB, sin realimentación es de 400 kHz, y la correspondiente a la del amplificador con realimentación es 9,4 MHz, lo que podemos comparar con los valores aproximados de 390 kHz y 9,05 MHz.

14-9. ESTABILIDAD[4]

Se ha considerado la realimentación negativa para $|1 + A\beta| > 1$ con sumo detalle en las secciones precedentes. Si $|1 + A\beta| < 1$, la realimentación se denomina *positiva* o *regenerativa*. En estas circunstancias, la ganancia de transferencia A_f será mayor que A, ganancia nominal sin realimentación, ya que $|A_f| = |A|/|1 + A\beta| > |A|$. Armstrong[5] fue el primero

que sugirió la realimentación positiva para aumentar la amplificación. Este método se emplea raramente, ya que el amplificador con realimentación positiva es muy inestable.

A fin de ilustrar la inestabilidad de un amplificador con realimentación positiva, vamos a considerar la siguiente situación: no se aplica señal, pero debido a alguna perturbación transitoria, en los terminales de salida aparece una señal X_o. Una parte de esta señal, $-\beta X_o$, realimentará el circuito de entrada, y aparecerá en la salida una señal incrementada $-A\beta X_o$. Si este término iguala exactamente a X_o, entonces se ha regenerado la salida espuria por sí misma. En otras palabras, si $-A\beta X_o = X_o$ (o sea si $-A\beta = 1$), el amplificador oscilará (Sec. 14-15). Por lo tanto, si se intenta obtener una gran ganancia haciendo $|A\beta|$ casi igual a la unidad, existe la posibilidad de que el amplificador oscile espontáneamente. Esto podría ocurrir si, debido a las variaciones de la tensión de alimentación, envejecimiento de transistores, etc., $-A\beta$ llegara a valer la unidad. No es ventajoso pretender mayor amplificación a costa de la estabilidad. De hecho, y debido a todas las ventajas enumeradas en la Sec. 13-2, en los amplificadores casi siempre se emplea la realimentación negativa, pero, eventualmente, cabe emplear combinaciones de realimentaciones positivas y negativas.

Condición para la estabilidad. Si un amplificador se diseña con realimentación negativa para un determinado margen de frecuencias, pero oscila a alguna frecuencia más alta o más baja, no se le debe emplear como amplificador. Por lo tanto, en el diseño de cualquier amplificador realimentado, debemos asegurarnos de que el circuito es estable a *todas* las frecuencias, y no sólo en el margen de frecuencias que nos interese. En el sentido empleado, el sistema será estable si, para cualquier perturbación transitoria, la respuesta desaparece espontáneamente. Un sistema es inestable cuando una perturbación transitoria persiste indefinidamente o aumenta hasta que queda limitada tan sólo por una no linealidad del circuito. En la Sec. 14-3, se ha demostrado que la cuestión de la estabilidad lleva consigo el estudio de los polos de la función de transferencia, ya que éstos determinan el comportamiento transitorio de la red. Si existe un polo con parte real positiva, ello dará como resultado un aumento de cualquier perturbación de forma exponencial con el tiempo. Por esto, la condición que debe cumplir un amplificador para ser estable, es que los polos de la función de transferencia estén todos ellos situados en la mitad izquierda del plano de frecuencia compleja. Si el sistema sin realimentación es estable, los polos de A están en la mitad izquierda del plano. Como consecuencia de la Ec. (14-1), se puede establecer, que *la condición para la estabilidad requiere que los ceros de* $1 + \beta A$ *estén todos ellos situados en la mitad izquierda del plano de frecuencia compleja.*

Criterio de Nyquist. Nyquist[4,6] obtuvo una variante, pero equivalente, condición de estabilidad que puede expresarse en función de la característica en régimen permanente o respuesta en frecuencia. Lo plantearemos sin demostración: Como el producto $A\beta$ es un número complejo, cabe representarlo como un punto en el plano complejo, representándose la parte real en el eje X, y la componente j en el eje Y. Además, $A\beta$ es función de la frecuencia. En consecuencia, se obtienen puntos del plano complejo para los valores de $A\beta$ que corresponden a todas las frecuencias desde $-\infty$ a $+\infty$. El lugar geométrico de todos estos puntos forma una curva cerrada. El criterio de Nyquist dice *que todo amplificador es inestable si esta curva envuelve al punto* $-1 + j0$, *y es estable cuando no lo envuelve.*

Los criterios de realimentación positiva o negativa pueden representarse también en el plano complejo. Por la Fig. 14-17 vemos que $|1 + A\beta| = 1$ representa un círculo de radio

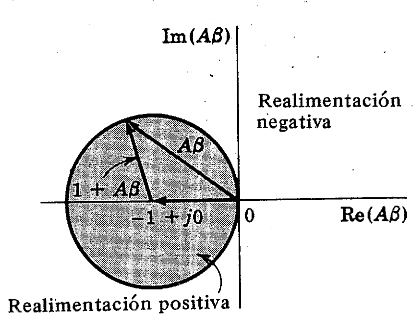


Fig. 14-17. El lugar geométrico de $|1 + A\beta| = 1$ es una circunferencia de radio unidad, con su centro en $-1 + j0$. Si el vector $|A\beta|$ finaliza en la región sombreada, la realimentación es positiva

unidad, con el centro en el punto $-1 + j0$. Si, para cualquier frecuencia, $A\beta$ es exterior al círculo, la realimentación es negativa, ya que entonces $|1 + A\beta| > 1$. En cambio, si $A\beta$ está situado dentro del círculo, entonces $|1 + A\beta| < 1$, y la realimentación es positiva. En este último caso el sistema no oscilará si no se cumple el criterio de Nyquist.

Ejemplo. Consideremos un amplificador con un polo dominante en cadena abierta tal que la ganancia de transferencia esté representada por la Ec. (14-2). Por lo tanto:

$$\beta A = \frac{\beta A_o}{1 + j(f/f_H)} \tag{14-48}$$

$$\beta A + j\beta A \frac{f}{f_H} = \beta A_o \tag{14-49}$$

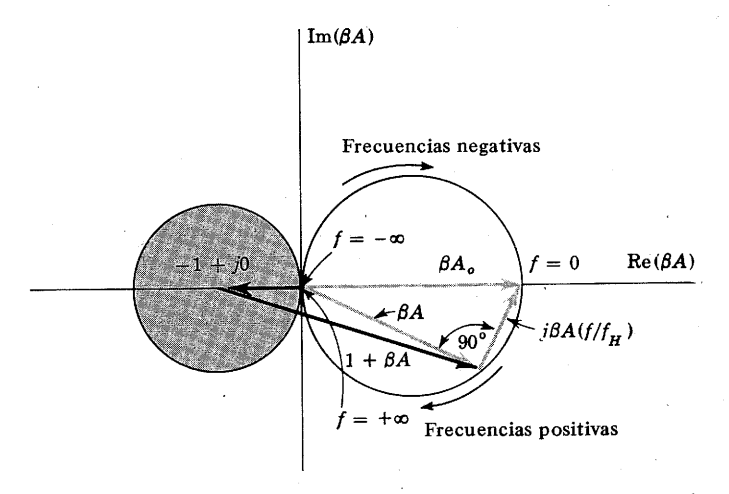


Fig. 14-18. Para un amplificador con polo dominante, el lugar (para todos los valores de la frecuencia) de βA en el plano complejo βA, es una circunferencia en el semiplano de la derecha

Como βA es un vector en el plano complejo βA, entonces $j\beta A\ (f/f_H)$ será normal a βA, y por la Ec. (14-49) la suma de estos dos vectores será βA_o, que es constante para β independiente de la frecuencia. En consecuencia, vemos en la Fig. 14-18 que βA_o es el diámetro de un círculo, y la mitad inferior de este círculo es el lugar geométrico de βA como función de los valores positivos de la frecuencia. En otras palabras, la parte inferior del semicírculo (en la mitad derecha del plano) es la representación polar de βA para frecuencias positivas. De forma parecida, cabe demostrar que el semicírculo superior es el lugar geométrico de βA para frecuencias negativas.

Como la curva βA no envuelve el punto $-1 + j0$, el amplificador es estable y la realimentación es negativa para todas las frecuencias. Se ve también en el diagrama que $|1 + \beta A| > 1$ para todas las frecuencias, lo cual es condición de la realimentación negativa.

14-10. MARGENES DE GANANCIA Y FASE

En la sección precedente, hemos examinado dos criterios para determinar cuándo un amplificador realimentado es estable o inestable. A menudo, es difícil aplicar cualquiera de las dos condiciones de estabilidad a un amplificador práctico. Debe quedar bien claro, en la explicación precedente, que *no son posibles las oscilaciones si la magnitud de la ganancia del lazo* $|A\beta|$ *es menor que la unidad cuando el ángulo de fase de* $A\beta$ *es* 180°. Esta condición es la clave para asegurar en la práctica que un amplificador sea estable.

Consideremos, por ejemplo, una función de transferencia de tres polos dada por la Ec. (14-28). En este caso especial, podemos suponer que está ganancia representa tres etapas en cascada, cada una de ellas con un polo dominante debido al condensador en paralelo. Para simplificar el razonamiento, vamos a considerar que las tres etapas del amplificador no tienen interacción, y que los polos son iguales; $\omega_1 = \omega_2 = \omega_3$. (Consideraremos el caso general de polos distintos en la próxima sección.) Hay un valor definido máximo de la fracción de la realimentación $|\beta|$, admisible para un funcionamiento estable. Para ver esto, obsérvese que, en baja frecuencia, hay un cambio de fase de 180° en cada etapa y 540°, o su equivalente de 180°, para las tres etapas. En otras palabras, la ganancia en frecuencias medias A_o en la Ec. (14-28), es negativa. Como estamos considerando una realimentación negativa, entonces $1 + \beta A_o > 1$ y β debe ser negativa (suponiendo que sea real). A altas frecuencias, hay un cambio de fase debido a los condensadores en paralelo, y a la frecuencia a la cual el cambio de fase es de 60° por etapa, el cambio total de fase de A es nulo y el de $A\beta$ de 180°. Si llamamos A_{60} a la magnitud de la ganancia a esta frecuencia, entonces debe elegirse β de tal manera que $A_{60}|\beta|$ sea menor que la unidad si se desea evitar toda posibilidad de oscilaciones. De forma parecida, debido al cambio de fase introducido por los condensadores de bloqueo entre etapas, existe una frecuencia baja a la que el cambio de fase por etapa es también de 60°, y por tanto hay una posibilidad de oscilación también a esta baja frecuencia, salvo que se limite el valor máximo de β tal como se ha indicado anteriormente.

En lugar de trazar el producto $A\beta$ en el plano complejo, es más conveniente dibujar la magnitud, normalmente en decibelios, así como la fase de $A\beta$ en función de la frecuencia. Si podemos demostrar que $|A\beta|$ es menor que la unidad cuando el ángulo de fase de $A\beta$ sea de 180°, el amplificador en cadena cerrada será estable.

Margen de ganancia. Se define como margen de ganancia el valor de $|A\beta|$ en dB a la frecuencia en que el ángulo de fase de $A\beta$ sea 180°. Si el margen de ganancia es negativo,

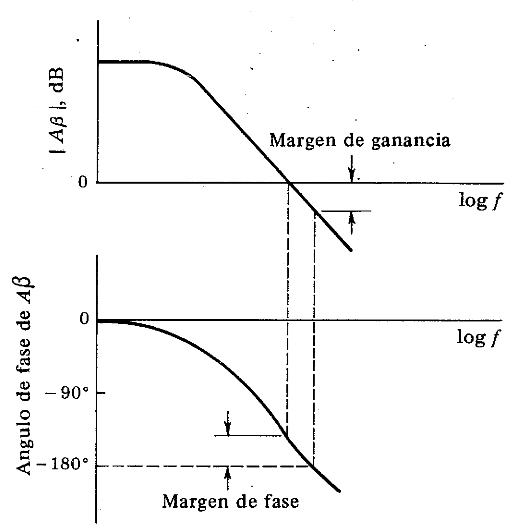


Fig. 14-19. Curvas de Bode relativas a las definiciones de márgenes de ganancia y de fase

su valor nos da la elevación en dB de la ganancia en cadena abierta, que se puede permitir teóricamente sin oscilación. Si el margen de ganancia es positivo, el amplificador es potencialmente inestable. La Fig. 14-19 da una imagen de la definición.

Margen de la fase. El margen de fase es 180° menos el valor del ángulo de $A\beta$ a la frecuencia en que $|A\beta|$ es la unidad (0 decibelios). Las magnitudes de estas cantidades nos dan idea de hasta qué punto es estable un amplificador. Por ejemplo, un amplificador lineal de buena estabilidad requiere unos márgenes de ganancia y de fase de 10 dB y 50°, respectivamente, por lo menos. Esta definición está representada en la Fig. 14-19.

14-11. COMPENSACION[7]

En la sección precedente, hemos establecido que si $\beta A = 1 \angle 180°$, el amplificador realimentado será inestable. Para que esto suceda con realimentación resistiva, es necesario que la red A, o la función de transferencia directa, tenga más de dos polos. Para un amplificador multietapa, si la ganancia en cadena abierta $|\beta A|$ fuese igual a la unidad cuando el cambio de fase fuera de 180°, el amplificador en cadena cerrada oscilaría. Las técnicas de compensación reducen la ganancia del amplificador A a aquellas frecuencias a las que correspondan cambios de fase altos.

Amplificador de tres polos. Para ilustrar el problema de la estabilidad con mayor detalle que en la sección precedente, vamos a considerar un amplificador con ganancia de tensión

$$A_V = \frac{-10^3}{\left(1 + j\frac{f}{1}\right)\left(1 + j\frac{f}{10}\right)\left(1 + j\frac{f}{50}\right)} \qquad (14\text{-}50)$$

donde f está indicado en megahertz. Los tres polos son $f_1 = 1, f_2 = 10$, y $f_3 = 50$ MHz. Si muestreamos la tensión de salida V_o y devolvemos una fracción βV_o de la misma en oposición y en serie con la tensión de entrada, la ganancia de tensión del amplificador realimentado A_{Vf} vendrá dada por la Ec. (14-29). Para realimentación negativa, β debe ser un número real y negativo, que supondremos independiente de la frecuencia. *Este amplificador oscilará cuando $A_V|\beta| = 1 \angle 180°$, o cuando la magnitud de la ganancia $|A_V|$ sea igual a $|1/\beta|$ y la fase de $-A_V$ sea 180°.*

En la figura 14-20 se representa la curva ideal de Bode de $|A_V|$ y la fase de $-A_V$ en función de la frecuencia. Las discontinuidades o codos de la curva de magnitud estarán en f_1, f_2 y f_3 y la pendiente de las líneas aumenta en 20 dB por década (6 dB por octava) después de cada codo, tal como se ha comentado en la sección 12-4. La curva de fase es más complicada; por esto, la contribución a la fase θ de cada polo se indica separadamente con las líneas de trazos. Por ejemplo, la curva marcada θ_2 corresponde al polo f_2. De acuerdo con el comentario de la Sec. 12-4, $\theta_2 = 0$ cuando $f \leqslant 0{,}1f_2$ y $\theta_2 = -90°$ cuando $f \geqslant 10f_2$, y θ_2 decrece 45° por década cuando $0{,}1f_2 \leqslant f \leqslant 10f_2$. A $f = f_2 = 10$ MHz, $\theta_2 = -45°$. La fase resultante a cualquier frecuencia es la suma de las tres curvas de trazos a dicha frecuencia, y está indicada por una curva sombreada.

Vemos por la Fig. 14-20 que la fase de $-A_V$ es 180° a $f = 22$ MHz. Por tanto, si $|1/\beta| = A_V = 26$ dB, el amplificador oscilará a $f = 22$ MHz. Si deseamos mantener un margen de fase de 45°, lo que sucederá a 8 MHz, deberemos tener:

$$\left|\frac{1}{\beta}\right| = |A_V|(f = 8\text{ MHz}) = 42\text{ dB}$$

Puesto que

$$20 \log |\beta A_{Vo}| \approx 20 \log |A_{Vo}| - 20 \log \left|\frac{1}{\beta}\right| \qquad (14\text{-}51)$$

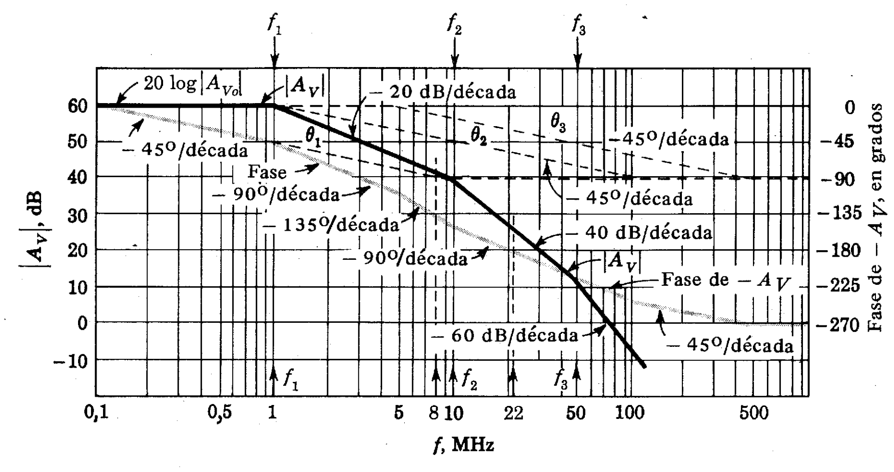


Fig. 14-20. Ganancia de tensión en cadena abierta $|A_V|$ (líneas continuas) y fase de $-A_V$ (líneas sombreadas) de un amplificador de tres polos. Las líneas de trazos son las contribuciones a la fase de cada polo.

el máximo valor de la ganancia del lazo para un margen de fase de 45° será:

$$|\beta A_{Vo}|_{\max} = 60 - 42 = 18 \text{ dB}$$

En algunas aplicaciones, la desensibilidad aportada por la ganancia del lazo podría no ser suficiente, y entonces se emplea una compensación para aumentar la ganancia máxima del lazo manteniendo el mismo margen de fase.

Métodos generales de compensación. La idea esencial de la compensación es la de reajustar las curvas de magnitud y de fase de βA, de modo que $|\beta A| < 1$ cuando el ángulo de βA sea 180°. Hay tres métodos generales para conseguir este objetivo:

1. *Compensación por polo dominante o por retardado.* Este método introduce un polo extra en la función de transferencia a una frecuencia inferior a la de los polos existentes, lo cual da lugar a un retardo de fase en el amplificador.
2. *Compensación por adelanto.* El amplificador o la red de realimentación se modifica de tal manera que añada un cero a la función de transferencia; por tanto aumenta la fase.
3. *Compensación polo-cero o retardo-avance.* Esta técnica añade las dos cosas: un polo (retraso) y un cero (adelanto) en la ganancia de transferencia. El cero se elige para que anule el polo menor.

Estos métodos se tratarán con detalle en las secciones siguientes.

14-12. COMPENSACION DE POLO DOMINANTE

El amplificador se modifica añadiendo un polo dominante, es decir, un polo mucho menor en magnitud que cualquiera de los otros polos de la función de transferencia directa. En consecuencia, la ganancia del lazo cae a 0 dB con una pendiente de 6 dB por octava, a una frecuencia con la que los polos de A_V contribuyen despreciablemente al cambio de fase.

Supongamos que modificamos A_V de la Ec. (14-50), añadiendo un polo dominante tal que la nueva función de transferencia sea:

$$A'_V = \frac{1}{1 + j(f/f_d)} A_V \qquad (14\text{-}52)$$

siendo $f_d \ll 1$ MHz. Esto puede lograrse con una simple red RC colocada en el amplificador, tal como indica la Fig. 14-21, o conectando un condensador C desde un punto

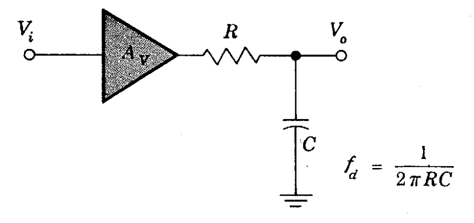


Fig. 14-21. Compensación por polo dominante

conveniente de alta resistencia a tierra. Supongamos que $f_d = 1$ kHz, y que las curvas de Bode son las dadas en la Fig. 14-22. Vemos que el margen de fase de 45° está en $f =$ 1 MHz y que $|A_V| = |1/\beta|$ es 0 dB a esta frecuencia. Por esto, según la Ec. (14-51), la máxima ganancia del lazo $|\beta A_{Vo}|_{\max}$ para un margen de fase de 45° es de 60 dB.

Es interesante comparar el ancho de banda del amplificador realimentado con o sin compensación. Para un valor de realimentación de $|A_{Vo}\beta| = 10$ dB, la Fig. 14-20 indica que $f_{Hf} = 3$ MHz, y por la Fig. 14-22 encontramos para el amplificador compensado $f_{Hf} = 3$ kHz. Esto demuestra claramente que la compensación con polo dominante desperdicia anchura de banda, y habrá que emplear otros métodos si se desea un ancho de banda máximo.

14-13. COMPENSACION POLO-CERO (RETRASO-AVANCE)

En este tipo de compensación, la función de transferencia directa A se altera por la adición de un polo y de un cero, con el cero a mayor frecuencia que el polo. La figura 14-23 indica un amplificador directo con una red en cascada de un polo y un cero. La función de transferencia de la red defasadora viene dada por:

$$\frac{V_3}{V_2} = \frac{1 + j(f/f_z)}{1 + j(f/f_p)} \qquad (14\text{-}53)$$

donde

$$f_z = \frac{1}{2\pi R_2 C} \qquad f_p = \frac{1}{2\pi(R_1 + R_2)C} \qquad (14\text{-}54)$$

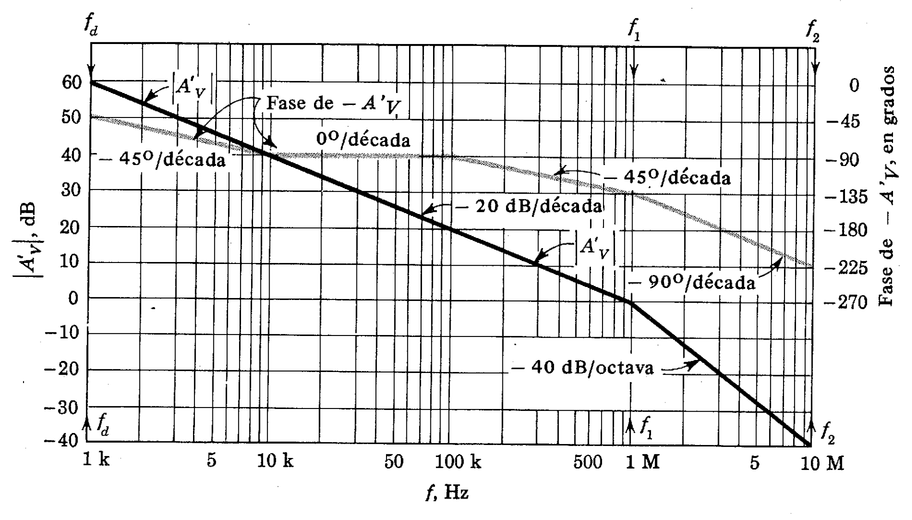


Fig. 14-22. Ganancia en cadena abierta $|A'_V|$ (líneas continuas) y fase de $-A'_V$ (líneas sombreadas), en que A'_V representa a A_V de la Fig. 14-20 aumentada por un polo dominante a 1 kHz

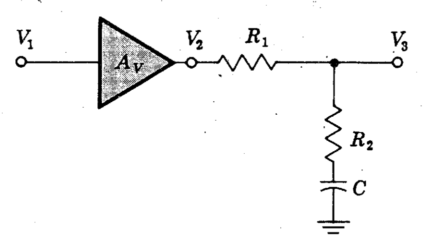


Fig. 14-23. Compensación de polo-cero

La curva de Bode de la Ec. (14-53) está dibujada en la Fig. 14-24, en la cual vemos que la fase es siempre negativa y por tanto la salida retrasa con respecto a la entrada. Si suponemos que la red de compensación no carga el amplificador, la función de transferencia directa modificada será:

$$A'_V = \frac{V_3}{V_1} = A_V \frac{1 + j(f/f_z)}{1 + j(f/f_p)} \qquad (14\text{-}55)$$

Supongamos que A_V viene dado por la Ec. (14-50); seleccionemos la frecuencia f_z para que sea igual al menor polo de A_V, de tal manera que lo anule completamente.

La función de transferencia directa será ahora (expresando f en megahertz):

$$A'_V = \frac{-10^3}{\left(1 + j\dfrac{f}{f_p}\right)\left(1 + j\dfrac{f}{10}\right)\left(1 + j\dfrac{f}{50}\right)} \qquad (14\text{-}56)$$

Si situamos el polo a $f_p = 0{,}2$ MHz, las curvas de Bode de magnitud de A'_V y de fase de $-A'_V$ serán las dibujadas en la Fig. 14-24. Vemos que la máxima ganancia del lazo

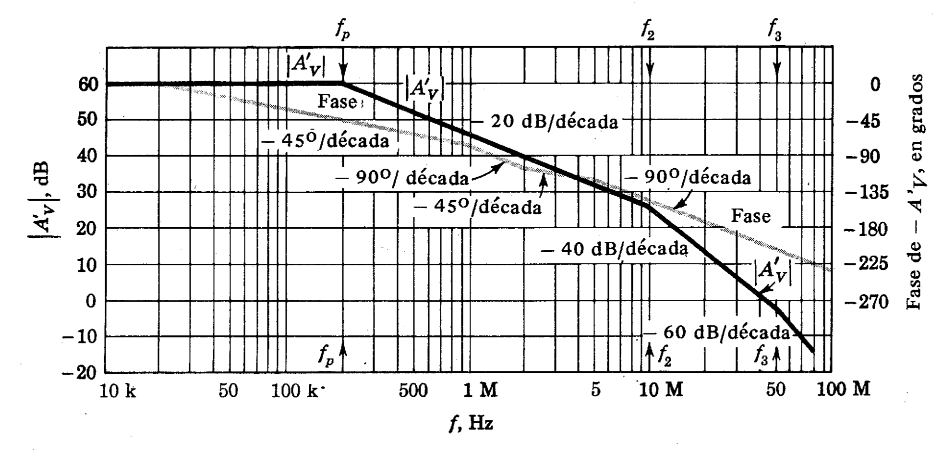


Fig. 14-24. Ganancia en cadena abierta $|A'_V|$ (líneas continuas) y fase de $-A'_V$ (líneas sombreadas), donde A'_V representa a A_V de la figura 14-20 aumentada por un polo a 200 kHz y un cero a 1 MHz

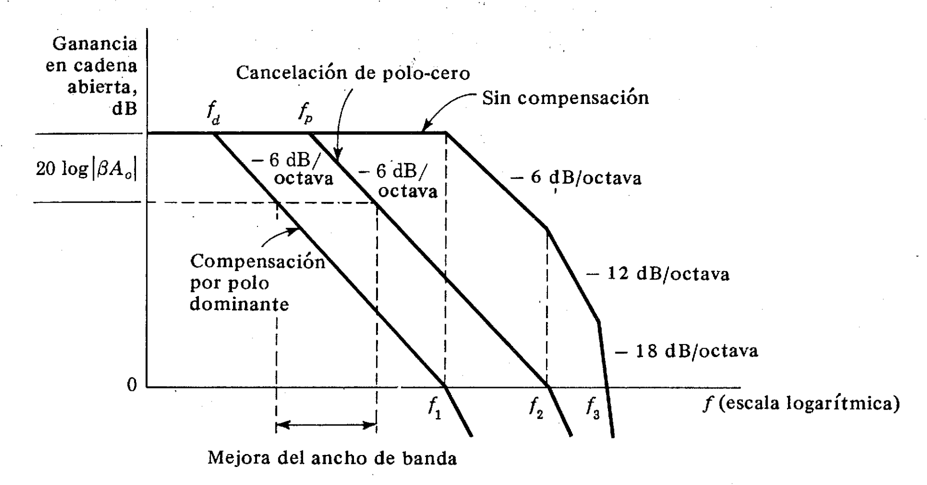


Fig. 14-25. Comparación de las técnicas de compensación por polo dominante y por polo-cero

$|\beta A_V|_{max}$ para un margen de fase de 45° es de 31 dB. Por otra parte, el ancho de banda para una ganancia del lazo de 10 dB será de 640 kHz, en comparación con los 3 kHz de la compensación por polo dominante.

Puede verse, en la Fig. 14-25, la comparación entre las técnicas de compensación por polo dominante y de polo-cero. El polo dominante se selecciona de tal manera que la función de transferencia directa compensada pase por 0 dB en el primer polo f_1 de la respuesta no compensada. Para la compensación por retraso y adelanto se escoge el cero igual a f_1; mientras que el polo se selecciona de tal manera que la función de transferencia directa compensada pase por 0 dB en el segundo polo de la función de transferencia no compensada. La figura muestra también la mejora del ancho de banda.

14-14. COMPENSACION POR MODIFICACION DE LA RED β[8]

En lugar de modificar la respuesta de la función de transferencia directa A, existe la posibilidad de alterar la ganancia del lazo βA añadiendo elementos reactivos en la red de realimentación con el fin de compensar el amplificador realimentado. En la Sec. 12-11 examinamos el amplificador de tres etapas representado en la Fig. 12-20*a*. Este amplificador se vuelve a indicar en la Fig. 14-26 como amplificador con realimentación de tensión en paralelo.

Supongamos que la red de realimentación no carga el amplificador directo, de manera que pueda emplearse la función de transferencia directa en circuito abierto

$$R_M = V_o/I_s = (V_o/V_s)\,R_s$$

hallada en la Sec. 12-11.

La función de transferencia exacta de la Ec. (12-49) obtenida con la ayuda del ordenador da seis polos y tres ceros. Añadiendo la carga reactiva de la red β, introduciremos otro polo a mucha mayor frecuencia en la función de transferencia. Por esta razón, podremos

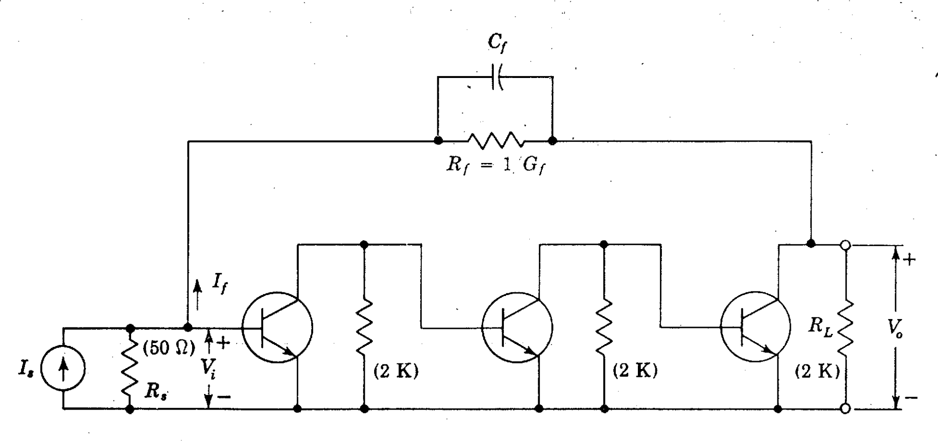


Fig. 14-26. Compensación por modificación de la red de alimentación

emplear los tres polos menores obtenidos en la Sec. 12-11 para aproximar la función de transferencia R_M y, por tanto, tendremos (con f en megahertz):

$$R_M = \frac{V_o}{I_s} = -\frac{45{,}25 \times 10^6}{\left(1 + j\dfrac{f}{0{,}438}\right)\left(1 + j\dfrac{f}{2{,}12}\right)\left(1 + j\dfrac{f}{12{,}3}\right)} \qquad (14\text{-}57)$$

Para hallar β, supongamos una ganancia elevada del amplificador $V_o \gg V_i$ e

$$I_f = (G_f + sG_f)(V_i - V_o) \approx -G_f\left(1 + s\frac{C_f}{G_f}\right) V_o = \beta V_o$$

De ahí que la ganancia del lazo será

$$\beta R_M = \frac{45{,}25 \times 10^6 G_f \left(1 + j\dfrac{f}{f_z}\right)}{\left(1 + j\dfrac{f}{0{,}438}\right)\left(1 + j\dfrac{f}{2{,}12}\right)\left(1 + j\dfrac{f}{12{,}3}\right)} \qquad (14\text{-}58)$$

siendo $f_z = 1/2\pi C_f R_f$. La presencia de C_f introduce un cero en la expresión de la ganancia del lazo, que puede emplearse para la compensación. Si $C_f = 0$, entonces $\beta = -G_f$, un número real negativo, y el amplificador oscilará cuando $-|\beta| R_M = 1 \angle 180^\circ$, o cuando $|R_M| = |1/\beta|$ y la fase de $-R_M$ sea de 180°.

El diseñador debe escoger la situación del cero de la Ec. (14-58). Si se desea el máximo ancho de banda sin picos en la respuesta de frecuencia, entonces la óptima localización del cero estará entre el segundo y el tercer polo en magnitud, como vamos a demostrar en el siguiente ejemplo.

Ejemplo. El amplificador de la Fig. 14-26 se modifica de tal manera que $R_L = 50\ \Omega$, y $C_f = 0$. Hallar (*a*) los polos y trazar la curva de $A_V = V_o/V_s$, con $R_f = \infty$; (*b*) repetir el apartado *a*, con $R_f = 5$ K; (*c*) hallar C_f para que la respuesta en frecuencia sea plana y sin picos (con $R_f = 5$ K).

SOLUCION. *a*. Evidentemente el amplificador de tres etapas es demasiado complicado para calcularlo manualmente. Empleando el programa CORNAP y haciendo $R_f = \infty$, encontramos los polos (en radianes por segundo):

$$s_{p1} = -5{,}05 \times 10^6 \qquad s_{p2} = -2{,}60 \times 10^7$$
$$s_{p3} = -7{,}95 \times 10^7 \qquad s_{p4} = -3{,}96 \times 10^9$$
$$s_{p5} = -4{,}41 \times 10^9 \qquad s_{p6} = -7{,}40 \times 10^9$$

Los ceros son:

$$s_{z1} = 16{,}65 \times 10^9$$
$$s_{z2} = 16{,}65 \times 10^9 + j11{,}15 \times 10^4$$
$$s_{z3} = 16{,}65 \times 10^9 - j11{,}15 \times 10^6$$

La ganancia a baja frecuencia $A_V = V_o/V_s$ vale $-2{,}262$ ó 67,09 dB. La función de transferencia $A_V(f)$ se dibuja en la Fig. 14-27.

b. Haciendo $R_f = 5$ K y empleando CORNAP, encontramos los polos con realimentación (en radianes por segundo):

$$s_{p1} = -8{,}85 \times 10^5 - j4{,}73 \times 10^7 \qquad s_{p2} = -8{,}85 \times 10^5 + j4{,}73 \times 10^7$$
$$s_{p3} = -10{,}9 \times 10^7 \qquad s_{p4} = -3{,}96 \times 10^9$$
$$s_{p5} = -4{,}41 \times 10^9 \qquad s_{p6} = -7{,}45 \times 10^9$$

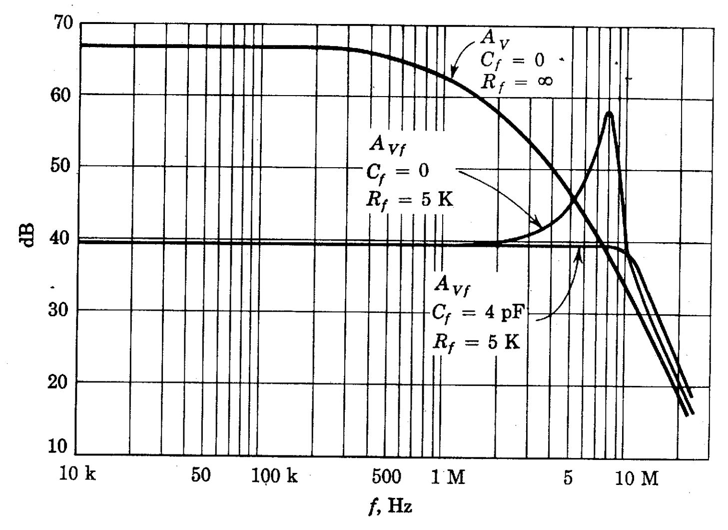


Fig. 14-27. Determinación del valor de C_f para que no haya un pico en la respuesta

y la ganancia a baja frecuencia con realimentación $A_{Vf} = -95{,}68$, o 39,61 dB. La respuesta completa está indicada en la Fig. 14-27.

c. Por la curva del apartado *b* vemos que la ganancia de tensión tiene un pico a $f_o = 8$ MHz. Si colocamos el cero de la red β en f_o, encontramos:

$$C_f = \frac{1}{2\pi R_f f_o} \approx 4 \text{ pF}$$

La respuesta en frecuencia de A_{Vf} con $R_f = 5$ K y $C_f = 4$ pF está dibujada en la Fig. 14-27, para la cual vemos que no hay ningún pico.

14-15. OSCILADORES SENOIDALES

Muchas configuraciones de circuitos tienen una onda de salida de forma fundamentalmente senoidal, aun sin señal de excitación de entrada. Estudiaremos aquí los principios básicos que gobiernan estos osciladores. Determinaremos, además, las condiciones requeridas para que tenga lugar la oscilación, y también se estudiará su estabilidad de frecuencia y de amplitud.

La figura 14-28 muestra un amplificador, una red de realimentación y un circuito mezclador de entrada todavía sin conectar en cadena cerrada. El amplificador da lugar a una señal de salida x_o como consecuencia de la señal x_i aplicada directamente al terminal de entrada del amplificador. La salida de la red de realimentación será $x_f = \beta x_o = A\beta x_i$, y la salida del circuito mezclador (que ahora es simplemente un inversor) será:

$$x'_f = -x_f = -A\beta x_i$$

La ganancia del lazo de la Fig. 14-28 será:

$$\text{Ganancia del lazo} = \frac{x'_f}{x_i} = \frac{-x_f}{x_i} = -\beta A \tag{14-59}$$

Supongamos que los elementos están ajustados de tal manera que la señal x'_f es *idénticamente* igual a la señal externa aplicada a la entrada x_i. Puesto que el amplificador no

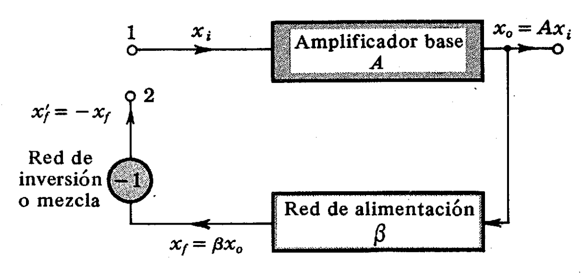


Fig. 14-28. Amplificador con ganancia de transferencia A y red de realimentación β, no conectados aún en cadena cerrada. (Compárese con Fig. 13-8.)

distingue la procedencia de la señal aplicada a su entrada parece que, si eliminamos la fuente exterior y conectamos el terminal 2 al 1, el amplificador continuará dando la misma señal de salida x_o que antes.

Obsérvese que la premisa $x'_f = x_i$ significa que los valores instantáneos de x'_f y x_i son exactamente iguales en todo momento. Nótese también que, como en la discusión anterior no se ha hecho ninguna restricción en cuanto a la forma de onda; ésta no tiene por qué ser precisamente senoidal. El amplificador no necesita ser lineal, y la forma de onda no necesita conservarse a lo largo de toda la transmisión del amplificador, basta con que x'_f conserve la misma frecuencia y forma que la señal de entrada x_i. La condición $x'_f = x_i$ equivale a $-A\beta = 1$, o sea que *la ganancia del lazo debe ser igual a la unidad.*

Criterio de Barkhausen. Vamos a suponer en esta explicación acerca de los osciladores que el circuito funciona linealmente y que el amplificador o la red de alimentación, o ambos, tienen elementos reactivos. En estas circunstancias, la única onda periódica que podrá mantener su forma será la senoidal. Para una forma de onda senoidal, la condición $x_i = x'_f$ es equivalente a la condición de que *la amplitud, fase y frecuencia de ambas sean idénticas.* Puesto que el cambio de fase introducido en una señal por su transmisión a través de elementos reactivos, es, invariablemente, función de la frecuencia, tenemos el importante principio siguiente:

La frecuencia a la cual funcionará un oscilador senoidal es aquella en que el defase total introducido, al transmitirse la señal desde los terminales de entrada por el amplificador y la red de realimentación hasta volver de nuevo a la entrada, es precisamente cero (o también un múltiplo entero de 2π). Dicho de una forma más simple, la frecuencia de un oscilador senoidal está determinada por la condición de que el cambio de fase del lazo sea cero.

También cabe formular otros muchos principios para determinar la frecuencia de funcionamiento, pero siempre se puede demostrar que son idénticos al indicado antes. Digamos de paso, que no es inconcebible que la condición anterior sea satisfecha por más de una frecuencia. En tal caso, hay la posibilidad de que oscile a varias frecuencias simultáneamente o sólo a una de las varias posibles.

La condición dada anteriormente determina la frecuencia, supuesto que el circuito oscilará. Otra condición que debe cumplirse de forma evidente, es que los valores de x_i y x'_f sean idénticos. Esta condición se incluye en el siguiente principio:

Las oscilaciones no se sostendrán si, a la frecuencia del oscilador, la magnitud del producto de la ganancia de transferencia del amplificador por el factor de realimentación de la red (ganancia del lazo) es menor que la unidad.

La condición de que *la ganancia del lazo sea la unidad* $-A\beta = 1$ se denomina *criterio de Barkhausen.* Esta condición implica, naturalmente, que $|A\beta| = 1$ y que la fase de $-A\beta$ sea igual a cero. Los principios enunciados más arriba son coherentes con la fórmula de la realimentación $A_f = A/(1 + \beta A)$, ya que si $-\beta A = 1$, entonces $A_f \to \infty$, lo cual puede interpretarse como que existirá una tensión de salida aun en ausencia de una tensión de señal de entrada.

Consideraciones prácticas. Refiriéndonos a la figura 14-8, parece ser que, si $|A\beta|$ a la frecuencia del oscilador es precisamente la unidad, entonces, con la señal de realimentación conectada a los terminales de entrada, la eliminación del generador exterior no deberá notarse. Si $|\beta A|$ es menor que la unidad, la eliminación del generador exterior hará cesar las oscilaciones. Pero supongamos ahora que $|\beta A|$ es mayor que la unidad. Entonces, por ejemplo una señal de 1 V inicial a la entrada dará lugar a una amplitud mayor que

1 V, tras haber circulado por el lazo completo y vuelto a la entrada. Esta mayor tensión reaparecerá nuevamente como otra todavía mayor, y así sucesivamente. Parece entonces que, si $|\beta A|$ es mayor que la unidad, la amplitud de las oscilaciones continuará creciendo sin límite. Pero tal incremento en amplitud sólo seguirá hasta el límite determinado por la falta de linealidad de los elementos activos que intervienen en el circuito del amplificador. Esta falta de linealidad se hace más evidente a medida que crece la amplitud de las oscilaciones, y esta falta de linealidad es una característica esencial en el trabajo de todos los osciladores prácticos, como se deduce de las siguientes consideraciones: la condición de $|\beta A| = 1$ no da un margen de valores aceptables de $|\beta A|$, sino que es un valor único y preciso. Supongamos que inicialmente fuese siempre posible satisfacer esta condición. Entonces, debido a los componentes del circuito y particularmente al cambio de características de los transistores (deriva) con el envejecimiento, temperatura, tensión, etc., está claro que, si el oscilador se deja abandonado a sí mismo, en muy corto tiempo $|\beta A|$ se hará bastante menor o mayor que la unidad. En el primer caso, la oscilación simplemente cesará, y en el segundo se volverá a necesitar la no linealidad para limitar la amplitud. Un oscilador en que la ganancia del lazo sea exactamente la unidad es una abstracción completamente irrealizable en la práctica. Hemos de conceder necesariamente que, en la práctica, el valor de $|\beta A|$ deberá hacerse ligeramente mayor que la unidad (digamos un 5 por ciento), para asegurar que, aun con las variaciones incidentales de los parámetros de los transistores y del circuito, $|\beta A|$ no quede nunca por debajo de la unidad. El cumplimiento de los dos principios indicados anteriormente se basa en pura teoría, y vamos a añadir un tercer principio basado en consideraciones prácticas.

En todo oscilador práctico, la ganancia del lazo es ligeramente mayor que la unidad, y la amplitud de las oscilaciones está limitada por la falta de linealidad.

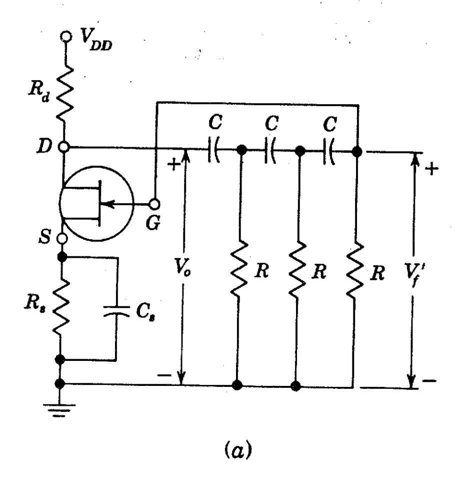
El tratamiento de los osciladores, teniendo en cuenta la no linealidad, es sumamente complicado debido a la innata complejidad de la no linealidad. En la mayoría de los casos, el trabajo dentro de los límites de la no linealidad es pequeño, y nos limitamos a despreciar todas estas faltas de linealidad.

14-16. EL OSCILADOR DE CAMBIO DE FASE[9]

Hemos elegido el *oscilador de cambio de fase* (Fig. 14-29) en primer lugar, debido a que forma un ejemplo muy simple de los principios indicados anteriormente. Consiste en un amplificador FET convencional, seguido de tres células en cascada formadas por una resistencia R y un condensador C, con la última salida conectada a la puerta. Si la carga de la red defasadora del amplificador puede ser despreciada, el amplificador cambia en 180° la fase de cualquier tensión que aparece en la puerta, y la red de resistencias y condensadores cambia la fase en una cantidad adicional. A una determinada frecuencia, el cambio de fase introducido por la red RC es precisamente 180°, y a esta frecuencia el cambio de fase total desde la puerta, atravesando el circuito y vuelta de nuevo a la puerta, será exactamente cero. Esta será la frecuencia a la cual el circuito oscilará, supuesto que el valor de la amplificación sea lo suficientemente grande.

Por la ecuación de las mallas, a partir de la red de realimentación de la Fig. 14-29*b* encontramos (Prob. 14-33) que la función de transferencia de la red RC, que es también el factor de realimentación (con signo negativo), será:

$$-\beta = \frac{V'_f}{V_o} = \frac{1}{1 - 5\alpha^2 - j(6\alpha - \alpha^3)} \tag{14-60}$$



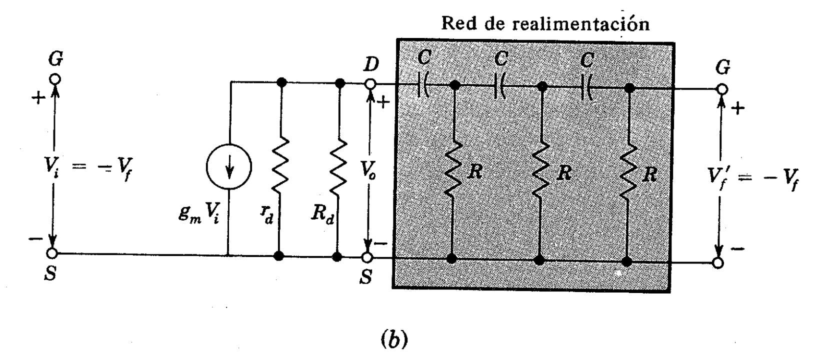


Fig. 14-29. (*a*) Oscilador de cambio de fase con un FET. (*b*) Circuito equivalente para pequeña señal. La red de realimentación se indica sombreada y $\beta = V'_f/V_o = -V_f/V_o$.

siendo $\alpha \equiv 1/\omega RC$. El defase de V'_f/V_o es 180° para $\alpha^2 = 6$, o sea

$$f = 1/(2\pi RC\sqrt{6})$$

A esta frecuencia de oscilación, $\beta = +\frac{1}{29}$. Para que $|\beta A|$ no pueda ser menor que la unidad, es preciso que $|A|$ sea por lo menos 29. De ahí que un FET con $\mu < 29$ no pueda hacer oscilar tal circuito.

Debemos puntualizar que no siempre hay que emplear necesariamente un amplificador con ganancia de transferencia $|A| > 1$ para satisfacer el criterio de Barkhausen. En realidad, sólo es necesario que $|\beta A| > 1$. Existen estructuras de redes pasivas en las que la función de transferencia $|\beta|$ es mayor que la unidad para una frecuencia particular. En el Prob. 14-41, se indica un circuito oscilador que consiste en un seguidor de fuente y el circuito RC de la Fig. 14-29 apropiadamente conectado.

Oscilador de cambio de fase a transistores. Si se emplea un transistor como elemento activo en la Fig. 14-29, la resistencia R de salida de la red de realimentación estaría en

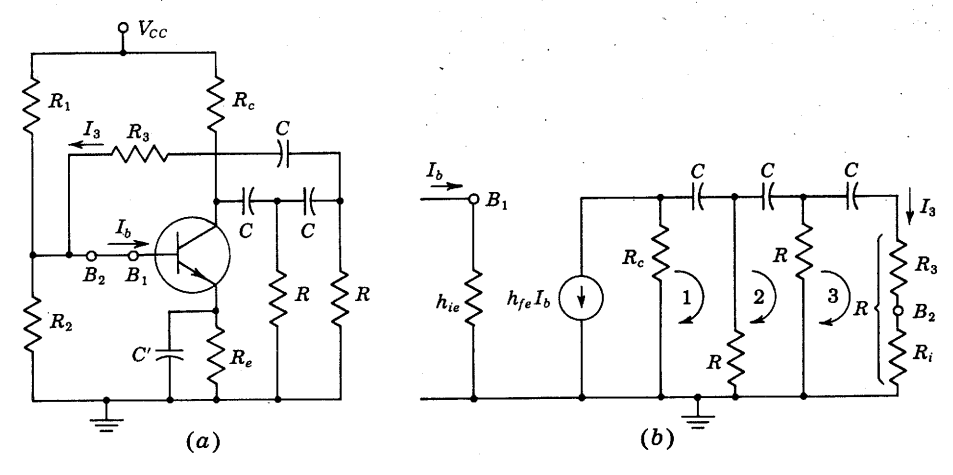


Fig. 14-30. *(a)* Oscilador de cambio de fase con un transistor. *(b)* Circuito equivalente a partir del cual se calcula la ganancia del lazo

paralelo con la resistencia de entrada relativamente baja del transistor. Por esto, en lugar de emplear una realimentación de tensión en serie como en la Fig. 14-29, utilizaremos una realimentación de tensión en paralelo para el oscilador de cambio de fase a transistores, como en la Fig. 14-30*a*. Para este circuito, supondremos que $h_{oe} R_c < 0{,}1$ de modo que pueda emplearse el modelo híbrido aproximado para caracterizar el funcionamiento del transistor a baja frecuencia y pequeña señal, como en la Fig. 14-30*b*. La resistencia $R_3 = R - R_i$, siendo $R_i \approx h_{ie}$, es la resistencia de entrada del transistor. Con esta elección las tres secciones RC de la red defasadora son iguales simplificando los cálculos. Supongamos que las tres resistencias de polarización R_1, R_2 y R_e no producen ningún efecto en el funcionamiento de la señal y las despreciaremos en el análisis siguiente. Para un oscilador a alta frecuencia, cabe emplear el circuito equivalente híbrido II en la Fig. 14-30*b*.

Imaginemos que el lazo está interrumpido en la base entre B_1 y B_2, pero con el fin de no cambiar la carga de la red de realimentación colocamos R_i entre B_2 y tierra. Si suponemos que una corriente I_b entra a la base por B_1, entonces, por la Ec. (14-59), para la ganancia del lazo y la Fig. 14-30, tenemos $x_f = -I_3$ y $x_i = I_b$. Aplicando las leyes de Kirchhoff para las tensiones a las tres mallas, la ganancia de corriente del lazo será: $-x_f/x_i = I_3/I_b$ (Prob. 14-42). La condición de Barkhausen, según la cual la fase de I_3/I_b debe ser igual a cero, nos lleva a la siguiente expresión para la frecuencia de oscilación:

$$f = \frac{1}{2\pi RC}\frac{1}{\sqrt{6+4k}} \tag{14-61}$$

donde $k \equiv R_c/R$. La condición de que la magnitud I_3/I_b exceda a la unidad para asegurar el comienzo de las oscilaciones, nos lleva a la desigualdad:

$$h_{fe} > 4k + 23 + \frac{29}{k} \tag{14-62}$$

El valor de k, que da el mínimo de h_{fe}, gira en torno a 2,7, y para este óptimo valor de

R_c/R encontramos $h_{fe} = 44{,}5$. Por lo tanto, no es posible emplear en este oscilador un transistor cuya ganancia de corriente en cortocircuito sea menor que 44,5 con pequeña señal y emisor común.

Funcionamiento con frecuencia variable. El oscilador de cambio de fase tiene condiciones particularmente útiles para una gama de frecuencias que va desde algunos hertz a varios cientos de kilohertz, incluyendo por tanto la gama de audiofrecuencias. En cuanto a la banda de los megahertz, presentan mejores ventajas otros circuitos (comentados en las secciones siguientes) que emplean redes sintonizadas LC. La frecuencia de oscilación puede cambiarse variando la impedancia de los elementos de la red defasadora. Para variaciones de frecuencia dentro de un amplio margen, normalmente, se varían simultáneamente los tres condensadores. Tal variación mantiene constante la impedancia de entrada de la red defasadora (Prob. 14-34), así como el valor de β y de $A\beta$. De ahí que la amplitud de la oscilación no quede afectada por el ajuste de la frecuencia. El oscilador de cambio de fase trabaja en clase A para reducir la distorsión al mínimo.

14-17. OSCILADORES CON CIRCUITO RESONANTE

La figura 14-31*a* muestra un *oscilador FET sintonizado en drenaje* en el que se emplea un circuito resonante para determinar la frecuencia. Otros osciladores de este tipo los estudiaremos en la Sec. 14-19. En la Fig. 14-31*a*, r representa una resistencia en serie con el devanado (de inductancia L) para tener en cuenta las pérdidas en el transformador. Si estas pérdidas son despreciables hasta el punto de poder despreciar r, entonces a la frecuencia $\omega = 1/\sqrt{LC}$, la impedancia del circuito resonante es arbitrariamente grande y puramente resistiva. En este caso, la caída de tensión en la inductancia entre drenaje y tierra está defasada de 180° respecto a la tensión aplicada a la entrada del FET, independientemente del valor de la resistencia de drenaje del mismo. Si la polaridad del bobinado del secundario del transformador (conectado a la puerta) es tal que introduce un defase

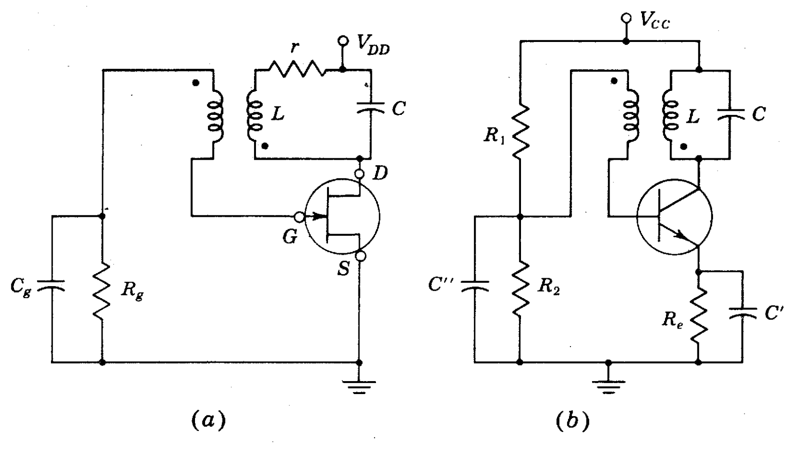


Fig. 14-31. Oscilador de circuito resonante empleando *(a)* un FET y *(b)* un transistor bipolar

adicional de 180° (suponiendo que el secundario no tenga carga), el total del cambio de fase es exactamente cero, y a esta frecuencia se cumple la condición de defase para la oscilación. Asimismo, como el transformador se considera sin carga, la relación entre las amplitudes de tensión del secundario al primario será M/L, siendo M la inductancia mutua. Como $A_V = -\mu$ para un amplificador con impedancia de carga infinita, la condición de que $-\beta A_V = 1$ es equivalente a $\mu = L/M$. Más exactamente, teniendo en cuenta que r es una cantidad finita, tendremos:

$$\omega^2 = \frac{1}{LC}\left(1 + \frac{r}{r_d}\right) \qquad (14\text{-}63)$$

como condición determinante de la frecuencia, y

$$g_m = \frac{\mu r C}{\mu M - L} \qquad (14\text{-}64)$$

como condición equivalente a $-\beta A = 1$.

Obsérvese que no hay relación *a priori* entre la frecuencia de oscilación y la frecuencia de "resonancia" en régimen permanente. La frecuencia de oscilación está determinada solamente por la condición de que el cambio de fase en el lazo sea cero. En este sentido, la casi concordancia entre la frecuencia del oscilador y la frecuencia natural de oscilación del circuito resonante en régimen permanente debe considerarse, superficialmente por lo menos, como pura coincidencia. A la luz de estas observaciones, se ve que la designación del oscilador de la Sec. 14-16 como "oscilador de cambio de fase", en oposición a la presente de "oscilador de circuito resonante", es enteramente artificial. Todos los osciladores, ya sean los discutidos anteriormente como los que comentaremos más adelante, podrían llamarse osciladores de cambio de fase.

Autopolarización y estabilización de la amplitud. La polarización de un oscilador con circuito resonante se obtiene por una combinación en paralelo de R_gC_g en serie con la puerta, como en la Fig. 14-31*a*. La puerta y la fuente del FET actúan como un rectificador y, si la constante de tiempo de R_gC_g es grande comparada con un período, el condensador de la puerta se cargará fundamentalmente al valor de pico de la oscilación de la puerta. Esta tensión a través de C_g actúa como polarización, y la puerta se hace positiva (por el corte de tensión en la unión) sólo durante un corto intervalo en los picos de la oscilación. La tensión de puerta es una senoide grande y, como su valor de pico es aproximadamente el del potencial de tierra, se dice que la puerta está "fijada" a tierra (Sec. 4-11). Trabaja en clase C.

Cuando se alimenta el circuito, la puerta tiene polarización nula y el FET trabaja con una gran g_m. La ganancia del lazo es entonces mayor que la unidad y empieza a crecer la amplitud de la oscilación. Una vez comenzada, la puerta conduce, tiene lugar la "fijación", y la polarización se ajusta automáticamente por sí misma a un valor igual al pico de la tensión de puerta. En cuanto la polarización se va haciendo más negativa, el valor de g_m va disminuyendo, y finalmente la amplitud se estabilizará por sí misma en el valor para el cual la ganancia del lazo a la frecuencia fundamental sea la unidad. Como trabaja en clase C, el empleo del circuito lineal equivalente no es más que una aproximación a *grosso modo*. En vista de la anterior explicación, el valor de g_m en la Ec. (14-64) puede considerarse como el mínimo necesario, a polarización cero, para que las oscilaciones comiencen.

También puede interpretarse como el valor medio de la transconductancia que determina la amplitud de la oscilación.

Oscilador a transistores sintonizado en el colector. El circuito a transistor de la Fig. 14-31*b* es análogo al del oscilador FET de la Fig. 14-31*a*. La polarización de reposo está determinada por R_1, R_2 y R_e (Sec. 9-3). Por la existencia de R_1, el transistor se polariza en la región activa, comienzan las oscilaciones y la autopolarización se obtiene por la combinación R_2C'' debido a la corriente que circula por la base. Tal como se ha explicado en el caso anterior, funciona en clase C.

14-18. FORMA GENERAL DE UN CIRCUITO OSCILADOR

Muchos circuitos osciladores pueden ser representados de la forma general indicada en la Fig. 14-32*a*. El elemento activo puede ser un transistor bipolar, un amplificador operacional (discutido en el capítulo 15), o un FET. En el análisis que sigue, supondremos un elemento activo con una resistencia de entrada infinita, como un FET, o un amplificador operacional. La figura 14-32*b* muestra el circuito lineal equivalente de la Fig. 14-32*a*, empleando un amplificador con ganancia negativa $-A_v$, y una resistencia de salida R_o. Evidentemente, la topología de la Fig. 14-32 es la de una realimentación de tensión en serie.

Ganancia del lazo. El valor de $-A\beta$ se obtendrá considerando que el circuito de la Fig. 14-32*a* es un amplificador realimentado con la salida tomada entre los terminales 2 y 3 y con los terminales 1 y 3 de entrada. La impedancia de carga Z_L está constituida por la combinación de Z_2 en paralelo con las Z_1 y Z_3 en serie. La ganancia sin realimentación será $A = -A_vZ_L/(Z_L + R_o)$. El factor de realimentación es $\beta = -Z_1/(Z_1 + Z_3)$ y, por tanto, la ganancia del lazo será:

$$-A\beta = \frac{-A_vZ_1Z_2}{R_o(Z_1 + Z_2 + Z_3) + Z_2(Z_1 + Z_3)} \qquad (14\text{-}65)$$

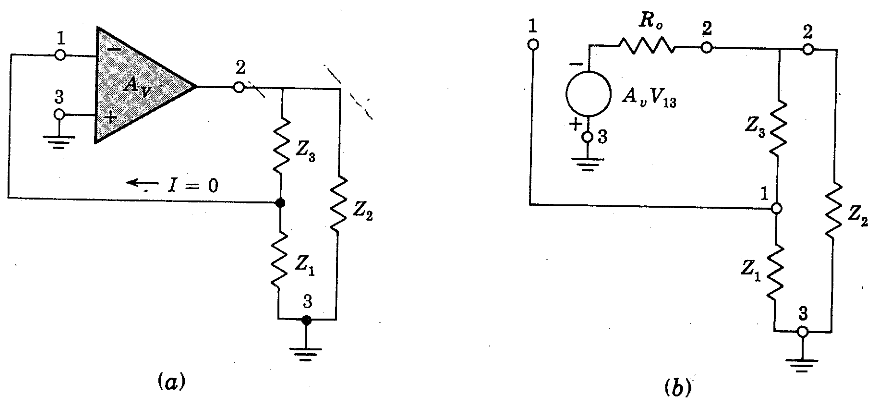


Fig. 14-32. (*a*) Estructura básica de muchos osciladores con circuito resonante. (*b*) Circuito equivalente lineal empleando un amplificador operacional

Elementos reactivos Z_1, Z_2 y Z_3. Si las impedancias son reactancias puras (tanto inductivas como capacitivas), entonces $Z_1 = jX_1$, $Z_2 = jX_2$, y $Z_3 = jX_3$. Para una inductancia, $X = \omega L$, y para un condensador, $X = -1/\omega C$. Entonces

$$-A\beta = \frac{+A_v X_1 X_2}{jR_o(X_1 + X_2 + X_3) - X_2(X_1 + X_3)} \tag{14-66}$$

Para que la ganancia del lazo sea real (defase nulo):

$$X_1 + X_2 + X_3 = 0 \tag{14-67}$$

y

$$-A\beta = \frac{A_v X_1 X_2}{-X_2(X_1 + X_3)} = \frac{-A_v X_1}{X_1 + X_3} \tag{14-68}$$

Por la Ec. (14-67) vemos que el circuito oscilará a la frecuencia de resonancia de la combinación en serie de X_1, X_2 y X_3.

Empleando la Ec. (14-67) en la Ec. (14-68), se obtiene

$$-A\beta = \frac{+A_v X_1}{X_2} \tag{14-69}$$

Como $-A\beta$ debe ser positivo y por lo menos de valor igual a la unidad, entonces X_1 y X_2 deberán tener el mismo signo (A_v es positivo). En otras palabras, deberán tener la misma

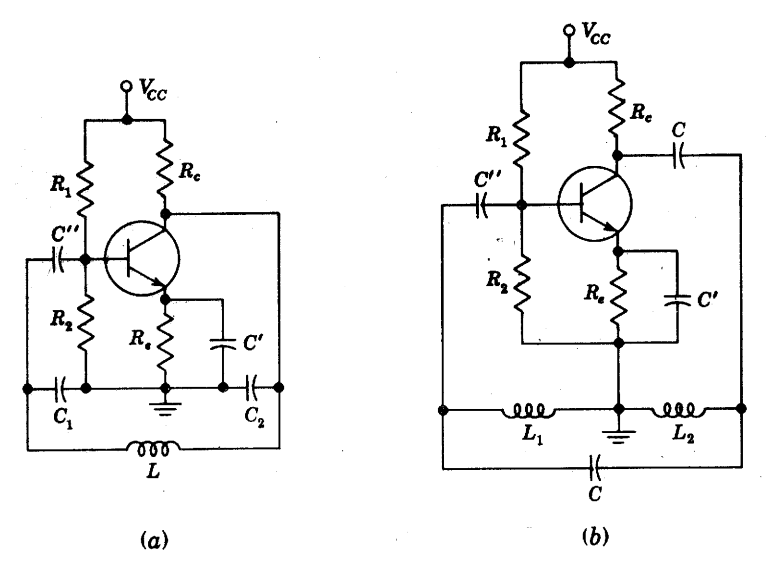


Fig. 14-33. (*a*) Oscilador Colpitts a transistores. (*b*) Oscilador Hartley a transistores

clase de reactancia, ambas inductivas o ambas capacitivas. Entonces, a partir de la Ec. (14-67), $X_3 = -(X_1 + X_2)$ debe ser inductivo si X_1 y X_2 son capacitivos, o viceversa.

Si X_1 y X_2 son condensadores y X_3 una inductancia, el circuito se denomina *Oscilador Colpitts.* Si X_1 y X_2 son inductancias y X_3 un condensador, el circuito se denomina *Oscilador Hartley.* En este último caso, puede haber acoplamiento mutuo entre X_1 y X_2 (y las ecuaciones anteriores no serán aplicables).

También cabe realizar un oscilador *LC* como el indicado más arriba, a base de transistores. La figura 14-33*a* indica un oscilador Colpitts a transistores. Cualitativamente, el circuito trabaja como se ha explicado anteriormente. No obstante, el análisis detallado de un oscilador a transistores es más difícil por dos razones fundamentales. Primera, la baja impedancia de entrada del transistor está en paralelo con Z_1 en la Fig. 14-32*a*, y complica las expresiones de la ganancia del lazo dadas antes. Segundo, si la frecuencia de oscilación está por encima del margen de audiofrecuencia, el modelo simple de parámetro *h* a baja frecuencia ya no es válido. En estas circunstancias, debe emplearse el modelo híbrido II para alta frecuencia de la figura 11-5 que es más complicado. La Fig. 14-33*b* muestra un oscilador Hartley a transistores.

14-19. OSCILADOR DE PUENTE DE WIEN

La Fig. 14-34 representa un oscilador de puente de Wien[10], en el que se emplea como red de realimentación un puente equilibrado. El elemento activo es un amplificador operacional (Cap. 15) de gran ganancia de tensión positiva ($V_o = A_V V_i$), una resistencia de salida despreciable y una resistencia de entrada muy grande (infinita). Supondremos, además, que A_V es constante para todo el margen de frecuencias al que trabaja el circuito.

Para hallar la ganancia del lazo $-\beta A$, lo desconectamos por el punto marcado con una *P* y aplicamos una tensión exterior V'_o entre los terminales 3 y 4.

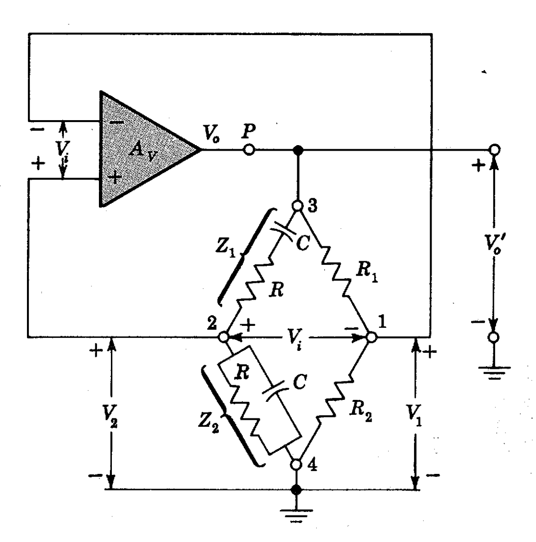


Fig. 14-34. Oscilador de puente de Wien empleando un amplificador operacional como elemento activo

Puesto que $V_o = A_V V_i$, la ganancia del lazo viene dada por:

$$\text{Ganancia del lazo} = \frac{V_o}{V'_o} = \frac{V_i}{V'_o} A_V = -\beta A \qquad (14\text{-}70)$$

En la Fig. 14-34, se señalan dos tensiones auxiliares V_1 y V_2, tales que $V_i = V_2 - V_1$. De la Ec. (14-70) $A = A_V$ y

$$-\beta = \frac{V_i}{V'_o} = \frac{V_2 - V_1}{V'_o} = \frac{Z_2}{Z_1 + Z_2} - \frac{R_2}{R_1 + R_2} \qquad (14\text{-}71)$$

No es difícil demostrar que Z_1 y Z_2 tienen el mismo ángulo de fase a la frecuencia

$$f_o = \frac{1}{2\pi RC} \qquad (14\text{-}72)$$

y que, a esta misma frecuencia, $Z_1 = (1 - j)R$ y $Z_2 = (1 - j)R/2$. Por tanto, $V_2 = \frac{1}{3}V'_o$, a $\omega = \omega_o$. Para el equilibrio R_1 y R_2 deben elegirse de tal forma que $V_i = 0$. De la Ec. (14-71), $R_2/(R_1 + R_2) = \frac{1}{3}$, o $R_1 = 2R_2$.

En el caso presente, en el que se emplea el puente como red de realimentación para un oscilador, la ganancia del lazo de la Ec. (14-70) debe ser igual a la unidad y debe tener fase cero. Por lo tanto, como A_V es un número positivo, la fase de $-\beta$ de la Ec. (14-71) debe ser cero, pero no su magnitud. Esto se cumple tomando la relación $R_2/(R_1 + R_2)$ menor que 1/3.

Si hacemos

$$\frac{V_1}{V'_o} = \frac{R_2}{R_1 + R_2} = \frac{1}{3} - \frac{1}{\delta}$$

siendo δ un número mayor que tres, tendremos

$$-\beta = \frac{V_2 - V_1}{V'_o} = \frac{V_2}{V'_o} - \frac{1}{3} + \frac{1}{\delta} \qquad (14\text{-}73)$$

a $\omega = \omega_o$, $V_2/V'_o = 1/3$ y $\beta = -1/\delta$. La condición $-\beta A = 1$ se satisface ahora haciendo

$$\delta = A_V \qquad (14\text{-}74)$$

Obsérvese que la frecuencia de oscilación es, precisamente, la frecuencia de equilibrio del puente, dada por la Ec. (14-72). Con cualquier otra frecuencia, V_2 no está en fase con V'_o, y por tanto $V_i = V_2 - V_1$ no está en fase con V'_o, con lo que la condición $-\beta A = 1$ sólo queda satisfecha con una frecuencia f_o.

La frecuencia se varía de forma continua variando simultáneamente los dos condensadores (Condensadores variables al aire). Pueden cambiarse los márgenes de frecuencia mediante un conmutador que sitúe en diferentes valores las resistencias idénticas R.

Estabilización de la amplitud. Vamos a considerar una modificación del circuito de la Fig. 14-34, que servirá para estabilizar la amplitud frente a variaciones debidas al envejecimiento de los transistores, componentes, etc. Esta modificación consiste simplemente en reemplazar la resistencia R_2 por una termistancia (Sec. 2-7) con coeficiente de temperatura positivo.

La amplitud de las oscilaciones se determina por la cuantía en que la ganancia del lazo $-\beta A$ es mayor que la unidad. Si se fija $-\beta$, la amplitud queda determinada entonces por A, y aumenta con el crecimiento de A, hasta que el aumento es limitado por la no linealidad del amplificador. El mecanismo de regulación introducido por la termistancia funciona variando automáticamente β en el sentido de lograr que βA sea lo más constante posible si, como en el caso de cambio en la carga del amplificador, el valor de A varía. Recordemos que la resistencia de la termistancia aumenta con la temperatura, y la temperatura está determinada a su vez por el valor eficaz de la corriente que lo atraviesa. Si este valor cambia, entonces, debido al retraso térmico de la termistancia, la temperatura estará determinada por el valor medio del valor eficaz de la corriente en un gran número de ciclos.

Supongamos ahora que la amplitud disminuya debido al decrecimiento de A. El valor de R_2 disminuirá, y en consecuencia $-\beta = 1/\delta$ aumentará, tal como indica la Ec. (14-71). Para decirlo de otra manera, cuando A cambie, el desequilibrio del puente de Wien, ajustará por sí mismo el sistema de manera que el producto βA sea lo más constante posible. Un factor importante que se debe tener en cuenta con respecto al mecanismo descrito, es que, debido al retraso térmico, la resistencia durante un solo ciclo puede considerarse prácticamente constante. Por lo tanto, para una amplitud de oscilación dada, la termistancia se comporta completamente como si fuera una resistencia ordinaria lineal.

También cabe emplear una termistancia con coeficiente de temperatura negativo, colocándola en lugar de R_1 y no en el de R_2.

14-20. OSCILADOR A CRISTAL

Si un cristal piezoeléctrico, normalmente cuarzo, tiene electrodos aplicados a dos caras opuestas, y se aplica un potencial entre dichos electrodos, se ejercerán fuerzas en las cargas del interior del cristal. Si el sistema está montado apropiadamente, aparecerán deformaciones en el cristal, y se forma un sistema electromecánico que vibrará cuando sea excitado apropiadamente. La frecuencia de resonancia y el Q dependen de las dimensiones del cristal, de la orientación de las superficies respecto a los ejes, y de cómo esté montado el sistema.[11] El margen de frecuencias va desde unos pocos kilohertz a algunos megahertz, y el margen de Q va desde algunos millares a varios cientos de miles; todos ellos pueden encontrarse en el comercio. Estos valores extraordinariamente altos de Q y el hecho de que el cuarzo presente características extremadamente estables respecto al tiempo y a la temperatura, justifican la excepcional estabilidad de frecuencia de los osciladores con cristales (Sec. 14-21).

La figura 14-35 indica el circuito eléctrico equivalente de un cristal. La inductancia L, el condensador C y la resistencia R son análogos a la masa, la deformación (inversa de la constante elástica), y el factor de amortiguamiento viscoso de un sistema mecánico. Los valores típicos para un cristal de 90 kHz son $L = 137$ H, $C = 0{,}0235$ pF y $R = 15$ K, correspondientes a un Q de 5 500. Las dimensiones de este cristal son $30 \times 4 \times 1{,}5$ mm. Como C' representa la capacidad electrostática entre los electrodos con el cristal como dieléctrico, su magnitud ($\sim 3{,}5$ pF) es mucho mayor que C.

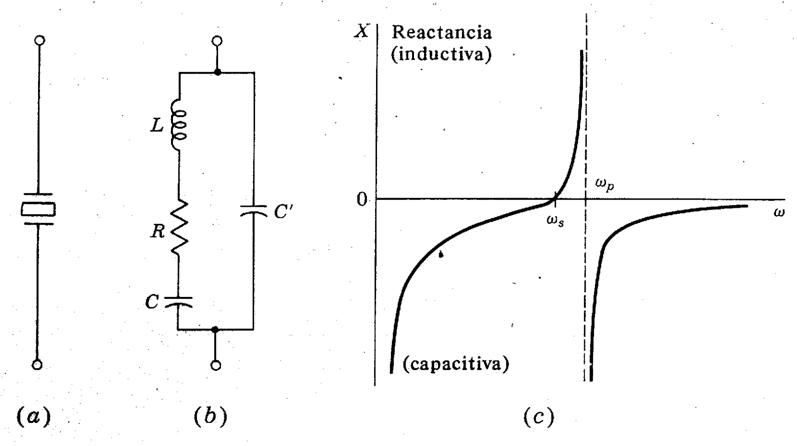


Fig. 14-35. Cristal piezoeléctrico. (*a*) Símbolo; (*b*) modelo eléctrico; (*c*) función de reactancia (si $R = 0$)

Si despreciamos la resistencia R, la impedancia del cristal es una reactancia jX y su dependencia respecto la frecuencia viene dada por

$$jX = -\frac{j}{\omega C'}\frac{\omega^2 - \omega_s^2}{\omega^2 - \omega_p^2} \tag{14-75}$$

donde $\omega_s^2 = 1/LC$ es la frecuencia de resonancia en serie (frecuencia de impedancia cero), y $\omega_p^2 = (1/L)(1/C + 1/C')$ es la frecuencia de resonancia en paralelo (frecuencia de impedancia infinita). Puesto que $C' \gg C$, entonces $\omega_p \approx \omega_s$. Para el cristal del que se han especificado los parámetros anteriormente, la frecuencia paralelo es sólo 0,3 % mayor que la frecuencia en serie. Para $\omega_s < \omega < \omega_p$, la reactancia es inductiva, y fuera de este margen es capacitiva, tal como indica la Fig. 14-35.

Existe una variedad de circuitos osciladores a cristal. Si en la configuración básica de la figura 14-32*a* se emplea un cristal en lugar de Z_1, un circuito sintonizado LC en lugar de

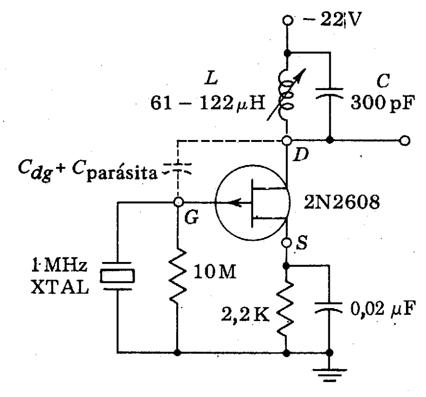


Fig. 14-36. Oscilador de cristal FET a 1 MHz. (Cortesía de Siliconix Co.)

Z_2 y un condensador C_{dg} entre drenaje y puerta sustituyendo a Z_3, el circuito resultante se indica en la Fig. 14-36. Por la teoría explicada en la sección precedente, la reactancia del cristal, así como la de la red LC, tienen que ser inductivas. Para que la ganancia del lazo sea mayor que la unidad, vemos por la Ec. (14-69) que X_1 no puede ser demasiado pequeño. Por lo tanto, el circuito oscilará a una frecuencia situada entre ω_s y ω_p, pero próxima al valor de la resonancia en paralelo. Como $\omega_p \approx \omega_s$, la frecuencia del oscilador está determinada fundamentalmente por el cristal, y no por el resto del circuito.

14-21. ESTABILIDAD DE LA FRECUENCIA

Un oscilador con una frecuencia determinada inicial no la mantendrá invariablemente, sino que tendrá una desviación de frecuencia a veces uniforme en una dirección, y otras de una manera arbitraria. La *estabilidad de la frecuencia* de un oscilador se medirá por la capacidad en mantener una frecuencia lo más fija posible en un intervalo de tiempo lo más largo posible. Estas desviaciones de frecuencia son debidas a que los valores de las características del circuito de las que depende la frecuencia del oscilador, no permanecen constantes a lo largo del tiempo. (Hemos empleado el término de "características del circuito" en el sentido amplio que incluye los componentes propiamente dichos, parámetros de los transistores, tensión de alimentación, capacidades parásitas, etc.). Es obvio pero, evidentemente imposible, que una solución del problema sería mantener constantes todas las características del circuito. En primer lugar, el número de características del circuito es demasiado grande; segundo, algunas características del circuito, tales como los parámetros de los transistores, son inherentemente inestables y es extremadamente difícil mantenerlos constantes; tercero, es extraordinariamente laborioso conocer donde están localizados los elementos y acoplamientos parásitos del circuito, así como estimar su valor.

Pero también hay que reconocer que, en cada circuito oscilador, hay relativamente pocas características de las cuales la frecuencia sea sensiblemebte dependiente, en tanto que la mayor parte de las características restantes influyen poco, comparativamente. Por ejemplo, en el circuito de la Fig. 14-29, la frecuencia está determinada en su mayor parte por R y C, y el resto de las características la afectan en cuantía mucho menor. Daremos un gran paso en el sentido de estabilizar la frecuencia, si procuramos asegurar la estabilidad, por lo menos de estos relativamente pocos elementos que influyen marcadamente sobre la frecuencia. La principal causa de desviación es la variación de la temperatura. Cabe tomar medidas para mantener la temperatura constante y para equilibrar las variaciones, mediante elementos que produzcan efectos contrarios.[12]

Criterio de estabilidad. *Si en un oscilador existe un conjunto de elementos que tienen la propiedad de que, a la frecuencia de oscilación, introduzcan una gran variación de fase θ en función de la frecuencia, entonces $d\theta/d\omega$ sirve para medir la independencia de la frecuencia de todos los demás componentes del circuito. La estabilidad de la frecuencia mejora cuando $d\theta/d\omega$ aumenta. En el límite, cuando $d\theta/d\omega$ sea infinito, la frecuencia del oscilador dependerá exclusivamente de estos elementos y será completamente independiente del resto de los componentes.*

La demostración del principio anterior es bastante evidente, y cabe llegar a ella con las siguientes consideraciones: Supongamos que tiene lugar una variación en alguno de los componentes del circuito del oscilador, *que no sea de los incluidos en el conjunto citado*

en el párrafo anterior. Entonces, si la condición de fase para la oscilación está inicialmente satisfecha a la frecuencia de oscilación, en general, no se cumplirá esta condición después de que se haya alterado el componente. La frecuencia deberá desviarse para restituir el defase del lazo total al valor cero. Sin embargo, si hay un conjunto de elementos que, a la frecuencia nominal del oscilador, da lugar a cambios grandes de fase para cambios pequeños de frecuencia (es decir, $d\theta/d\omega$ grande), es claro que la desviación de frecuencia que se requiere para restituir el defase a cero es muy pequeña.

En un circuito resonante en paralelo, la impedancia varía de inductiva a capacitiva cuando la frecuencia aumenta sobre la de resonancia. Si el Q es infinito (una inductancia ideal con resistencia en serie nula), el cambio de fase es abrupto, $d\theta/d\omega \rightarrow \infty$, ya que la fase pasa bruscamente de $-90°$ a $+90°$. De ahí que un oscilador con un circuito sintonizado tenga una estabilidad de frecuencia excelente, siempre y cuando el Q sea lo suficientemente grande y L y C sean estables (independientes de la temperatura, de la corriente, etcétera).

Este concepto en cuanto a los osciladores con circuitos sintonizados, puede ser aplicado a los osciladores de cristal para explicar su gran estabilidad. En efecto, por la Fig. 14-35*c* hemos visto que, para un cristal con Q infinito, la fase cambia de una forma discontinua de $-90°$ a $+90°$ cuando la frecuencia pasa por ω_s y vuelve bruscamente de $+90°$ a $-90°$ cuando ω pasa por ω_p. En realidad, no es posible obtener un Q infinito, pero sí cabe disponer de cristales comerciales con valores de Q de decenas o cientos de miles, y con ellos obtener valores muy grandes de $d\theta/d\omega$. Por lo tanto, si se incorpora un cristal a un circuito (como el de la Fig. 14-36), se obtiene un oscilador cuya frecuencia depende esencialmente del cristal y de ningún elemento más. La frecuencia del cristal depende algo de la temperatura, por lo que deberán emplearse cámaras de temperatura regulada si se requiere una gran estabilidad.

Para comparar la estabilidad de frecuencia entre dos osciladores de diferentes tipos, se calcula el valor de $d\theta/d\omega$ a la frecuencia de trabajo de cada uno de ellos. El circuito que tenga mayor valor de $d\theta/d\omega$, es el más estable.

REFERENCIAS

1. Gray, P. E., y C. L. Searle: "Electronic Principles: Physics, Models, and Circuits", página. 677, John Wiley & Sons, Inc., Nueva York, 1969.

2. Thornton, R. D., C. L. Searle, D. O. Peterson, R. B. Adler, y E. J. Angelo, Jr.: "Multistage Transistor Circuits", SEEC Committee Series, vol. 5, pp. 108-118, John Wiley & Sons, Inc., 1965.

3. Pottle, C.: "A Textbook Computerized State Space Network Analysis Algorithm", *Cornell Univ. Elec. Eng. Res. Lab. Rep.*, septiembre de 1968.

4. Bode, H. W.: "Network Analysis and Feedback Amplifier Design", Cap. 7, D. Van Nostrand Company Inc., Nueva York, 1956.

5. Armstrong, E. H.: "Some Recent Developments in the Audios Receiver". *Proc. IRE*, volumen 3, pp. 215-247. septiembre de 1915.

6. Nyquist, H.: Regeneration Theory, *Bell System Tech, J.*, vol. 11, pp. 126-147. enero de 1932.

7. Ref. 2, pp. 118, 120, 138.

8. Ref. 1, p. 699.

9. Sherr, S.: "Generalized Equations for *R-C* Phase-shift Oscillators, *Proc. IRE*, vol. 42, páginas 1169-1172, julio de 1954.

10. Clarke, K. K.: "Wein bridge Oscillator Design", *Proc. IRE*, vol. 41, pp. 246-249, febrero de 1953.

11. Fair, Z. E.: "Piezoelectric Crystals in Oscillator Circuits", *Bell System Tech. J.*, volumen 24, pp. 161-216, abril de 1945.

12. Chance, B. : "Waveform", Radiation Laboratory Series, McGraw-Hill Book Company, Nueva York, 1949.

TEMAS DE REPASO

14-1 Consideremos un amplificador realimentado con una función de transferencia con un solo polo. (*a*) ¿Cuál es la relación entre las frecuencias superiores, de 3 dB, con y sin realimentación? (*b*) Repetir el apartado *a* para la frecuencia inferior de 3 dB. (*c*) Repetir el apartado *a* para el producto de la ganancia por el ancho de banda.

14-2 Consideremos un amplificador realimentado con una función de transferencia con doble polo. (*a*) Esbozar, sin demostrar, el lugar geométrico de los polos en el plano *s* después de la realimentación. (*b*) ¿Por qué es estable este amplificador, independientemente de la cuantía de realimentación negativa?

14-3 (*a*) Indicar (sin demostración) un circuito que tenga la misma función de transferencia de un amplificador realimentado de doble polo. (*b*) Esbozar la respuesta a un escalón de este amplificador, para las dos condiciones de subamortiguado y sobreamortiguado.

14-4 Definir para la respuesta de un amplificador de dos polos subamortiguado, (*a*) el *tiempo de subida,* (*b*) el *tiempo de retardo,* (*c*) el *sobrevalor,* (*d*) el *período de amortiguamiento,* (*e*) *tiempo de estabilización.*

14-5 (*a*) Esbozar (sin demostración) el lugar de las raíces de los polos de un amplificador de tres polos, después de agregar la realimentación. (*b*) Indicar cuando el amplificador pierde la estabilidad.

14-6 Considerar un amplificador multipolo con $|s_1| < |s_2| < |s_3| \ldots < |s_n|$. ¿En qué circunstancias la respuesta con realimentación está determinada por (*a*)s_1 y s_2 y (*b*) sólo por s_1?

14-7 Explicar verbalmente (sin emplear fórmulas) cómo se obtiene la respuesta en frecuencia de un *amplificador realimentado* con tensión en paralelo, empleando los conceptos de realimentación. Considerar una sola etapa con una resistencia R' entre colector y base.

14-8 Repetir el tema 14-7 para un amplificador con realimentación de corriente en serie. Considerar una sola etapa en EC con una resistencia de emisor R_e.

14-9 (*a*) Definir la realimentación *positiva.* (*b*) ¿Cuál es la relación entre A_f y A para una realimentación positiva? (*c*) Representar la realimentación positiva en el plano complejo βA.

14-10 Establecer las condiciones de $1 + \beta A$ para que un amplificador realimentado pueda satisfacer la condición de estabilidad.

14-11 Establecer el *Criterio de Nyquist* de estabilidad.

14-12 Considerar un amplificador con un polo dominante en cadena abierta y con β independiente de la frecuencia. Demostrar que la curva de Nyquist es un círculo.

14-13 Determinar las condiciones de estabilidad en función de las curvas de Bode.

14-14 Considerar un amplificador de tres etapas idénticas independientes entre sí. Explicar por qué existe un valor máximo definido de $|\beta|$ antes de que tengan lugar las oscilaciones.

14-15 Definir con la ayuda de gráficos (*a*) el margen de ganancia, (*b*) el margen de fase.

14-16 (*a*) Describir la *compensación por polo dominante.* (*b*) Dibujar un circuito que cumpla la compensación anterior. (*c*) ¿Qué desventajas tiene esta técnica?

14-17 (*a*) Describir la *compensación por polo-cero.* (*b*) Dibujar un circuito que cumpla esta compensación.

14-18 (*a*) Describir la *compensación* por adelanto. (*b*) Dibujar un circuito que cumpla tal compensación.

14-19 Citar las condiciones de Barkhausen para mantener las oscilaciones senoidales.

14-20 Esbozar el circuito de un oscilador por cambio de fase empleando (*a*) un FET, (*b*) un transistor de unión bipolar.

14-21 Esbozar un circuito oscilador sintonizado en el colector.

14-22 (*a*) Esbozar la topología de un oscilador de circuito resonante generalizado, empleando las impedancias Z_1, Z_2, Z_3. (*b*) ¿A qué frecuencia oscilará el circuito? (*c*) ¿En qué condiciones la configuración se reduce a un oscilador Colpitts? ¿Y a un oscilador Hartley?

14-23 (*a*) Esbozar el circuito de un oscilador de puente de Wien. (*b*) ¿Qué determina la frecuencia de oscilación? (*c*) ¿Oscilará si el puente está equilibrado? Explíquese.

14-24 (*a*) Dibujar el modelo eléctrico de un cristal piezoeléctrico. (*b*) Esbozar el valor de su reactancia en función de la frecuencia. (*c*) ¿Sobre qué parte de la curva de reactancia es deseable que tengan lugar las oscilaciones, cuando se emplea un cristal como parte de un oscilador senoidal? Razónese.

14-25 Esbozar el circuito de un oscilador gobernado por cristal.

14-26 Indicar el criterio de estabilidad de frecuencia de un oscilador senoidal.

15

Amplificadores operacionales

El amplificador operacional[1-3] (abreviadamente, OP AMP) es un amplificador de alta ganancia, acoplado directamente, al que se le agrega una realimentación para controlar la característica de respuesta. Se emplea para realizar una amplia variedad de funciones lineales (y también algunas no lineales) y normalmente se conoce por el nombre de *circuito integrado lineal básico* (o más corrientemente *analógico*). El siguiente capítulo detalla varias de sus aplicaciones.

El amplificador operacional integrado ha ganado gran número de adeptos por su versatilidad, predicamento y economía en el sistema de construcción en bloques. Ofrece todas las ventajas de un circuito integrado monolítico: tamaño pequeño, alta seguridad, coste reducido, regulación con la temperatura, y desviación pequeña de tensión y corriente (cuyos términos se definirán cuidadosamente más adelante, en este capítulo).

Se hace un detallado análisis de las varias etapas de un OP AMP y se dan métodos experimentales para la medición de sus parámetros. Se comentan la respuesta en frecuencia y los métodos de compensación.

15-1. EL AMPLIFICADOR OPERACIONAL BASICO

El diagrama esquemático de un OP AMP puede verse en la Fig. 15-1*a*, y en la Fig. 15-1*b* su circuito equivalente. Gran número de amplificadores operacionales tienen entrada diferencial, con tensiones V_2 y V_1 aplicadas a los terminales inversores y no inversores respectivamente. Un amplificador con un solo terminal puede considerarse como un caso especial en el que uno de los terminales de entrada está conectado a tierra. Normalmente, todos los OP AMP tienen un solo terminal de salida.

Amplificador operacional ideal. El amplificador operacional ideal tiene las siguientes características:

1. Resistencia de entrada $R_i = \infty$
2. Resistencia de salida $R_o = 0$
3. Ganancia de tensión $A_v = -\infty$
4. Ancho de banda $= \infty$
5. Equilibrio perfecto: $V_o = 0$ cuando $V_1 = V_2$
6. Ausencia de desviación en las características con la temperatura.

En la Fig. 15-2*a* vemos un amplificador operacional ideal con impedancias de realimentación (Z y Z') y el terminal + a tierra; tal es el circuito inversor básico. Esta topología representa una realimentación de tensión en paralelo, y ha sido tratada en la sección 13-12. El circuito de la Fig. 15-2*a* es una generalización del de la Fig. 13-20*a*, con el transistor único reemplazado por el OP AMP de etapa múltiple y las resistencias R_s y R' sustituidas por las impedancias Z y Z', respectivamente. De la Ec. (13-79), la ganancia de tensión A_{Vf} con realimentación viene dada por:

$$A_{Vf} = -\frac{Z'}{Z} \tag{15-1}$$

Una prueba ilustrativa de esta ecuación sería: Puesto que $R_i \to \infty$, la corriente I que atraviesa Z atraviesa también Z', como se indica en la Fig. 15-2*a*. Además, observamos que $V_i = V_o/A_V \to 0$ cuando $|A_V| \to \infty$, con lo que la entrada está efectivamente en corto circuito. Por lo tanto

$$A_{Vf} = \frac{V_o}{V_s} = \frac{-IZ'}{IZ} = -\frac{Z'}{Z}$$

de acuerdo con la Ec. (15-1).

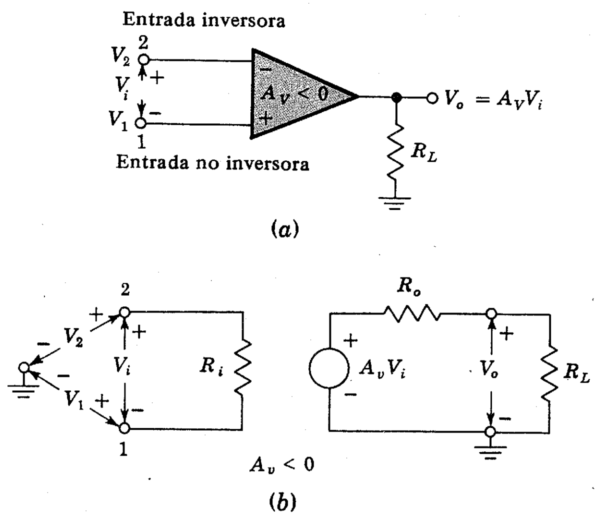


Fig. 15-1. (*a*) Amplificador operacional básico. (*b*) Circuito equivalente a baja frecuencia de un amplificador operacional ($V_i = V_2 - V_1$). La ganancia de tensión en circuito abierto es A_v y la ganancia en carga es A_V

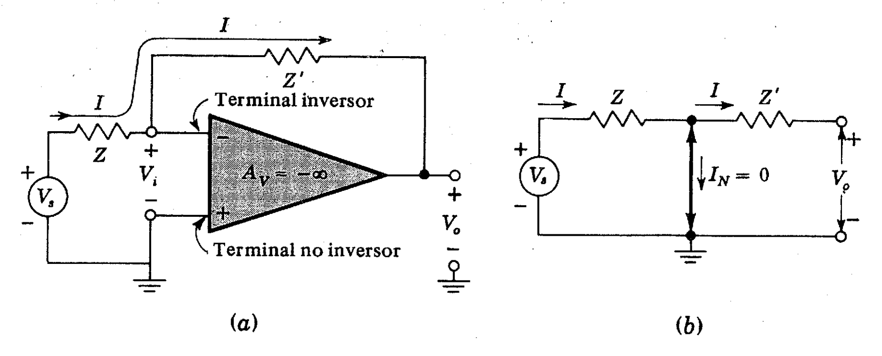


Fig. 15-2. (*a*) Amplificador operacional inversor, con realimentación de tensión en paralelo. (*b*) Tierra virtual en el amplificador operacional

El funcionamiento de este circuito puede ser descrito en los siguientes términos: En la entrada del propio amplificador, hay una *tierra virtual*, o *corto circuito.*

El término "virtual" empleado implica que, aunque la realimentación de la salida a la entrada a través de Z' sirve para mantener la tensión V_i igual a cero, en realidad no fluye corriente a través de este corto. La situación está reflejada en la Fig. 15-2*b*, donde la tierra virtual se representa por una doble flecha más gruesa. Este figura no representa un circuito físico, pero es una ayuda nemotécnica conveniente para poder calcular la tensión de salida dada la señal de entrada. Este simbolismo se emplea profusamente al tratar de cálculos analógicos en la Sec. 16-1.

Amplificador operacional inversor práctico. La ecuación (15-1) sólo es válida si la ganancia de tensión es infinita. Es importante a su vez considerar un amplificador físico que no satisfaga estas restricciones. En la Fig. 15-3, el amplificador de la Fig. 15-2*a* es reemplazado por su modelo para pequeña señal, con $|A_V| \neq \infty$, $R_i \neq \infty$ y $R_o \neq 0$. El símbolo A_v es la *ganancia de tensión en circuito abierto (sin carga).* Las impedancias representadas sombreadas indican el efecto de Z' en la entrada y en la salida del amplifica-

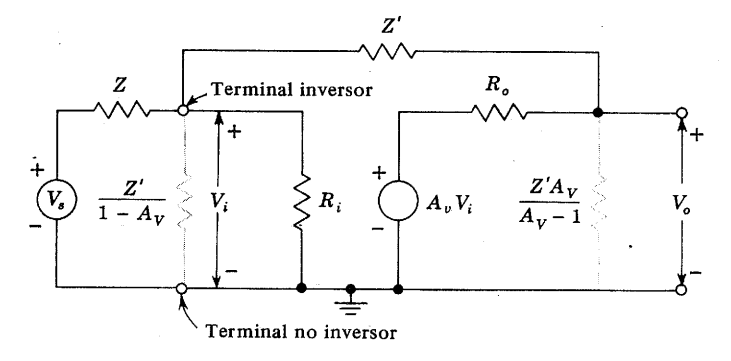


Fig. 15-3. Circuito modelo del amplificador operacional de la Fig. 15-1. (Las impedancias sombreadas son las sustituciones de Miller para Z'.)

dor, habida cuenta de la aplicación del teorema de Miller (Sec. 8-11). Empleando las impedancias de Miller en lugar de Z' en la Fig. 15-3, se obtiene la siguiente expresión para *la ganancia en cadena cerrada* (Prob. 15-1):

$$A_{Vf} = \frac{-Y}{Y' - (1/A_V)(Y' + Y + Y_i)} \tag{15-2}$$

donde las Y' son las admitancias correspondientes a las Z' (por ejemplo, $Y' = 1/Z'$) y donde la ganancia de tensión $A_V \equiv V_o/V_i$, teniendo en cuenta la carga debida a Z', viene dada por:

$$A_V = \frac{A_v + R_o Y'}{1 + R_o Y'} \tag{15-3}$$

Obsérvese que, si $R_o = 0$ o $Y' = 0$ ($Z' = \infty$), la carga se ha eliminado efectivamente y $A_V = A_v$. Nótese también que, cuando $|A_v| \to \infty$, entonces $|A_V| \to \infty$ y

$$A_{Vf} \to -\frac{Y}{Y'} = -\frac{Z'}{Z}$$

de acuerdo con la Ec. (15-1).

Amplificador operacional no inversor. A veces se necesita en un amplificador que la salida sea igual, y en fase, con la entrada, y que además $R_i = \infty$ y $R_o = 0$, de tal forma que la fuente y la carga estén efectivamente aisladas. Un seguidor de emisor se aproxima a estas especificaciones. Se pueden obtener características más ideales empleando un amplificador operacional, con un terminal no inversor para la señal y un terminal inversor para la tensión de realimentación, tal como se indica en la Fig. 15-4.

Si suponemos nuevamente que $R_i = \infty$ y $-A_V = \infty$, tendremos

$$V_2 = \frac{R}{R + R'} V_o$$

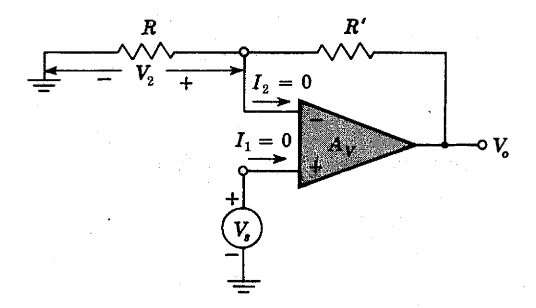


Fig. 15-4. Amplificador operacional no inversor, con realimentación resistiva. Si $R \gg R'$, la salida sigue a la entrada; $V_o \approx V_s$

Como $V_o = A_V(V_2 - V_s)$, entonces para un valor finito de V_o se obtiene que $V_s = V_2$ (hay un cortocircuito virtual entre los terminales de entrada) y

$$A_{Vf} = \frac{V_o}{V_s} = \frac{V_o}{V_2} = \frac{R + R'}{R} \tag{15-4}$$

Por lo tanto, la ganancia en cadena cerrada es siempre mayor que la unidad. Si $R = \infty$ y/o $R' = 0$, entonces $A_{Vf} = +1$ y el amplificador actúa como un *seguidor de tensión.*

En el análisis del circuito OP AMP no inversor deberemos valernos del hecho de que (1) *no entra corriente por ninguna de las dos entradas* y (2) *los potenciales de las dos entradas son iguales.*

15-2. EL AMPLIFICADOR DIFERENCIAL

La función de un amplificador diferencial[4] (abreviadamente, DIFF AMP) es, en general, la de amplificar la diferencia entre dos señales. Su necesidad proviene de que, en muchas mediciones físicas, se requieren respuestas desde continua hasta muchos megahertz. También constituye la etapa básica de un amplificador operacional integrado con entrada diferencial.

La Fig. 15-5 representa un dispositivo lineal activo con dos señales de entrada v_1, v_2 y una señal de salida v_o, cada una de ellas medida respecto a tierra. En un amplificador diferencial ideal, la señal de salida vendría dada por

$$v_o = A_d(v_1 - v_2) \tag{15-5}$$

siendo A_d la ganancia del amplificador diferencial. Con ello se ve que cualquier señal común a las dos entradas no produce ningún efecto sobre la tensión de salida. No obstante, en la práctica no puede cumplirse estrictamente la Ec. (15-5) porque, en general, la salida no sólo dependerá de la *señal diferencia* v_d de las dos señales, sino también del valor medio denominado *señal de modo común* v_c donde

$$v_d \equiv v_1 - v_2 \quad \text{y} \quad v_c \equiv \tfrac{1}{2}(v_1 + v_2) \tag{15-6}$$

Por ejemplo, si una de las señales es de $+50\ \mu V$ y la segunda de $-50\ \mu V$, la salida no será exactamente la misma que si $v_1 = 1\,050\ \mu V$ y $v_2 = 950\ \mu V$ aunque la diferencia $v_d = 100\ \mu V$ sea la misma en los dos casos.

Relación de rechazo del modo común. Vamos a aclarar los párrafos anteriores, y a introducir una representación de mérito de un amplificador diferencial. La salida de la



Fig. 15-5. La salida es función lineal de v_1 y v_2 en un amplificador diferencial ideal; $v_o = A_d(v_1 - v_2)$

Fig. 15-5 puede ser expresada como combinación lineal de dos tensiones de entrada:

$$v_o = A_1 v_1 + A_2 v_2 \tag{15-7}$$

donde $A_1 (A_2)$ son las amplificaciones de tensión desde las entradas 1(2) a la salida, con la condición de que la entrada 2(1) esté conectada a tierra. De las ecuaciones (15-6)

$$v_1 = v_c + ½v_d \quad \text{y} \quad v_2 = v_c - ½v_d \tag{15-8}$$

Si estas ecuaciones se sustituyen en la Ec. (15-7), obtenemos

$$v_o = A_d v_d + A_c v_c \tag{15-9}$$

siendo

$$A_d \equiv ½(A_1 - A_2) \quad \text{y} \quad A_c \equiv A_1 + A_2 \tag{15-10}$$

La ganancia de tensión para la señal diferencia es A_d y para la señal de modo común, es A_c. Podemos medir A_d directamente haciendo $v_1 = -v_2 = 0{,}5$, y de forma que $v_d =$ 1 V, y $v_c = 0$. En estas condiciones, el valor medido de la tensión de salida v_o da la ganancia A_d de la señal diferencial [Ec. (15-9)]. De forma parecida, si hacemos $v_1 = v_2 =$ 1 V, entonces $v_d = 0$, $v_c = 1$ V y $v_o = A_c$. La tensión de salida, mide directamente la ganancia de modo común A_c.

Evidentemente, nos gustaría tener A_d grande, y A_c idealmente nulo. Vamos a definir una magnitud que, a su vez, servirá como criterio de mérito para el amplificador diferencial que denominaremos *relación de rechazo del modo común:*

$$\rho \equiv \left| \frac{A_d}{A_c} \right| \tag{15-11}$$

De las ecuaciones (15-9) y (15-11) obtenemos una expresión de la salida en la siguiente forma:

$$v_o \equiv A_d v_d \left(1 + \frac{1}{\rho} \frac{v_c}{v_d}\right) \tag{15-12}$$

De esta ecuación deducimos que el amplificador debe diseñarse tal que ρ sea grande comparado con la relación de la señal de modo común y la señal diferencia. Por ejemplo, si $\rho = 1\ 000$, $V_c = 1$ mV, y $v_d = 1\ \mu$V, el segundo término de la ecuación (15-12) es igual al primer término. De ahí que, para un amplificador con relación de rechazo del modo común 1 000 a 1 μV una diferencia de potencial de 1 μV entre las dos entradas, dé la misma salida que 1 mV aplicado con la misma polaridad a las dos entradas.

Ejemplo. (*a*) Consideremos la situación indicada más arriba, donde el primer conjunto de señales sea $v_1 = +50\ \mu$V y $v_2 = -50\ \mu$V, y el segundo conjunto $v_1 = 1\ 050\ \mu$V y $v_2 =$ 950 μV. Si la relación de rechazo del modo común es 100, calcular en porcentaje la

diferencia de la tensión de salida obtenida con los dos conjuntos de señales de entrada. (*b*) Repetir el apartado *a* si $\rho = 10.000$.

SOLUCION. *a*. En el primer caso, $v_d = 100\ \mu$V y $v_c = 0$, por tanto de la Ec. (15-12) $v_o = 100\ A_d$ μV.

En el segundo caso, $v_d = 100\ \mu$V, el mismo valor que en el apartado *a*, pero ahora $v_c =$ 1/2 (1 050 + 950) = 1 000 μV y según la Ec. (15-12),

$$v_o = 100\ A_d \left(1 + \frac{10}{\rho}\right) = 100\ A_d \left(1 + \frac{10}{100}\right)\ \mu\text{V}$$

Estas dos medidas difieren en un 10 %.

b. Para $\rho = 10.000$, el segundo conjunto de señales da una salida de

$$v_o = 100\ A_d\ (1 + 10 \times 10^{-4})\quad \mu\text{V}$$

por otra parte, el primer conjunto de señales da una salida de $v_o = 100\ A_d$ μV. Ahora las dos mediciones no difieren más que en un 0,1 %

15-3. EL AMPLIFICADOR DIFERENCIAL ACOPLADO POR EMISOR

El circuito de la Fig. 15-6 es un amplificador diferencial excelente si la resistencia de emisor R_e es grande. Lo que puede justificarse como sigue: si $V_{s1} = V_{s2} = V_s$, entonces de las Ecs. (15-6) y (15-9) tendremos $V_d = V_{s1} - V_{s2} = 0$ y $V_o = A_c V_s$. Sin embargo, si $R_e = \infty$, entonces $I_{e1} = I_{e2} = 0$ debido a la simetría de la Fig. 15-6. Como $I_{b2} \ll I_{c2}$, entonces $I_{c2} \approx I_{e2}$, lo que lleva consigo que $V_o = 0$. Por lo tanto, la ganancia del modo común A_c es cero, y la relación de rechazo del modo común es infinita para $R_e = \infty$ y un circuito simétrico.

Vamos a analizar ahora el circuito acoplado por emisor para un valor finito de R_e. A_c puede evaluarse haciendo $V_{s1} = V_{s2} = V_s$ y empleando la simetría de la Fig. 15-6. Este circuito puede desdoblarse en dos como en la Fig. 15-7*a*. Un análisis del circuito (Prob.

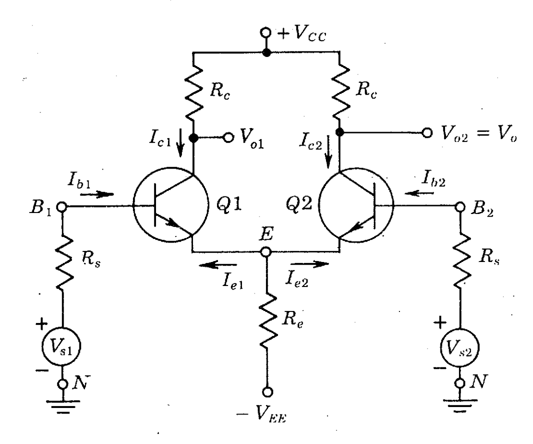


Fig. 15-6. Amplificador diferencial simétrico, acoplado por emisor

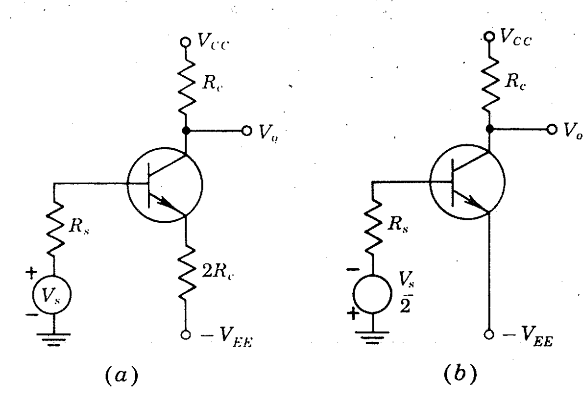


Fig. 15-7 Circuito equivalente de un amplificador diferencial simétrico empleado para determinar (a) la ganancia de modo común A_c y (b) la ganancia de la diferencia A_d

15-10), empleando las ecuaciones (8-67) a (8-69) y despreciando el término en h_{re} en la Ec. (8-68), nos da:

$$A_c = \frac{V_o}{V_s} = \frac{(2h_{oe}R_e - h_{fe})R_c}{2R_e(1 + h_{fe}) + (R_s + h_{ie})(2h_{oe}R_e + 1)} \tag{15-13}$$

suponiendo que $h_{oe}R_c \ll 1$. En forma parecida, la ganancia del modo diferencia A_d puede obtenerse haciendo $V_{s1} = -V_{s2} = v_s/2$. Por la simetría de la Fig. 15-6 vemos que, si $V_{s1} = -V_{s2}$, el emisor de cada transistor está a tierra para pequeña señal. En estas condiciones, puede emplearse el circuito de la Fig. 15-7b para obtener A_d. De ahí que:

$$A_d = \frac{Vo}{V_s} = \frac{1}{2}\frac{h_{fe}R_c}{R_s + h_{ie}} \tag{15-14}$$

suponiendo $h_{oe}R_c \ll 1$. Cabe obtener ahora la relación de rechazo del modo común empleando las ecuaciones (15-11), (15-13) y (15-14).

En la Ec. (15-13) se observa que la relación de rechazo del modo común aumenta con R_e, como habíamos previsto anteriormente. No obstante, hay limitaciones prácticas en el valor de R_e debido a la caída de tensión en continua en reposo; la alimentación V_{EE} de emisor debe ser mayor cuando R_e aumente para mantener la corriente de reposo en su valor apropiado. Si se trabajase con corrientes de transistor menores, esto conduciría a valores superiores de h_{ie} y valores menores de h_{fe}. Los dos efectos tienden a disminuir la relación de rechazo del modo común.

Amplificador diferencial alimentado con corriente constante. Frecuentemente, en la práctica se sustituye la resistencia R_e por un circuito a transistores, como en la Fig. 15-8, en la que R_1, R_2 y R_3 pueden ajustarse para que den las mismas condiciones de reposo para $Q1$ y $Q2$ que las del circuito original de la Fig. 15-6. Esta modificación de circuito de la Fig. 15-8 origina una resistencia de emisor efectiva R_e muy elevada para los dos transistores $Q1$ y $Q2$. Como R_e es también la resistencia efectiva vista desde el colector

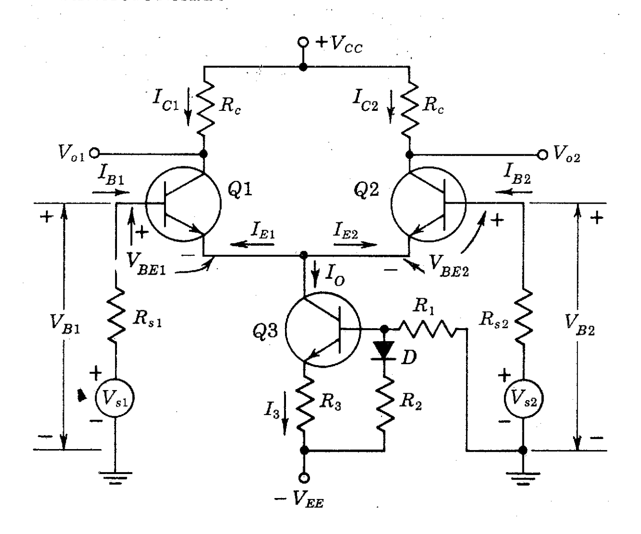


Fig. 15-8. Amplificador diferencial con una etapa a corriente constante en el circuito de emisor. (En principio, $R_{s1} = R_{s2}$)

del transistor $Q3$, viene dada por la Ec. (8-70). En la Sec. 8-15 se comprobó que R_e vale cientos de kiloohms aun cuando R_3 sea pequeña, aproximadamente 1 K.

Demostraremos ahora que el transistor $Q3$ actúa como una fuente de corriente aproximadamente constante, sujeto a la condición de que su corriente de base sea despreciable. Aplicando las leyes de Kirchhoff al circuito de base de $Q3$, tenemos

$$I_3R_3 + V_{BE3} = V_D + (V_{EE} - V_D)\frac{R_2}{R_1 + R_2} \tag{15-15}$$

siendo V_D la tensión del diodo. De ahí

$$I_o \approx I_3 = \frac{1}{R_3}\left(\frac{V_{EE}R_2}{R_1 + R_2} + \frac{V_DR_1}{R_1 + R_2} - V_{BE3}\right) \tag{15-16}$$

Si los parámetros del circuito se eligen de tal manera que

$$\frac{V_DR_1}{R_1 + R_2} = V_{BE3} \tag{15-17}$$

entonces

$$I_o = \frac{V_{EE}R_2}{R_3(R_1 + R_2)} \tag{15-18}$$

Como esta corriente es independiente de las tensiones de señal V_{s1} y V_{s2}, entonces $Q3$ actúa como la fuente del amplificador diferencial constituido por $Q1$ y $Q2$, con una corriente constante I_o.

El resultado anterior para I_o se ha obtenido independientemente de la temperatura debido a la adición del diodo D. Sin D, la corriente variaría con la temperatura debido a que V_{BE3} disminuye aproximadamente 2,5 mV/°C (Sec. 5-8). El diodo tiene esta misma dependencia de la temperatura, y entonces sus variaciones contrarrestan las del transistor e I_o no varía apreciablemente con la temperatura. Como la tensión umbral V_D de un diodo tiene aproximadamente el mismo valor que la tensión base-emisor V_{BE3} de un transistor, entonces no se puede satisfacer la Ec. (15-17) sólo con un diodo. Por lo tanto, se emplean dos diodos en serie para V_D (Fig. 15-11).

Supongamos que $Q1$ y $Q2$ sean idénticos y que $Q3$ sea una verdadera fuente de corriente constante. En estas circunstancias, podemos demostrar que la ganancia del modo común es cero. Supongamos que $V_{s1} = V_{s2} = V_s$, con lo que por la simetría del circuito, la corriente de colector I_{c1} (el incremento sobre el valor de reposo para $V_s = 0$) de $Q1$ iguala la corriente I_{c2} de $Q2$. Por otra parte, como el aumento de corriente total $I_{c1} + I_{c2} = 0$ si I_o = constante, entonces $I_{c1} = I_{c2} = 0$ y $A_c = V_{o2}/V_s = -I_{c2}R_c/V_s = 0$.

Consideraciones prácticas.[4] En algunas aplicaciones, elegir V_{s1} y V_{s2} como tensiones de entrada no es realista, porque las resistencias R_{s1} y R_{s2} representan las impedancias de salida de los generadores de tensión V_{s1} y V_{s2}. En tal caso, se emplean como teniones de entrada las tensiones base-tierra V_{b1} y V_{b2} de $Q1$ y $Q2$ respectivamente. Para el análisis de un circuito diferencial no simétrico, remitimos al lector a la Ref. 4.

El amplificador diferencial se emplea en numerosas aplicaciones en corriente continua. En realidad, es difícil diseñar amplificadores de corriente continua con transistores, debido a la deriva motivada por la variación de h_{FE}, V_{BE} e I_{CBO} con la temperatura. Una variación en cualquiera de estas cantidades varía la tensión de salida y, no se puede distinguir esta variación de la debida a un cambio en la tensión de la señal de entrada. Empleando las técnicas de los circuitos integrados (Cap. 7), es posible construir un amplificador diferencial con $Q1$ y $Q2$ de características casi iguales. En estas circunstancias, cualquier cambio de los parámetros debido a la temperatura se anula y la salida no varía.

Cabe conectar amplificadores diferenciales en cascada con el fin de tener mayores amplificaciones de la señal diferencia. Las salidas V_{o1} y V_{o2} se toman desde cada colector (Fig. 15-8) y se acoplan directamente a las dos bases de la próxima etapa (Fig. 15-11).

Finalmente, el amplificador diferencial puede emplearse como un amplificador inversor de fase acoplado en emisor. Para esta aplicación, la señal se aplica a una de las bases; mientras que la segunda base no se excita (pero está, desde luego, polarizada adecuadamente). Las tensiones de salida dadas por los dos colectores son iguales en magnitud y defasadas 180°.

15-4. CARACTERISTICAS DE TRANSFERENCIA DE UN AMPLIFICADOR DIFERENCIAL

Es importante examinar la característica de transferencia[5] (I_C en función de $V_{B1} - V_{B2}$) del amplificador diferencial de la Fig. 15-8 para comprender sus ventajas y sus limitaciones. Primero consideraremos este circuito cualitativamente. Cuando V_{B1} está por debajo del punto de corte de $Q1$, toda la corriente I_o, circula a través de $Q2$ (suponiendo para esta explicación que V_{B2} sea constante). Cuando V_{B1} eleva a $Q1$ por sobre el corte, la corriente de $Q1$ aumenta y por ende la de $Q2$ disminuye; la suma de las dos corrientes

es igual a I_o. El margen total ΔV_o, en el que la salida puede seguir a la entrada es $R_c I_o$ y es por tanto ajustable regulando I_o.

De la Fig. 15-8 tenemos:

$$I_{E1} + I_{E2} = -I_O \tag{15-19}$$

$$V_{B1} - V_{B2} = V_{BE1} - V_{BE2} \tag{15-20}$$

La corriente de emisor I_E de cada transistor está relacionada con la tensión V_{BE} por la característica tensión-corriente del diodo,

$$I_E = I_S \epsilon^{V_{BE}/V_T} \tag{15-21}$$

donde I_S se define en función de los parámetros de Ebers - Molls del Prob. 15-12.

Si suponemos que $Q1$ y $Q2$ están aparejados, en las Ecs. (15-19) a (15-21) vemos que

$$I_{C1} \approx -I_{E1} = \frac{I_o}{1 + \exp\left[-(V_{B1} - V_{B2})/V_T\right]} \tag{15-22}$$

e I_{C2} viene dado por la misma expresión, pero con V_{B1} y V_{B2} cambiados entre sí. Las características de transferencia descritas en la Ec. (15-22) para las corrientes normalizadas de colector I_{C1}/I_o (e I_{C2}/I_o), se indican en la Fig. 15-9, donde la abscisa es la entrada diferencia normalizada $(V_{B1} - V_{B2})/V_T$.

Derivando la Ec. (15-22) respecto a $V_{B1} - V_{B2}$, tendremos la transconductancia g_{md} del amplificador diferencial respecto a la tensión de entrada diferencial, o sea:

$$\frac{dI_{c1}}{d(V_{B1} - V_{B2})} = g_{md} = \frac{I_o}{4V_T} \tag{15-23}$$

donde g_{md} está considerada con $V_{B1} = V_{B2}$. Esta ecuación indica que, para el mismo valor de I_o, la transconductancia efectiva del amplificador diferencial es la cuarta parte de la de un solo transistor [Ec. (11-4)]. Se puede ver la demostración de la Ec. (15-23) en el Prob. 15-11.

De las curvas de transferencia de la Fig. 15-9 cabe sacar las siguientes conclusiones:

1. El amplificador diferencial es un limitador muy bueno, puesto que cuando la entrada $(V_{B1} - V_{B2})$ excede $\pm 4\ V_T$ ($\approx \pm$ 100 mV a la temperatura ambiente), se tiene ya muy poco incremento posterior en la salida.
2. La pendiente de estas curvas define la transconductancia, y resulta claro que g_{md} empieza en cero, llega a un máximo de $I_o/4\ V_T$ cuando $I_{C1} = I_{C2} = 1/2\, I_o$, y vuelve a aproximarse a cero.
3. El valor de g_{md} es proporcional a I_o [Ec. (15-23)]. Como la variación de tensión de salida o V_{o2} viene dada por

$$V_{o2} = g_{md} R_e (V_{B1} - V_{B2}) \tag{15-24}$$

es posible cambiar la ganancia diferencial variando la corriente I_o. Esto significa que es posible un control automático de ganancia en un amplificador diferencial.

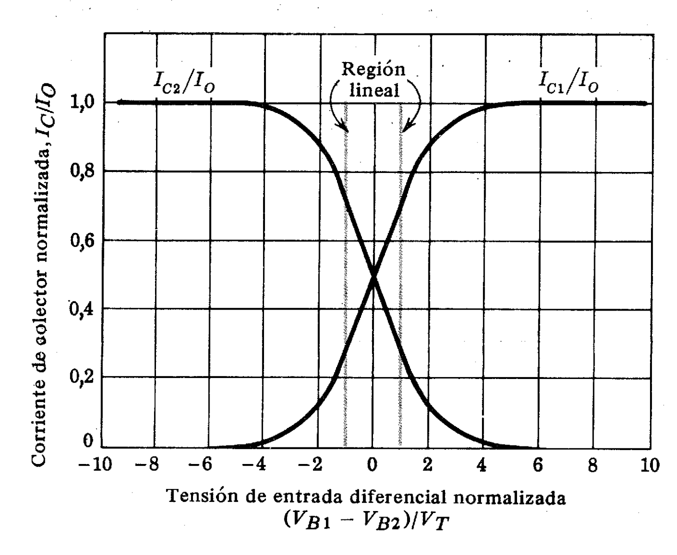


Fig. 15-9. Características de transferencia de un circuito amplificador diferencial básico

4. Las características de transferencia son lineales en una pequeña región en torno al punto de reposo, donde la entrada varía aproximadamente $\pm V_T$ ($\pm$ 26 mV a la temperatura ambiente). En el Prob. 15-14 veremos que es posible aumentar la región de linealidad intercalando dos resistencias iguales R_e en serie con los emisores de $Q1$ y $Q2$. Esta realimentación de corriente en serie agregada a cada transistor, da como resultado un menor valor de g_{md}. Cabe considerar valores razonables de R_e: de 50 a 100 ohm, ya que, con valores grandes, A_d se reduce demasiado. La inserción de R_e aumenta también la impedancia de entrada.

15-5. EJEMPLO DE UN AMPLIFICADOR OPERACIONAL INTEGRADO

Normalmente, un amplificador operacional integrado está constituido por cuatro etapas en cascada. Tal como indica la Fig. 15-10, la primera etapa es un amplificador diferencial con doble salida, la segunda etapa es un amplificador diferencial de salida única, la tercera es un seguidor de emisor, y la última etapa es un translador del nivel de tensión continua y excitador de salida.

En esta sección examinaremos con algún detalle un ejemplo de amplificador operacional integrado, tal como el Motorola MC1530 de la Fig. 15-11. Este amplificador ha sido construido para aprovechar las ventajas de los circuitos integrados monolíticos. Ofrece bajo desequilibrio de tensión y de corriente, pequeño tamaño, elevada fiabilidad y compensación excelente de temperatura.

El objeto de esta sección es el análisis y valoración del funcionamiento de este amplificador operacional.

Resistencia de entrada. La primera etapa, A_{V1}, está constituida por $Q2$ y $Q3$, con $Q1$ utilizado como fuente de corriente constante y que presenta un elevado rechazo de modo común. La resistencia de entrada diferencial R_{id} para la señal de entrada total V_1, es $2\,h_{ie}$, supuesto que $R_s = 0$ y $h_{oe}\,R_c \leqslant 0{,}1$. Esta premisa es correcta por el hecho de que, como $Q1$ actúa con una corriente constante I_o, los emisores de $Q2$ y $Q3$ son flotantes. En consecuencia, la resistencia entre las dos entradas 1 y 2 será $h_{ie2} + h_{ie3} = 2h_{ie}$. Si la entrada 2 estuviera a tierra, entonces la entrada 1 estaría cargada con $2h_{ie}$.

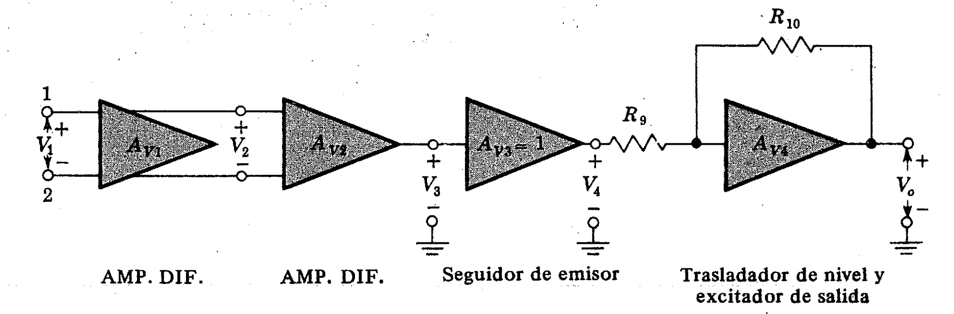


Fig. 15-10. El Motorola MC1530 como amplificador de cuatro etapas en cascada

Si despreciamos $r_{bb'}$ comparada con $r_{b'e}$, entonces

$$h_{ie} \approx r_{b'e} = \frac{h_{fe}}{g_m} = \frac{h_{fe} V_T}{|I_C|} \qquad (15\text{-}25)$$

donde hemos hecho uso de la Ec. (11-11). Indicaremos más adelante, en esta misma sección, que $I_{C2} = I_{C3} = I_{C4} = I_{C5} \approx 0{,}5$ mA. Como $h_{fe} = 100$ para $Q2$ y $Q3$, la resistencia diferencial de entrada será:

$$R_{id} = 2h_{ie} = \frac{2 \times 100 \times 26}{0{,}5}\ \Omega = 10{,}4\ \text{K}$$

Si esta resistencia es demasiado pequeña para la fuente de señal aplicada, cabe aumentarla modificando el circuito de entrada. Por ejemplo, algunos amplificadores operacionales integrados tienen un par Darlington (Sec. 8-16) en lugar de $Q2$ y otro en lugar de $Q3$. Otra modificación[7] consistiría en agregar una etapa diferencial discreta FET acoplada a la entrada, o, preferiblemente, fabricar un par FET diferencial en el mismo chip que el resto del amplificador. Widlar[1] ha diseñado amplificadores operacionales (National Semiconductor Corp. LM108, por ejemplo) empleando transistores de superganancia (Sec. 7-6) en la etapa de entrada (se pueden obtener ganancias de 5 000 con una corriente de colector de 1 μA). Para este transistor encontramos, a partir de la Ec. (15-25)

$$h_{ie} = \frac{5\,000 \times 26 \times 10^{-3}}{10^{-6}}\ \Omega = 130\ \text{M}$$

lo cual es verdaderamente muy elevado para un transistor bipolar.

La resistencia de entrada diferencial de la segunda etapa, constituida por el par diferencial $Q4$ y $Q5$, es $2h_{ie}$. Por otra parte, como se aplican señales de la doble salida a $Q4$ y $Q5$,

entonces la resistencia vista desde cada base es la mitad de este valor, o sea h_{ie}. Este resultado se obtiene del circuito equivalente de la Fig. 15-7*b*, que señala que el emisor está efectivamente a tierra. Como se sabe que las h_{fe} de los transistores $Q4$ y $Q5$ valen también 100, entonces $h_{ie} = 10{,}4/2 = 5{,}2$ K. Esta resistencia está efectivamente conectada desde cada colector de $Q2$ y $Q3$ a tierra. Por lo tanto, la carga equivalente del circuito de colector es:

$$R_{L2} = R_{L3} = 7{,}75 \parallel 5{,}20 = 3{,}12 \text{ K}$$

Ganancia de tensión en cadena abierta. La ganancia diferencial $A_d = A_{V1}$ viene dada por la Ec. (15-14) multiplicada por 2 (debido a que la salida de colector a colector es el doble de la salida de colector a tierra). Como $R_s = 0$, $h_{fe} = 100$, y

$$h_{ie} = 10{,}4/2 = 5{,}2 \text{ K}$$

para la primera etapa,

$$A_{V1} = \frac{V_2}{V_1} = \frac{h_{fe}R_{L2}}{h_{ie}} = \frac{100 \times 3{,}12}{5{,}20} = 60{,}0$$

Para la segunda etapa, $h_{fe} = 100$, $h_{ie} = 5{,}2$ K, y la carga será $R_7 = 3$ K, si despreciamos la carga que representa sobre $Q5$ el seguidor de emisor $Q6$ (cuya impedancia de entrada es grande comparada con 3 K). Puesto que la segunda etapa tiene un solo terminal de salida, la ganancia diferencial será:

$$A_{V2} = \frac{V_3}{V_2} = -\frac{1}{2}\frac{h_{fe}R_7}{h_{ie}} = -\frac{100 \times 3}{2 \times 5{,}2} = -28{,}9$$

Para el seguidor de emisor, $A_{V3} \approx 1$. La etapa de salida emplea una realimentación de tensión en paralelo por medio de R_9 y R_{10}. De la Ec. (15-1)

$$A_{V4} \approx -\frac{R_{10}}{R_9} = -\frac{30}{6} = -5$$

De ahí que la ganancia diferencial total de tensión del amplificador operacional sea:

$$A_V = (60{,}0)(-28{,}9)(-5) = +8\,670$$

Obsérvese que el nudo 1 es terminal de entrada no inversor.

Análisis en corriente continua. Se necesita conocer las corrientes y las tensiones en continua del circuito para obtener la ganancia en cadena abierta y la resistencia de entrada diferencial, y comprender la forma de trabajar el translador de nivel de la etapa de salida.

Empezaremos con la fuente de corriente $Q1$. Supondremos que todas las corrientes de las bases pueden despreciarse y que todas las tensiones directas de los diodos y las diferencias de potencial entre bases y emisores valen 0,7 V. La tensión continua V_{BN1} de

la base de $Q1$ respecto a tierra N es (de la Fig. 5-11):

$$V_{BN1} = \frac{[-V_{EE} + 2(0{,}7)]R_5}{R_4 + R_5} = \frac{(-6 + 1{,}4)(3{,}2)}{1{,}5 + 3{,}2} = -3{,}14 \text{ V}$$

e

$$I_O \approx I_1 = \frac{V_{EE} + (V_{BN1} - 0{,}7)}{R_1} = \frac{6 - 3{,}84}{2{,}2} = 0{,}99 \text{ mA}$$

Si se supone que los transistores integrados $Q2$ y $Q3$ son idénticos, la mitad de I_1 pasará por cada uno:

$$I_{C2} = I_{C3} = 0{,}495 \text{ mA}$$

La tensión continua de las bases de $Q4$ y $Q5$ respecto a tierra será:

$$V_{BN4} = V_{BN5} = V_{CC} - I_{C3}R_3 = 6 - 0{,}495 \times 7{,}75 \approx 2{,}18 \text{ V}$$

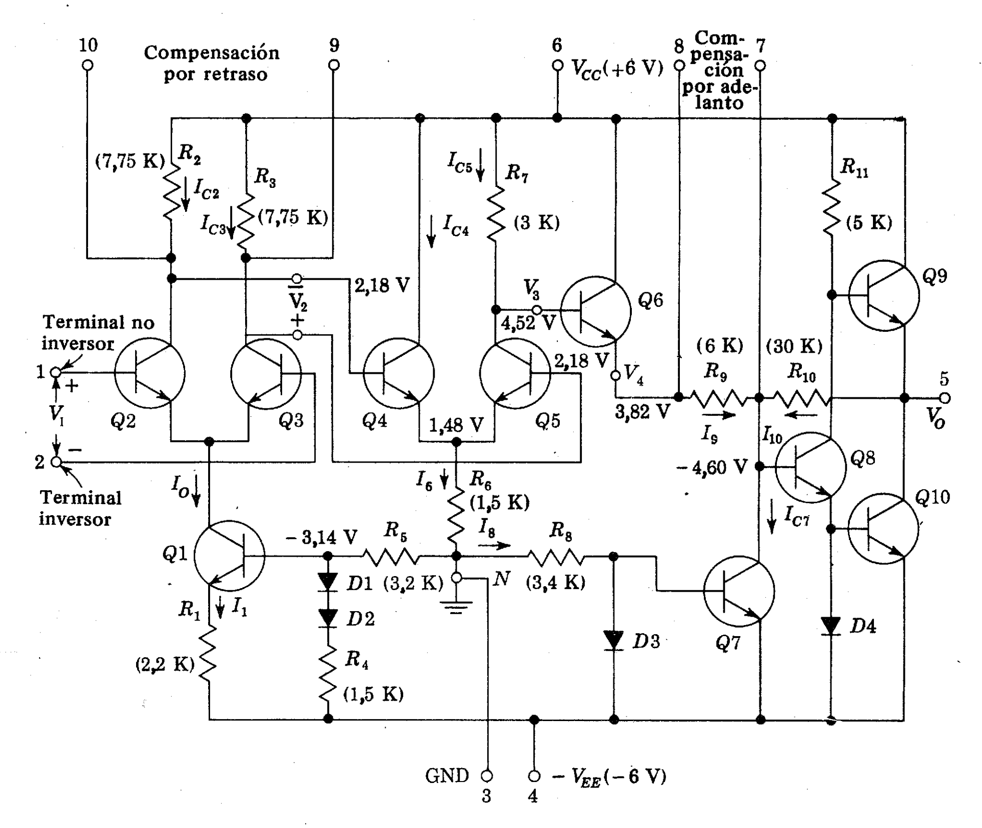


Fig. 15-11. El amplificador operacional MC1530. En el análisis, todas las corrientes de base se desprecian

La tensión continua del emisor común de $Q4$ y $Q5$ será:

$$V_{EN4} = V_{BN4} - V_{BE4} = 2{,}18 - 0{,}7 = 1{,}48 \text{ V}$$

y la corriente por R_6 valdrá:

$$I_6 = \frac{V_{EN4}}{R_6} = \frac{1{,}48}{1{,}5} = 0{,}986 \text{ mA}$$

Como $I_6 = I_{C4} + I_{C5} = 2I_{C5}$, entonces $I_{C5} = 0{,}493$ y la tensión de la base de $Q6$, que es igual a la tensión V_3 del colector de $Q5$, será:

$$V_3 = V_{BN6} = V_{CN5} = V_{CC} - I_{C5}R_7 = 6 - (0{,}493)(3) = 4{,}52 \text{ V}$$

La salida V_4 del seguidor de emisor será:

$$V_4 = V_{EN6} = V_{BN6} - V_{BE6} = 4{,}52 - 0{,}7 = 3{,}82 \text{ V}$$

Etapa de salida. La última etapa da lugar a una traslación de nivel y a una salida simétrica (a baja impedancia) respecto a tierra. Cuando la tensión de entrada diferencial V_1 es cero, la salida V_o debería ser cero. Pero, debido al desequilibrio entre V_{BE} y h_{FE} existe una cierta tensión de salida no nula, que consideraremos en la Sec. 15-7.

La tensión $V_{EN6} = 3{,}82$ V debería reducirse a cero a la salida del amplificador, mientras se mantenga el acoplamiento en corriente continua. Vamos a demostrar ahora que esta traslación de nivel puede obtenerse con los valores de los parámetros del circuito de la Fig. 15-11. Obsérvese que $Q7$ está polarizado por $D3$, tal como se ha explicado en la Sec. 9-7. Por lo tanto, siguiendo la explicación de la Sec. 9-7 respecto a la Fig. 9-11*a*, encontramos

$$I_{C7} \approx I_8 = \frac{V_{EE} - V_{D3}}{R_8} = \frac{6{,}0 - 0{,}7}{3{,}4} = 1{,}56 \text{ mA}$$

La tensión entre la base de $Q8$ y tierra es:

$$V_{BN8} = V_{BE8} + V_{D4} - V_{EE} = 0{,}7 + 0{,}7 - 6 = -4{,}60 \text{ V}$$

Las corrientes a través de R_9 y R_{10} serán:

$$I_9 = \frac{V_{EN6} - V_{BN8}}{R_9} = \frac{3{,}82 + 4{,}6}{6} = 1{,}40 \text{ mA}$$

$$I_{10} = I_{C7} - I_9 = 1{,}56 - 1{,}40 = 0{,}16 \text{ mA}$$

Finalmente, la tensión continua de salida será:

$$V_O = V_{BN8} + I_{10}R_{10} = -4{,}60 + (0{,}16)(30) = 0{,}20 \text{ V}$$

Este valor calculado para V_o no debe tomarse demasiado en serio, ya que hemos obtenido I_{10} como diferencia entre dos números bastante iguales. De tal resta puede resultar un

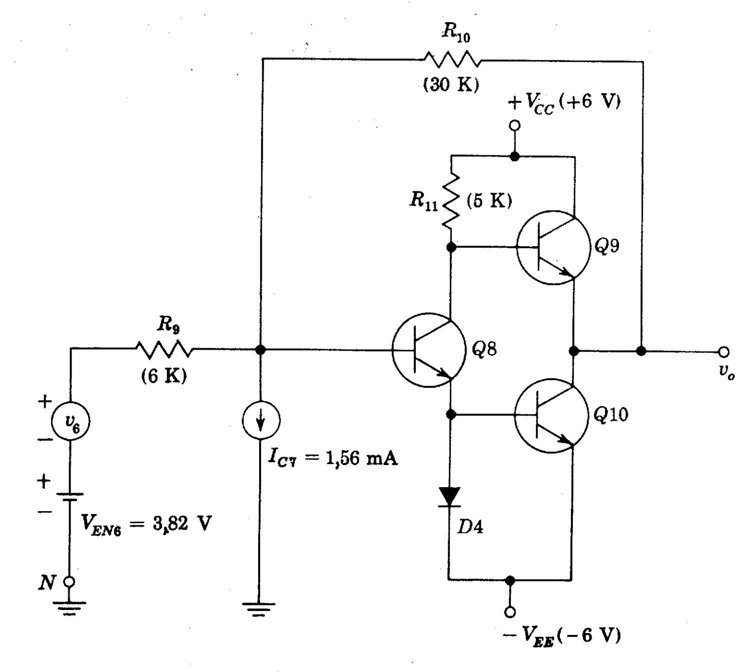


Fig. 15-12. Etapa de salida del MC1530

error grande en la pequeña diferencia. Obsérvese que, si I_{10} fuera 0,153 (en vez de 0,16), entonces $V_O = 0$ (en lugar de 0,2 V). I_{10} también es afectado extraordinariamente por pequeños cambios en los parámetros del circuito y, por lo tanto se emplea una técnica de equilibrado (Sec. 15-6) para asegurar que $V_O = 0$ para $V_1 = 0$.

Para considerar la etapa de salida en condiciones de excitación aplicada, nos referiremos a la Fig. 15-12, donde v_6 representa la tensión de señal en el emisor de $Q6$; V_{EN6} es la tensión continua en dicho emisor, e I_{C7} es la corriente constante suministrada por $Q7$. La señal v_6 se amplifica por $Q8$ y se transmite al "totem" formado por $Q9$ y $Q10$. Si v_6 es positivo, entonces la corriente en $Q9$ disminuye a la vez que la de $Q10$ aumenta, se toma corriente de la carga y v_o disminuye. De la misma forma, si v_6 es negativa, la corriente de $Q9$ aumenta mientras la de $Q10$ disminuye, se suministra corriente a la carga, y v_o crece.

Para valores muy positivos de v_6, $Q9$ queda cortado y $Q10$ llega a saturación. En estas circunstancias, $v_O = -V_{EE} + V_{CE10,sat} = -6 + 0{,}2 = -5{,}8$ V. Asimismo, para valores muy negativos de v_6, $Q10$ queda cortado y $Q9$ llega a saturación, con lo que $v_o = V_{CC} - V_{CE9,sat} = 6 - 0{,}2 = +5{,}8$ V. El máximo valor pico a pico de la salida será, pues, 11,6 V.

Obsérvese que la etapa de salida se estabiliza mediante la realimentación de tensión paralela que suministran las resistencias R_9 y R_{10}.

Oscilación de la tensión de modo común. Demostraremos ahora que V_{BN1} y V_{CN2} fijan un límite en *la desviación V_{iCM} de la tensión de modo común de entrada.* Este parámetro se define como el pico máximo de tensión de entrada que se puede aplicar a cualquier terminal de entrada sin provocar un funcionamiento anormal o un deterioro. El

límite positivo de V_{iCM} depende de la tensión de colector de la etapa de entrada, que es $V_{CN2} = V_{BN4} \approx 2{,}2$ V. Si V_{iCM} excede de 2,2 V, entonces la unión colector-base de $Q2$ tendría polarización directa y podría saturarse. Por otra parte, si V_{iCM} fuese más negativo que:

$$V_{BN1} + V_{BE2} = -3{,}14 + 0{,}7 = -2{,}44 \text{ V}$$

el colector de $Q1$ estaría polarizado en sentido directo y resultaría un funcionamiento anormal. Por tanto, en caso de que la alimentación sea ± 6 V, la desviación de la tensión de modo común para este amplificador no debería exceder de ± 2 V como máximo.

15-6. ERRORES OFFSET DE TENSIONES Y CORRIENTES*

En la Sec. 15-1 observamos que el amplificador operacional ideal indicado en la Fig. 15-1*a* está perfectamente equilibrado, o sea que $V_o = 0$ cuando $V_1 = V_2$. Un amplificador operacional real tiene un cierto desequilibrio provocado por la falta de apareamiento de los transistores de entrada. Este desapareamiento provoca unas corrientes de polarización desiguales a través de los terminales de entrada, y se requiere una tensión de equilibrio entre dichos terminales para tener también equilibrada la salida.

En esta sección vamos a estudiar cuáles son los errores de tensión y de corriente en continua que pueden encontrarse en los terminales de entrada y de salida.

Corriente de polarización de entrada. La corriente de polarización de entrada es la semi-suma de las corrientes separadas que fluyen por los dos terminales de entrada de un amplificador equilibrado, tal como muestra la Fig. 15-13*a*. Como la etapa de entrada es igual a la indicada en la Fig. 15-8, la corriente de polarización de entrada será $I_B = (I_{B1} + I_{B2})/2$ cuando $V_o = 0$.

Corriente offset de entrada. La corriente offset de entrada, I_{io}, es la diferencia entre las corrientes separadas que entran en los terminales de entrada de un amplificador equilibrado. Como indica la Fig. 15-13*a*, tenemos $I_{io} = I_{B1} - I_{B2}$ cuando $V_o = 0$.

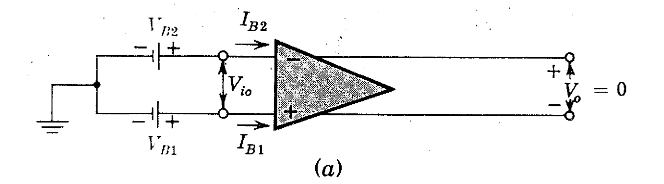
Variación de la corriente offset de entrada. La variación de la corriente offset de entrada $\Delta I_{io}/\Delta T$ es la relación entre el cambio de dicha corriente de entrada y la variación de temperatura.

Tensión offset de entrada. Es la tensión V_{io} que debe aplicarse entre los terminales de entrada para equilibrar el amplificador, como se indica en la Fig. 15-13*a*.

Variación de la tensión offset de entrada. Es la relación $\Delta V_{io}/\Delta T$ entre el cambio de la tensión offset de entrada y la variación de temperatura.

Tensión offset de salida. Es la diferencia entre las tensiones continuas de los dos terminales de salida (o entre el terminal de salida y tierra para un amplificador con una sola salida) cuando los dos terminales de entrada están conectados a tierra (Fig. 15-13*b*).

* Como se desprende de las definiciones se trata de tensiones y corrientes "desplazadas" o "descentradas" respecto a una posición central. No existiendo para ellas una denominación comúnmente aceptada en español, respetamos el vocablo original "offset".



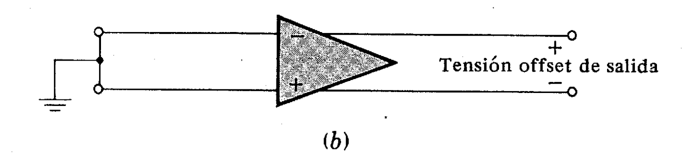


Fig. 15-13. (*a*) Tensión offset de entrada (*b*) Tensión offset de salida

Relación de rechazo de la alimentación. La relación de rechazo de la fuente de alimentación (PSRR) es la relación entre la variación de la tensión offset de entrada y la correspondiente variación de tensión de una fuente de alimentación, manteniéndose constantes las demás tensiones de alimentación.

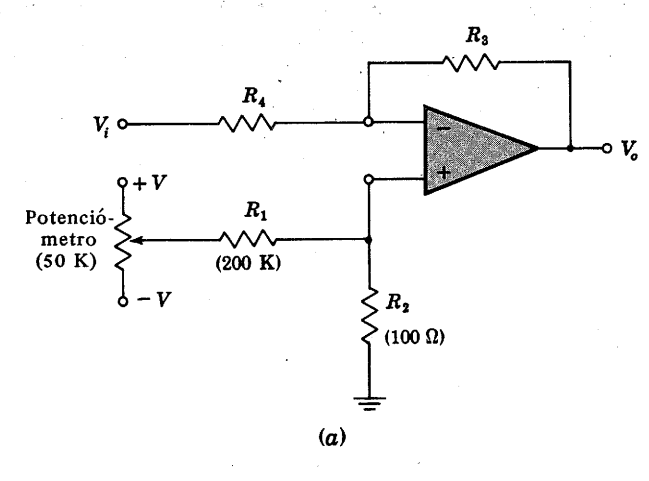
Relación de variación. Es la evaluación de tiempo de cambio de la tensión de salida del amplificador en cadena cerrada con señales grandes.

La tabla 15-1 da los diversos parámetros de un amplificador operacional monolítico típico.

TABLA 15-1 Parámetros típicos de un amplificador operacional monolítico

Ganancia en cadena abierta A_d	50.000
Tensión offset de entrada V_{io}	1 mV
Corriente offset de entrada I_{io}	10 nA
Corriente de polarización de entrada I_B	100 nA
Relación de rechazo de modo común ρ	100 dB
PSRR	20 μV/V
Desviación de I_{io}	0,1 nA/°C
Desviación de V_{io}	1,0 μV/°C
Ritmo de variación	1 V/μs

Técnicas universales de equilibrado. Cuando se emplea un amplificador operacional, a menudo se necesita equilibrar la tensión offset de salida. Esto significa que deberemos aplicar una pequeña tensión continua en la entrada, de tal manera que a la salida la tensión continua obtenida sea cero. Las técnicas aquí indicadas permiten equilibrar la tensión de salida sin considerar el circuito del amplificador. El circuito indicado en la Fig. 15-14*a* suministra una pequeña tensión en serie con el terminal de entrada no inversor en el margen $\pm V[R_2/(R_1 + R_2)] = \pm 7{,}5$ mV, si se emplea una alimentación de ± 15 V y $R_1 = 200$ K, $R_2 = 100\ \Omega$. Por lo tanto, el circuito se emplea para el equilibrado de amplificadores inversores, aun cuando el elemento de realimentación R_3 sea un conden-



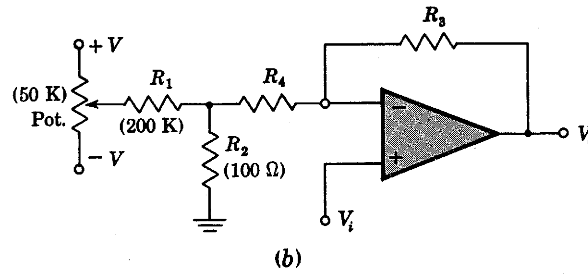


Fig. 15-14. Circuitos universales para el equilibrado de la tensión offset en amplificadores operacionales (*a*) inversores y (*b*) no inversores. (Ver Fig. 15-18 para el equilibrado de un amplificador diferencial)

sador o un elemento no lineal. Si el amplificador operacional se emplea como amplificador no inversor, se utiliza el circuito de la Fig. 15-14*b* para el equilibrado de la tensión offset de salida.

15-7. VARIACION CON LA TEMPERATURA DE LAS TENSIONES Y CORRIENTES OFFSET DE ENTRADA

La etapa diferencial de entrada ejerce la influencia más crítica en el funcionamiento del amplificador operacional, debido a que el efecto de un error equivalente en las etapas subsiguientes queda reducido por la ganancia que proviene de la primera etapa. En esta sección examinaremos las señales de error de entrada y las desviaciones térmicas en la etapa diferencial de entrada de la Fig. 15-8.

En la Fig. 15-8 vemos que la tensión offset de entrada es

$$V_{io} = V_{BE1} - V_{BE2} \tag{15-26}$$

donde V_{BE1} y V_{BE2} corresponden a $I_{C1} = I_{C2}$. Es posible fabricar transistores integrados aparejados, en los que la diferencia de tensión base-emisor sea aproximadamente de un milivolt.

La variación de la tensión offset de entrada puede hallarse empleando las Ecs. (15-26) y (19-92):

$$\frac{dV_{io}}{dT} = \frac{dV_{BE1}}{dT} - \frac{dV_{BE2}}{dT} = \frac{V_{BE1} - V_{BE2}}{T}$$

o

$$\frac{dV_{io}}{dT} = \frac{V_{io}}{T} \tag{15-27}$$

Por la ecuación diferencial (15-27) encontramos:

$$V_{io} = CT \tag{15-28}$$

donde C es una constante. Por lo tanto, vemos que la desviación de la tensión offset de entrada es independiente de la temperatura. Si suponemos que $V_{io} = 1$ mV a temperatura ambiente, entonces $dV_{io}/dT = 10^{-3}/300 = 3{,}3\ \mu V/°C$, comparado con

$$dV_{BE}/dT = -2{,}5 \text{ mV/°C}$$

para un solo transistor en emisor común.

La corriente offset de polarización de entrada ha sido definida como $I_{io} = I_{B1} - I_{B2}$, y si $I_{B1} \neq I_{B2}$ se producirá una tensión de error en la entrada de la primera etapa aun cuando las resistencias de las fuentes sean iguales. Teóricamente, deberíamos tener $I_{B1} = I_{B2} = 0$, y por esta razón se emplean en principio etapas diferenciales de resistencia de entrada muy elevada (Sec. 15-5).

Puesto que

$$I_{io} = \frac{I_{C1}}{\beta_1} - \frac{I_{C2}}{\beta_2}$$

encontramos que la desviación de la corriente de entrada causada por el desapareamiento de β_1 y β_2 si $I_{C1} = I_{C2}$, viene dado por

$$\frac{dI_{io}}{dT} = -\left(\frac{1}{\beta_1}\frac{d\beta_1}{dT}\right) I_{B1} + \left(\frac{1}{\beta_2}\frac{d\beta_2}{dT}\right) I_{B2} \tag{15-29}$$

En pares de transistores integrados los coeficientes de temperatura beta son casi iguales y la variación de beta está causada por la variación del tiempo de vida de los portadores minoritarios en la región de la base.[8] Para los transistores típicos de silicio encontramos que

$$\frac{1}{\beta}\frac{d\beta}{dT} = \begin{cases} -0{,}005°\ C^{-1} & T > 25°\ C \\ -0{,}015°\ C^{-1} & T < 25°\ C \end{cases}$$

La expresión de la desviación viene dada por

$$\frac{dI_{io}}{dT} \approx -\left(\frac{1}{\beta}\frac{d\beta}{dT}\right) I_{io} \tag{15-30}$$

Se puede reducir la corriente de polarización de entrada y la correspondiente desviación de corriente empleando pares Darlington, en lugar de $Q1$ y $Q2$ en la Fig. 15-8. Por otra parte, debido a las tensiones de las uniones de emisor de la pareja añadida, hay un aumento de la tensión offset de entrada y de la desviación de tensión.

15-8. MEDICION DE LOS PARAMETROS DE UN AMPLIFICADOR OPERACIONAL

En esta sección vamos a describir métodos prácticos de medición de algunos de los parámetros más importantes de los amplificadores operacionales. De forma específica examinaremos (1) la ganancia de tensión en cadena abierta A_V, (2) resistencia de salida R_o sin realimentación, (3) resistencia de entrada diferencial R_i, (4) tensión offset de entrada V_{io}, (5) corriente de polarización de entrada I_B y corriente offset de entrada I_{io}, (6) relación de rechazo del modo común, y (7) tiempo de variación.

Ganancia de tensión diferencial en cadena abierta $A_V = A_d$. La ganancia de tensión en cadena abierta se define como la relación entre la tensión de la señal de salida y la tensión diferencial de entrada V_i. La figura 15-15 muestra la técnica de medición de este parámetro. Es esencial que el efecto de la tensión offset de entrada pueda eliminarse tal como indica la figura, pues de lo contrario la elevada amplificación de esta tensión saturará la salida. La excitación de entrada V_s es una señal de alterna, y variando su frecuencia se puede obtener la respuesta en frecuencia A_V. El atenuador de entrada es esencial, ya que V_i debe ser lo suficientemente bajo para que las oscilaciones de salida no sean superiores al 30 % de la tensión nominal de salida (para asegurar un funcionamiento lineal).

Resistencia de salida R_o. La resistencia de salida R_o de un amplificador operacional puede obtenerse empleando el circuito de la Fig. 15-15 y midiendo la disminución de la ganancia A_V a baja frecuencia provocada por la resistencia de carga R_L. Entonces, a partir de la Fig. 15-1*b*:

$$A_V = \frac{R_L}{R_L + R_o} A_v$$

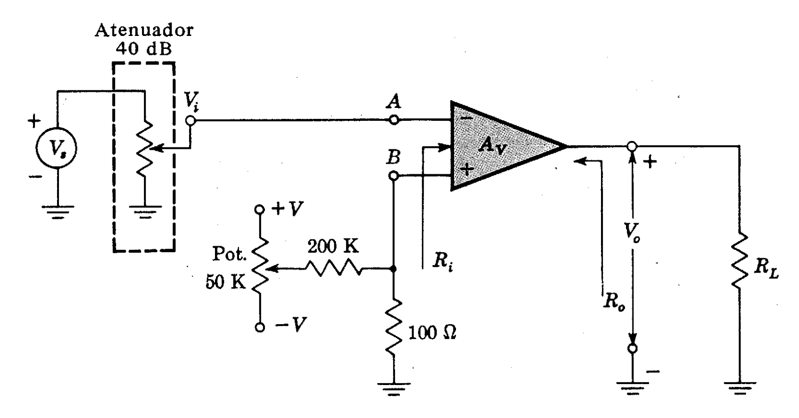


Fig. 15-15. Circuitos para la medición de A_V, R_o y R_i

y

$$R_o = \left(\frac{A_v}{A_V} - 1 \right) R_L \tag{15-31}$$

donde A_v y A_V son las ganancias en cadena abierta con $R_L = \infty$ y $R_L \neq \infty$, respectivamente.

Resistencia de entrada diferencial R_i. La resistencia diferencial de entrada R_i puede medirse formando un divisor de tensión en la entrada del amplificador de la Fig. 15-15. Esto se hace intercalando dos resistencias iguales R en los puntos A y B en serie con los terminales inversor y no inversor. La nueva salida será

$$V'_o = \frac{R_i}{R_i + 2R} V_o$$

siendo V_o el valor medido con $R = 0$. Se emplean dos resistencias en lugar de una sola para que cualquier acoplamiento esporádico desde la salida genere señales iguales en los terminales inversor y no inversor. Estas señales de entrada extrañas iguales no podrán llegar hasta la salida debido al rechazo de modo común. Algunas veces, se coloca un condensador C intercalado en paralelo con cada una de las resistencias R para reducir el ruido a altas frecuencias.

De la ecuación anterior obtenemos R_i.

$$R_i = 2R \frac{V'_o}{V_o - V'_o} \tag{15-32}$$

Si se emplean los condensadores C, la frecuencia de la señal de entrada debe ser mucho menor que $1/(2\pi RC)$. Si R_i es muy elevada, como en el caso de una etapa diferencial de entrada con FET, entonces $V_o \approx V'_o$ y la medida no es práctica.

Tensión offset de entrada V_{io}. Puede emplearse el circuito elemental en cadena cerrada de la Fig. 15-16 para esta medición. Obtenemos de la Ec. (15-4):

$$V_o = \frac{R + R'}{R} V_{io} \tag{15-33}$$

Si $R = 100\ \Omega$ y $R' = 100$ K, la pequeña tensión offset de entrada queda multiplicada por el factor 1 001 a la salida, y por tanto es fácilmente medible.

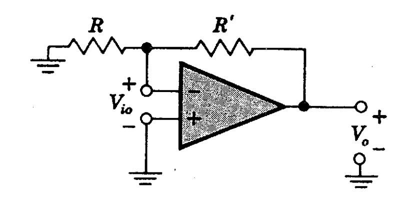


Fig. 15-16. Medición de la tensión offset de entrada V_{io}

Corriente de polarización de entrada. En la figura 15-17 representamos las corrientes de polarización de entrada I_{B1} e I_{B2} circulando a través de dos resistencias elevadas $R_B >$ 10 M. Además, el amplificador está conectado como amplificador no inversor de ganancia unidad. Si las resistencias R_B se seleccionan de tal manera que $I_B R_B > V_{io}$, entonces las tensiones creadas por las corrientes de polarización son mucho mayores que V_{io}.

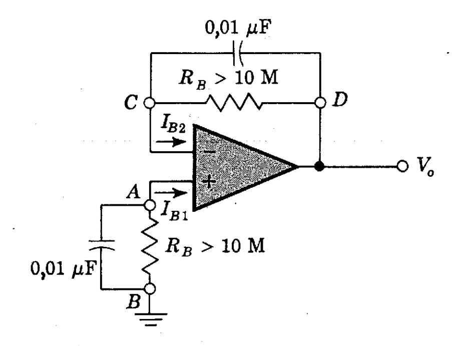


Fig. 15-17. Medición de la corriente de polarización

Si conectamos los terminales A y B, la salida medida será $V_o = I_{B2} R_B$; de forma parecida, la salida medirá $V_o = -I_{B1} R_B$ si conectamos los terminales C y D. Las resistencias elevadas R_B se desacoplan con condensadores de 0,01 μF para reducir el ruido a altas frecuencias. La corriente de polarización I_B se define en la sección 15-6 como la media de I_{B1} e I_{B2}, y la corriente offset de entrada I_{io} como la diferencia $I_{B1} - I_{B2}$ entre las corrientes individuales de base.

Relación de rechazo del modo común. La relación de rechazo del modo común ρ se define en la Ec. (15-11) como

$$\rho \equiv \left| \frac{A_d}{A_c} \right|$$

donde A_d es la ganancia de tensión diferencial, y A_c es la ganancia de tensión de modo común. Para el circuito de la Fig. 15-18, la señal en el punto A o B es esencialmente la señal de modo común V_c, siendo:

$$V_c = \frac{R'_1}{R_1 + R'_1} V_s = \frac{R'}{R + R'} V_s \approx V_s$$

suponiendo que $R'_1 > R_1$ y que $R' > R$. La caída de potencial en R será $V_i - V_s R_1/(R_1 + R'_1)$ y en R' será $V_o - V_i - V_s R'_1/(R_1 + R'_1)$. Igualando las corrientes en R y R' y suponiendo que $R = R_1$ y que $R' = R'_1$ obtendremos $V_i = [R/(R + R')]V_o$. A partir de la Ec. (15-9):

$$V_o = A_d V_i + A_c V_c = \frac{A_d R V_o}{R + R'} + \frac{A_c R' V_s}{R + R'}$$

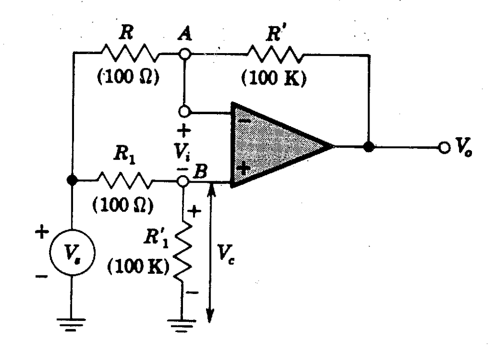


Fig. 15-18. Medición de la relación de rechazo del modo común. (La tensión offset está equilibrada con la red de Fig 15-14; R_2 está colocada entre la parte inferior de R'_1 y tierra.)

Si $A_d R/(R + R') \gg 1$, entonces $A_d R V_o + A_c R' V_s \approx 0$, y

$$\rho = \left| \frac{A_d}{A_c} \right| = \frac{R'}{R} \left| \frac{V_s}{V_o} \right| \qquad (15\text{-}34)$$

Obsérvese que para $A_d = 50.000$, $R' = 100\text{K}$, y $R = 100\Omega$, entonces $A_d R/(R + R') = 50$ lo cual satisface la inecuación supuesta anteriormente. Vemos que A_c es una función no lineal de V_c. Por esta razón, es importante hacer la medición anterior a la tensión común de desviación nominal.

Relación de variación.[9] El máximo ritmo de variación de la tensión de salida se define en la Sec. 15-6 como relación de variación. Esta relación dV_o/dt puede medirse empleando el circuito no inversor de la Fig. 15-4, con $R = \infty$ y $R' = 0$, lo que normalmente representa el peor de los casos. Si el amplificador tiene un solo terminal de entrada, entonces se emplea el circuito de la Fig. 15-2*a*, con $Z = R = 1$ K y $Z' = R' = 10$ K. La entrada V_s es una onda cuadrada de alta frecuencia, y se mide la pendiente con respecto al tiempo de la subida y de la bajada de la señal de salida. El menor de los valores obtenidos se toma normalmente como relación de variación del sistema.

15-9. RESPUESTA EN FRECUENCIA DE LOS AMPLIFICADORES OPERACIONALES

El amplificador operacional típico visto en la Sec. 15-5 está constituido por cuatro etapas, tal como indica la Fig. 15-11. Si suponemos que el amplificador está excitado por dos fuentes de señal iguales pero opuestas en fase, sólo hay presentes verdaderas diferencias de señal. Así, sólo necesitamos considerar la mitad de cada par diferencial para poder analizar la respuesta en frecuencia, respuesta que cabe obtenerla considerando dos etapas en cascada en emisor común, un seguidor de emisor y una etapa de salida. El método general para obtener la respuesta en alta frecuencia de una cadena de etapas interconectadas ha sido presentado en las secciones 12-10 y 12-11. La complejidad del cálculo es tan grande que resulta necesario un ordenador. La respuesta puede obtenerse también por mediciones de laboratorio.

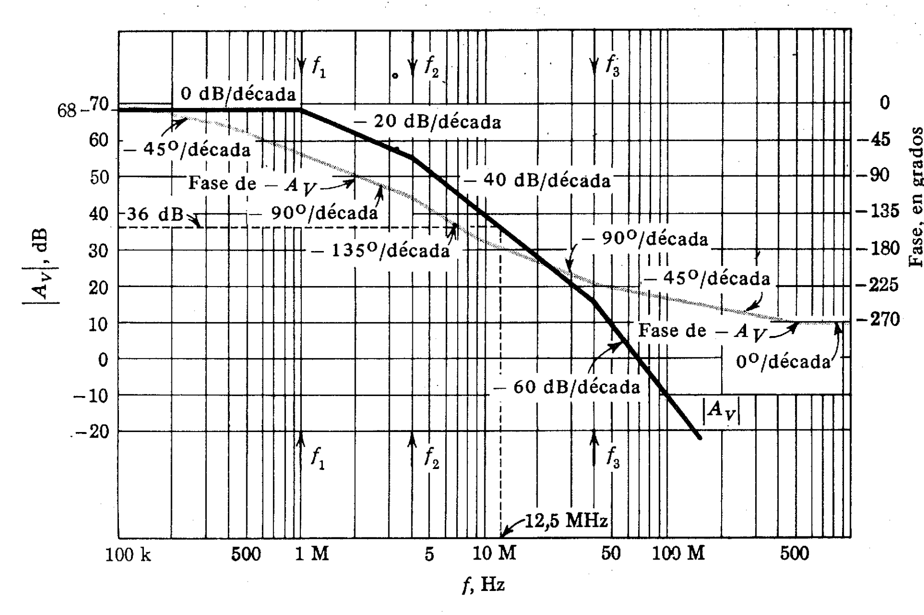


Fig. 15-19. Características de ganancia y de desviación de fase en cadena abierta del μA702A

La ganancia en cadena abierta del amplificador operacional tiene una función de transferencia de varios polos, con ceros de frecuencias mucho más elevadas que los polos. De forma experimental, los polos pueden hallarse a partir de la curva de respuesta de amplitud (magnitud de la ganancia en dB en función de log f). Las tangentes a las curvas están dibujadas en trazo continuo y sus pendientes son 0, – 20 dB por década, – 40 dB por década, . . ., tal como está indicado en las Figs. 12-4 y 12-6. Las frecuencias de los polos f_1, f_2, . . . se obtienen entonces de las frecuencias de los *codos* (el valor de f en el punto en que se cortan dos rectas adyacentes).

El constructor especifica normalmente los polos y los ceros de $A(jf)$ en los manuales comerciales de los amplificadores operacionales. En la Fig. 15-19 indicamos la respuesta de ganancia y de fase en cadena abierta de un amplificador operacional típico (μA702), empleando las curvas aproximadas de Bode. Vemos que la función de transferencia tiene tres polos, uno a 1 MHz, un segundo a 4 MHz, y un tercero a 40 MHz. Para el tipo MC1530, el fabricante da los tres primeros polos a 1,6 y 22 MHz.

Estabilidad de un amplificador operacional. Para el amplificador operacional inversor de la Fig. 15-2*a*, con $Z = R$, $Z' = R'$, y $R_i = \infty$, obtenemos de la Ec. (15-2)

$$A_{Vf} = \frac{V_o}{V_s} = \frac{R'}{R + R'} \frac{A_V}{1 - RA_V/(R + R')} \tag{15-35}$$

Esta ecuación también puede obtenerse empleando los conceptos de realimentación del Cap. 13, como vamos a demostrar.

La topología corresponde a una realimentación de tensión en paralelo, y obtenemos (Prob. 15-24) que

$$\beta = -\frac{1}{R'} \qquad R_M = \frac{A_V RR'}{R + R'} \qquad A_{Vf} = \frac{R_{Mf}}{R} \tag{15-36}$$

Empleando la fórmula de la realimentación [Ec. (13-4)]

$$R_{Mf} = \frac{R_M}{1 + \beta R_M}$$

y las ecuaciones (15-36), se obtiene la expresión de A_{Vf} de la Ec. (15-35).

La condición de oscilación será

$$\beta R_M = -\frac{RA_V}{R + R'} = 1 \,\underline{/180^\circ} \tag{15-37}$$

En forma parecida, para el amplificador no inversor de la Fig. 15-4, encontramos

$$A_{Vf} = \frac{V_o}{V_s} = \frac{-A_V}{1 - [R/(R + R')]A_V} \tag{15-38}$$

Vemos por la Ec. (15-38) que la Ec. (15-37) representa el criterio de estabilidad para ambos amplificadores operacionales, el inversor y el no inversor.

Es importante resaltar que, para la realimentación negativa, la ganancia A_V representa un número real negativo a baja frecuencia. Por lo tanto, observamos que si el producto $[R/(R + R')]\ |A_V|$ valiera la unidad cuando el desfase de $-A_V$ alcanzara los 180°, el amplificador oscilaría. Por la ganancia y el defase en cadena abierta del μA702A, indicado en la Fig. 15-19, encontramos que a la frecuencia f = 12,5 MHz, en la que el defase de $-A_V$ vale 180°, el valor de A_V es 36 dB. Por lo tanto, por la Ec. (15-37) tendremos

$$20 \log \frac{R}{R + R'} + 20 \log |A_V| = 20 \log 1 = 0 \tag{15-39}$$

$$20 \log \frac{R}{R + R'} = -36$$

$$\frac{R}{R + R'} = \frac{1}{63} \text{ y } \frac{R}{R'} = \frac{1}{62}$$

Para un margen de fase de 45° encontramos, a partir de la Fig. 15-19, 20 log $|A_V|$ = 50 dB, y de la ecuación (15-39) obtenemos 20 log $[R/(R + R')]$ = – 50 dB, o $R/R' \approx$ 1/316. Como la ganancia de tensión en cadena cerrada es aproximadamente $A_{Vf} \approx -R'/R$, vemos que la ganancia a baja frecuencia del amplificador inversor realimentado no puede ser menor que 316 para un margen de fase de por lo menos 45°.

15-10. COMPENSACION POR POLO DOMINANTE

En la sección precedente hemos observado que el amplificador operacional μA702A es inestable si se emplea suficiente realimentación para obtener una ganancia a baja frecuencia menor de 62 dB. Añadiendo polos y ceros a la respuesta en frecuencia de la ganancia del lazo, podremos compensar la desviación de fase introducida por β y/o A_V para asegurar la estabilidad, limitando cualquier pico de la respuesta en frecuencia en cadena cerrada, e incluso reducir cualquier sobrevalor o sobreoscilación si se aplica una onda cuadrada al amplificador operacional con cadena cerrada. La discusión mantenida en la Sec. 14-11 en cuanto a la compensación de un amplificador con realimentación, se puede aplicar igualmente a un amplificador operacional. Por lo tanto, podemos hacer que la ganancia A_V decrezca en función de la frecuencia intercalando un condensador único que facilite un camino a tierra para la señal. El condensador se elige de manera que cree un polo dominante en A_V bastante bajo en frecuencia, para que el valor de la ganancia del lazo sea menor que la unidad a una frecuencia en la que el amplificador introduzca un defase despreciable. Como el condensador agrega un defase menor de 90°, el circuito será estable. Uno de los puntos posibles para conectar el condensador de compensación es desde el terminal de salida 5 de la Fig. 15-11, a tierra. Con ello se suprimen las tensiones de ruido de banda ancha generadas internamente. El mejor lugar[6] para el condensador de compensación se halla entre los puntos 9 y 10, puesto que la relación de variación disminuye con el incremento de la capacidad. En las mismas condiciones de compensación, se requiere mayor capacidad en el punto 5 que entre los 9 y 10, debido a la menor resistencia vista desde el condensador.

La figura 15-20*a* muestra la ganancia de tensión A_V en cadena abierta en función de la frecuencia, para tres valores diferentes de la capacidad entre los puntos 9 y 10 para el amplificador operacional MC1530. La figura 15-20*b* muestra la disminución de la relación de variación al aumentar la capacidad, para el mismo amplificador. La figura 15-21*a* muestra la ganancia de tensión en cadena cerrada en función de la frecuencia, para A_{Vf} = 100, 10 y 1 en el caso de un amplificador conectado como indica la figura 15-21*b*. Es

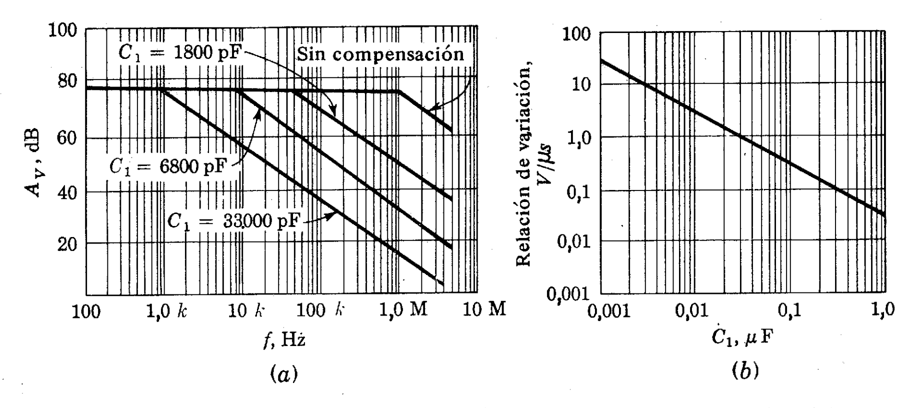
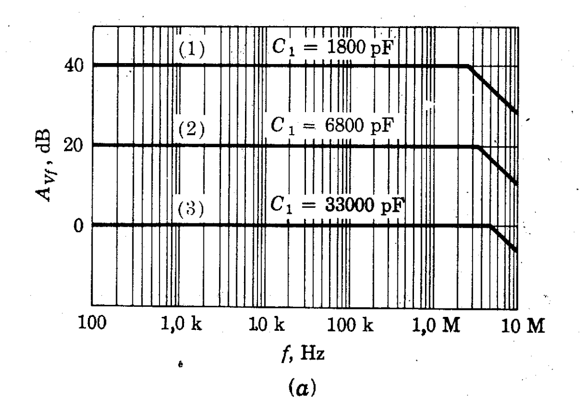


Fig. 15-20. (*a*) Ganancia de tensión A_V en cadena abierta del MC1530 en función de f para tres valores diferentes del condensador de compensación C_1. (*b*) Relación de variación en función de C_1. (Cortesía de Motorola, Inc.)



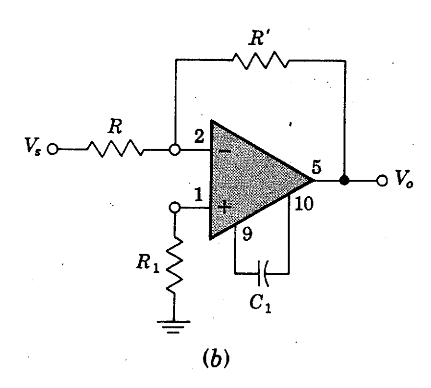


Fig. 15-21. (*a*) Ganancia de tensión en cadena cerrada A_{Vf} en función de f para tres valores diferentes del condensador de compensación. (*b*) Conexión del amplificador. Nota:

Curva	R	R'	R_1
1	1	100	1 K
2	10	100	10 K
3	10	10	5 K

(Cortesía de Motorola, Inc.)

evidente que el hecho de agregar un condensador modifica la ganancia en cadena abierta A_V que pasa a ser A'_V dada por la Ec. (14-52), en la que el polo dominante f_d se determina por

$$f_d = \frac{1}{2\pi R_i C_1} \tag{15-40}$$

y R_i es la resistencia vista desde los terminales de conexión del condensador. La frecuencia f_d se encuentra gráficamente haciendo pasar A'_V por 0 dB con una pendiente de

20 dB por década. Normalmente, f_d se selecciona para que A'_V pase por 0 dB en el primer polo f_1 de la A_V descompensada.

15-11. COMPENSACION POR POLO-CERO

La compensación por polo dominante mediante un solo condensador reduce drásticamente la anchura de banda, como hemos visto en la Fig. 15-20*a*. Evidentemente, este método sólo se emplea en amplificadores de baja frecuencia (audio). Se puede obtener una anchura de banda mejor introduciendo en la ganancia A'_V un polo y un cero, de tal manera que el cero corresponda exactamente al primer polo de A_V de modo que se anulen entre sí. Esta técnica ha sido comentada en la Sec. 14-13. Más adelante daremos tres ejemplos de anulación de polo-cero.

La figura 15-22 muestra una red RC conectada en el nudo Y del amplificador. Obsérvese que R_y es la resistencia vista desde la señal en el punto Y. La Ec. (14-55) da la ganancia de tensión A'_V modificada en cadena abierta, donde f_z y f_p se definen en la Ec. (14-54) con $R_2 = R_c$, $C = C_c$, y $R_1 = R_y$. En el diseño de esta red, f_z se selecciona igual al primer polo de A_V, y el polo $f_p < f_z$ se sitúa en la curva de Bode de modo que el margen de fase deseado se obtenga cuando la ganancia del lazo sea la unidad.

Modificación de la impedancia de entrada en cadena abierta. Se ha visto que la relación de variación del amplificador (o el tiempo relativo máximo de subida de la salida a altas frecuencias) aumenta si la red RC se conecta a un punto en el que la variación de la señal sea pequeña, y por lo tanto se requiere sólo una pequeña corriente para cargar el condensador de compensación. Puesto que los terminales de entrada de un amplificador operacional están virtualmente cortocircuitados, resulta ventajoso colocar la red de compensación R_cC_c entre los terminales 1 y 2 en vez de situarla, como en la figura 15-22, entre Y y tierra. Por lo tanto, la red se conecta en paralelo con la impedancia Z_i de entrada del amplificador operacional. Supongamos que $|Z_C| \ll |Z_i|$ siendo $Z_c = R_c + 1/j\omega C_c$. Entonces encontramos

$$A'_V(\omega) = A_V(\omega)\,\frac{1 + j\omega R_c C_c}{1 + j\omega C_c(R_c + R \| R' + R_1)} \qquad (15\text{-}41)$$

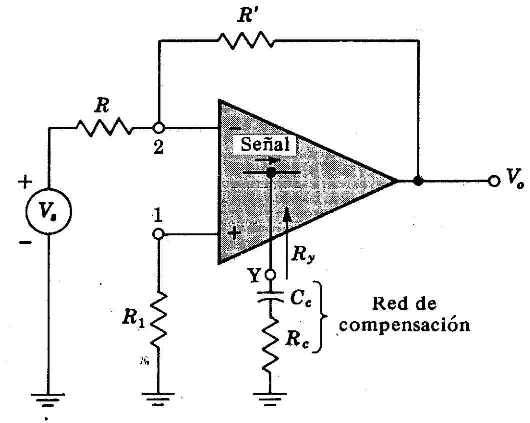
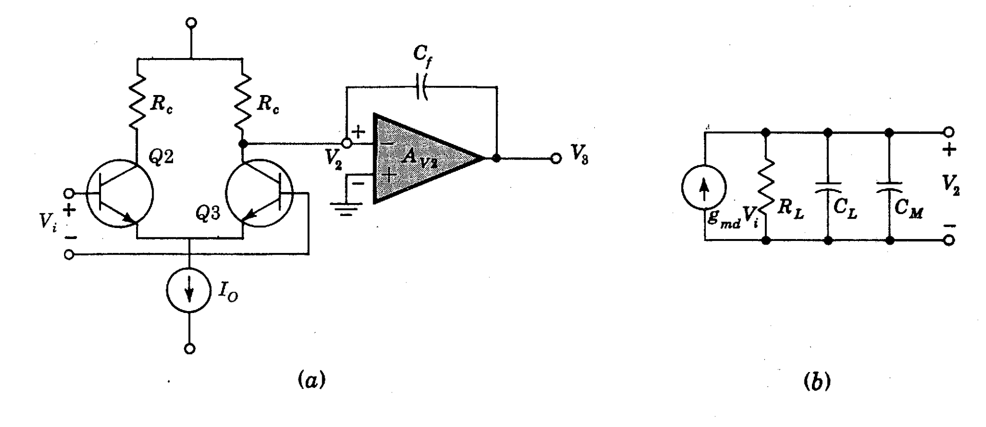


Fig. 15-22. Empleo de una red RC para la anulación polo-cero

Esta ecuación es de la misma forma que la Ec. (14-55), y por lo tanto este proceder permite la compensación mediante la anulación de polos-ceros.

Compensación por efecto Miller. Otro método para la compensación de fase mediante la anulación del polo-cero será agregar un condensador de realimentación en una etapa intermedia del amplificador operacional. Debido al efecto Miller (Sec. 11-8), se desarrolla una respuesta cero que coincide con el polo de esa etapa, tal como demostraremos seguidamente. Consideremos una etapa de entrada de un amplificador diferencial, seguida de una segunda etapa en la cual se coloca el condensador C_f para compensar, tal como está indicado en la Fig. 15-23*a*. *En ausencia de* C_f, supondremos que la etapa de entrada tiene un polo dominante f_1, y por tanto su ganancia de tensión es aproximadamente

$$A_{V1} = \frac{V_2}{V_i} = \frac{A_{Vo1}}{1 + j(f/f_1)} \qquad (15\text{-}42)$$



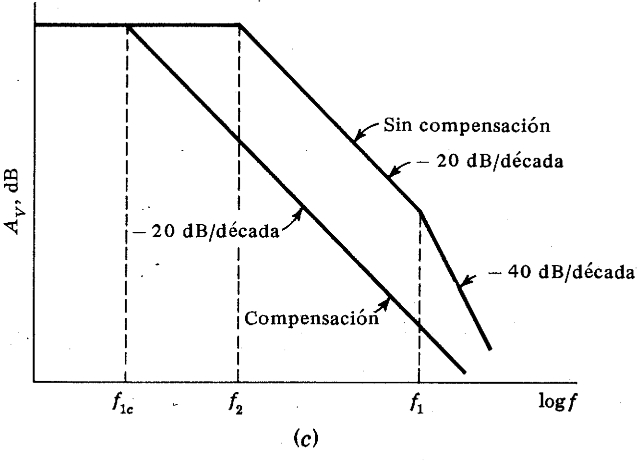


Fig. 15-23. (*a*) Etapa de entrada diferencial con compensación por efecto Miller. (*b*) Circuito equivalente para pequeña señal de la primera etapa. (*c*) Respuesta total de las dos etapas

En la Fig. 15-23*b* se indica el modelo para pequeña señal del amplificador diferencial de entrada que da la función de transferencia de la Ec. (15-42). En este circuito, R_L es la resistencia de carga efectiva y C_L el condensador de carga efectivo entre el colector y tierra de la etapa de entrada, g_{md} es la transconductancia diferencial, y C_M es la capacidad de Miller (que es nula para $C_f = 0$). Despejando V_2/V_i de este circuito, obtendremos (con $C_M = 0$) la Ec. (15-42), con

$$A_{Vo1} = g_{md}R_L \qquad f_1 = \frac{1}{2\pi R_L C_L} \tag{15-43}$$

Supongamos que la segunda etapa tiene también un polo dominante f_2 (con C_f colocado), y por tanto la ganancia de tensión es aproximadamente:

$$A_{V2} = \frac{V_3}{V_2} = \frac{A_{Vo2}}{1 + j(f/f_2)} \tag{15-44}$$

Para una realimentación negativa, suponemos $A_{Vo2} < 0$. El efecto Miller indica que $C_M = (1 - A_{V2})C_f$, y empleando la Ec. (15-44), encontramos que

$$C_L + C_M = \frac{C_o\left(1 + \frac{jf}{f_2}\,\frac{C_L + C_f}{C_o}\right)}{1 + jf/f_2} \approx \frac{-A_{vo2}C_f}{1 + jf/f_2} \tag{15-45}$$

donde $C_o \equiv C_L + (1 - A_{Vo2})C_f \approx - A_{Vo2}C_f$ ya que $|A_{Vo2}C_f| \gg C_L + C_f$.

De la Fig. 12-23*b*, con $C_M \neq 0$, obtenemos la ganancia de tensión A'_{V1} de la primera etapa después de añadir el condensador de compensación C_f.

$$A'_{V1} = \frac{g_{md}R_L}{1 + j2\pi fR_L(C_L + C_M)} \tag{15-46}$$

De las ecuaciones (15-45) y (15-46) obtenemos:

$$A'_{V1} = \frac{g_{md}R_L[1 + j(f/f_2)]}{1 + j(f/f_2) + j(f/f_{1C})} \approx \frac{g_{md}R_L[1 + j(f/f_2)]}{1 + j(f/f_{1C})} \tag{15-47}$$

donde el polo de compensación de la primera etapa f_{1C} viene dado por

$$f_{1C} \equiv \frac{-1}{2\pi R_L A_{Vo2} C_f}$$

y C_f se escoge tal que $f_{1C} \ll f_2$. Obsérvese que el efecto del condensador C_f de compensación consiste en cambiar el polo de la primera etapa desde f_1 a un valor mucho menor f_{1C} y *agregar a la función de la ganancia de la primera etapa un cero exactamente igual al polo de la segunda etapa.* Por lo tanto, hay una anulación polo-cero, y la ganancia total A_V de las dos etapas será:

$$A_V = A'_{V1}A_{V2} = \frac{g_{md}R_L A_{vo2}}{1 + j(f/f_{1C})} \tag{15-48}$$

Las posiciones relativas de f_{1C}, f_1 y f_2 se indican en la Fig. 15-23*c*, en la que están dibujadas las curvas de Bode A_V de ambas etapas, compensadas y no compensadas. Como la respuesta compensada tiene una pendiente de -20 dB por década cuando atraviesa la línea de 0 dB, el amplificador es estable incondicionalmente.

15-12. COMPENSACION POR AVANCE

La compensación por avance suele preverse modificando la red β, de forma específica, colocando en paralelo con la resistencia R' un condensador C', tal como indica la Fig. 15-24, de modo que la nueva ganancia del lazo tenga un defase positivo añadido en el margen de frecuencias cercano al punto de ganancia unidad del lazo. La ecuación (15-37) da la ganancia del lazo de un amplificador descompensado. Si sustituimos R' por una impedancia Z', resultante de la combinación en paralelo de R' y C', la Ec. (15-37) se convierte en:

$$1\,\underline{/180^\circ} = -\frac{RA_V}{R + Z'} = \frac{-RAA_V}{R + R'} \tag{15-49}$$

donde encontramos que A viene dado por

$$A \equiv \frac{1 + j(f/f_z)}{1 + j(f/f_P)} \tag{15-50}$$

$$f_z \equiv \frac{1}{2\pi C'R'} \qquad \text{y} \qquad f_p \equiv \frac{R + R'}{R} f_z \tag{15-51}$$

Obsérvese que la frecuencia del polo es siempre mayor que la frecuencia del cero.

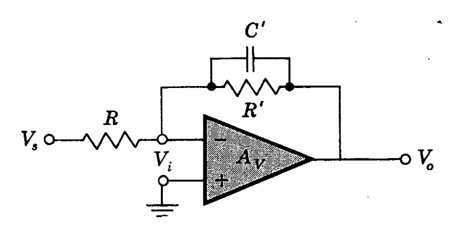


Fig. 15-24. Amplificador operacional compensado por avance

Ejemplo. Diseñar el amplificador de la Fig. 15-24 con el μA702A, empleando una realimentación de 32 dB a bajas frecuencias. Hallar C' para un margen de fase de 45°.

SOLUCION. La figura 15-19 muestra la ganancia A_V del μA702A, en cadena abierta en la que vemos que, con una realimentación de 32 dB, el margen de fase es cero y el circuito oscilará. Añadiendo C', introduciremos un avance de fase debido al cero de compensación, y por lo tanto podremos conformar la curva de defase hasta obtener un margen de

fase de 45°. Los valores óptimos de f_z y f_p podemos encontrarlos gráficamente a partir de las curvas de Bode. Naturalmente, f_p no puede situarse independientemente de f_z, ya que ambos están relacionados por la Ec. (15-51).

Para hallar la relación f_p/f_z, deberemos calcular $(R + R')/R$. Ya que se desea una desensibilidad de 32 dB a bajas frecuencias, entonces:

$$20 \log D = 20 \log |1 + \beta R_{Mo}| \approx 20 \log |\beta R_{Mo}| = 32 \qquad (15\text{-}52)$$

o bien, empleando los valores de β y R_{Mo} de la Ec.(15-36) y observando que 20 log $|A_{Vo}|$ = 68 dB, de la Fig. 15-19, tendremos

$$20 \log \frac{R}{R + R'} + 20 \log |A_{Vo}| = 20 \log \frac{R}{R + R'} + 68 = 32 \qquad (15\text{-}53)$$

con lo cual encontramos

$$\frac{R + R'}{R} = 63 \quad \text{y} \quad f_p = 63 f_z \qquad (15\text{-}54)$$

Obsérvese que el polo está localizado a una frecuencia mucho mayor que el cero.

En la Fig. 15-25 están indicadas las curvas de Bode ideales para la ganancia en cadena abierta A_V del μA702A, la función de transferencia A de la red de compensación y el producto de las dos, $A'_V \equiv AA_V$. El valor de A_V está indicado en línea continua gruesa, el de A por una línea continua fina, y el de A'_V por una línea de trazos gruesa. Las líneas de fase están dibujadas de idéntica manera, pero matizadas. La magnitud y fase de A_V son idénticas a las correspondientes curvas de Bode de la Fig. 15-19.

Puesto que $f_p \gg f_z$, el polo no tiene prácticamente ninguna influencia en la ganancia A'_V en las proximidades de la fase de − 180°. De ahí que podamos localizar f_z por tanteo de modo que la respuesta total A'_V satisfaga las necesidades del diseño de 45° de margen de fase para una realimentación de baja frecuencia de 32 dB. Colocar f_z en 10,0 MHz

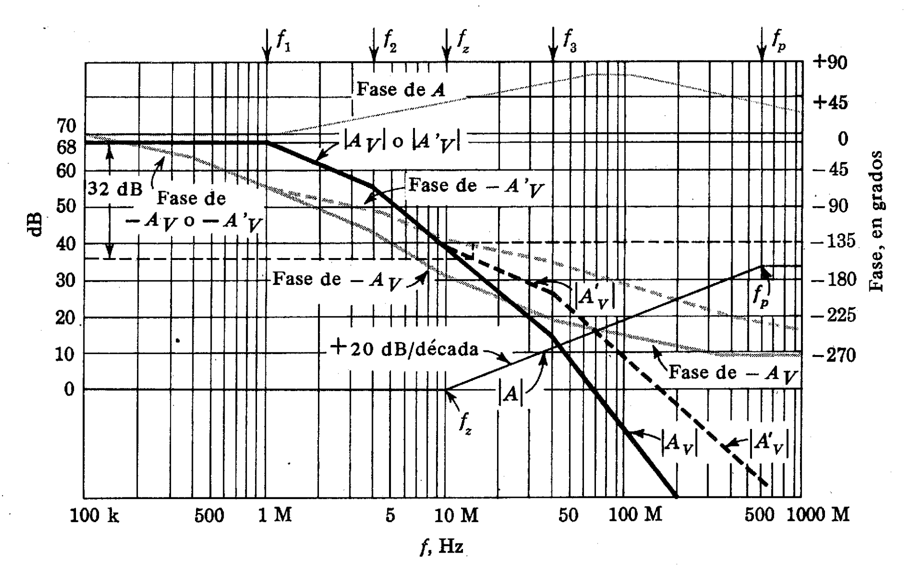


Fig. 15-25. Respuesta en magnitud y fase del amplificador operacional compensado por avance ($A'_V = AA_V$)

requiere solamente unos pocos ensayos. Las curvas de la Fig. 15-25 corresponden a este valor del cero (y para $f_p = 63 f_z = 63$ MHz), y podemos ver que se cumplen las especificaciones indicadas.

Para determinar el valor de C', podemos elegir R arbitrariamente y de la Ec. (15-54) $R' = 62R$; entonces C' viene dado por la Ec. (15-51). Por ejemplo, para $R = 1$ K, $R' = 62$ K, y hallamos

$$C' = \frac{1}{2\pi f_z R'} = \frac{1}{6{,}28 \times 10^7 \times 62 \times 10^3} \text{ F} = 0{,}25 \text{ pF}$$

Como este valor de C' es demasiado pequeño en la práctica, elegimos $R = 100\ \Omega$, $R' = 6{,}2$ K, y entonces $C' = 2{,}5$ pF.

Nótese que, como la entrada a los terminales del amplificador operacional es virtualmente tierra, la impedancia vista desde la fuente de señal V_s de la Fig. 15-24 es de sólo 100 Ω.

La compensación por avance puede hacerse también modificando la ganancia de tensión en cadena abierta del amplificador básico, supuesto que las conexiones apropiadas sean alcanzables con el chip integrado. Por ejemplo, se puede conectar un condensador C' entre los terminales 7 y 8 del amplificador operacional integrado de la Fig. 15-11. Si la resistencia R_9 tiene en paralelo un condensador C', entonces la combinación en paralelo $R_9 C'$ tiene una impedancia $Z_9 = R_9/(1 + sC'R_9)$. La ganancia de tensión del excitador de salida será $V_o/V_4 = -R_{10}/Z_9 = -R_{10}(1 + sC'R_9)/R_9$ y, por lo tanto, se introduce un cero en la función de transferencia de la ganancia de tensión en cadena abierta del amplificador básico.

15-13. RESPUESTA DE LOS AMPLIFICADORES OPERACIONALES A UN ESCALON

En el capítulo 14 se ha demostrado que muchos amplificadores realimentados sólo tienen uno o dos polos dominantes, con todos los demás polos alejados por lo menos dos octavas. Si se representa un amplificador operacional por una función de transferencia de dos polos, la respuesta a pequeña señal será la discutida en la Sec. 14-2 y representada en la Fig. 14-7.

Respuesta a una gran señal escalón. Si la tensión de salida supera 1 V, la respuesta transitoria está alterada por el funcionamiento no lineal debido a disturbios en la polarización y al límite de la relación de variación determinada por los condensadores del circuito. Si conectamos, por ejemplo, un condensador de compensación C_1 entre colector y colector de la primera etapa diferencial, este condensador deberá cargarse durante la respuesta transitoria a una gran señal, y la máxima corriente disponible será $2I_C$, siendo I_C la corriente continua de cada transistor. De ahí que

$$\frac{dV_{C1}}{dt} = \frac{2I_C}{C_1} \qquad (15\text{-}55)$$

y este límite distorsiona la gran señal de salida. En general, el funcionamiento no lineal y el límite de la relación de variación aumentan el tiempo de estabilización (Fig. 14-6).

En la práctica, para la selección del condensador de compensación sirve de gran ayuda observar la respuesta del amplificador a la función escalón introduciendo una onda cuadrada a la entrada y variando el condensador a varios niveles de señal hasta obtener una compensación satisfactoria.

REFERENCIAS

1. Wildar, R. J.: "Design Techniques for Monolithic Operational Amplifiers", *IEEE J. Solid-state Circuits,* vol. SC-4. pp. 184-191, agosto de 1969.
2. Eimbinder, J.: "Designing with Linear Integred Circuits" pp. 13-31, Jonh Wiley & Sons, Inc., Nueva York, 1969.
3. Tobey, M., Burr-Brown Research Corp.: "Operational Amplifiers: Design and Applications", McGraw-Hill Book Company, Nueva York, 1971.
4. Giacoletto, L. J.: "Differential Amplifiers", Wiley-Interscience, a Division of John Wiley & Sons, Inc., Nueva York, 1970.
5. "RCA Linear Integrated Circuits", pp. 28-43, Radio Corporation of America, Harrison, N. J., 1967.
6. Wisseman, L., y J. J. Robertson: "High Performance Integred Operational", Motorola Semiconductor Products, Inc., *Application Note* AN-204.
7. Wilson, G. R.: "A Monolithic Junction FET $-n$ *p-n* Operational Amplifier", *IEEE J. Solid-state Circuits,* vol. SC-3, pp. 341-348, diciembre de 1968.
8. Searle, C. L., A. R. Boothroyd, E. J. Angelo, Jr., P. E. Gray y D. O. Pederson "Elementary Circuit Properties of Transistors", pp. 142-143, John Wiley & Sons, Inc., Nueva York, 1964.
9. Hearn, W.,E.: "Fast Slewing Monolithic Operational Amplifier", *IEEE J. Solid-state Circuits,* vol. SC-6, pp. 20-24, febrero de 1971.

TEMAS DE REPASO

15-1 (*a*) Dibujar el diagrama esquemático en bloques de un amplificador operacional básico con entradas inversoras y no inversoras. (*b*) Indicar el circuito equivalente

15-2 Cítense seis características del amplificador operacional ideal.

15-3 (*a*) Dibujar un diagrama esquemático de un amplificador operacional inversor ideal con impedancias de realimentación de tensión en paralelo Z y Z'. (*b*) Indicar el modelo con tierra virtual para calcular la ganancia.

15-4 Para el amplificador operacional del tema 15-3, suponer A_v y R_i finitas y R_o no nula. Dibujar el circuito equivalente empleando el teorema de Miller.

15-5 (*a*) Dibujar el diagrama esquemático de un amplificador operacional ideal no inversor con realimentación de tensión en paralelo. (*b*) Hallar la expresión de ganancia de tensión.

15-6 (*a*) Definir un amplificador diferencial ideal. (*b*) Definir la señal diferenciada v_d y la señal de modo común v_c.

15-7 (*a*) Dibujar el circuito de un amplificador diferencial acoplado en emisor. (*b*) Explicar por qué la relación de rechazo del modo común tiende a infinito en un circuito simétrico cuando $R_c \to \infty$.

15-8 (*a*) Dibujar el circuito equivalente para calcular A_c de un amplificador diferencial acoplado en emisor. (*b*) Repetirlo para A_d.

15-9 (*a*) ¿Por qué se sustituye R_e por una fuente de corriente constante en un amplificador diferencial acoplado en emisor? (*b*) Dibujar el circuito. (*c*) Explicar por qué la red que reemplaza R_e actúa como una corriente aproximadamente constante I_o. (*d*) Explicar cómo se hace I_o independiente de la temperatura.

15-10 Explicar por qué la relación de rechazo del modo común es infinita si se emplea una verdadera fuente de corriente constante en un amplificador diferencial simétrico acoplado en emisor.

15-11 (*a*) Trazar las características de transferencia de un amplificador diferencial. (*b*) ¿Sobre qué tensión diferencial es el amplificador diferencial un buen limitador? (*c*) ¿A qué tensión diferencial la característica de transferencia es lineal? (*d*) ¿Cómo varía la transconductancia (cualitativamente) con la tensión diferencial? (*e*) Explicar por qué se puede aplicar el control automático de ganancia a un amplificador diferencial.

15-12 (*a*) Dibujar un amplificador operacional integrado en forma de diagrama de bloques. (*b*) Identificar cada etapa por su función.

15-13 Definir (*a*) *corriente de entrada de polarización,* (*b*) *corriente offset de entrada,* (*c*) *tensión offset de entrada,* (*d*) *tensión offset de salida,* (*e*) *relación de rechazo de la alimentación,* y (*f*) *relación de variación para un amplificador operacional.*

15-14 Indicar un dispositivo para equilibrar un amplificador operacional: (*a*) inversor y (*b*) no inversor.

15-15 Indicar el circuito y explicar cómo se mide (*a*) A_V, (*b*) R_o, y (*c*) R_i de un amplificador operacional.

15-16 Repetir el ejercicio 15-15 para V_{io}.

15-17 Repetir el ejercicio 15-15 para I_{io}.

15-18 Repetir el ejercicio 15-15 para la relación de rechazo del modo común = ρ.

15-19 Repetir el ejercicio 15-15 para la relación de variación.

15-20 Explicar cómo se pueden determinar experimentalmente los polos de un amplificador operacional.

15-21 Discutir la compensación mediante un polo dominante de un amplificador operacional.

15-22 Indicar tres métodos de disponer la compensación polo-cero de un amplificador operacional.

15-23 (*a*) Dibujar un circuito para la compensación por adelanto de un amplificador operacional inversor. (*b*) Comprobar que se introduce un avance de fase por el elemento agregado al circuito.

16

Los circuitos integrados como bloques de construcción de sistemas analógicos

Muchos sistemas analógicos (tanto lineales como no lineales) se construyen a base de amplificadores operacionales o diferenciales como bloques de construcción básicos. A estos elementos integrados se les agregan unos pocos componentes discretos exteriores, ya sea solos o combinados, y se les emplea en los siguientes sistemas *lineales*: calculadoras analógicas, convertidores de tensión a corriente y de corriente a tensión, amplificadores de varios tipos (por ejemplo, instrumentación de corriente continua, sintonizadores y amplificadores de video), seguidores de tensión, filtros activos y compensadores de retardo.

En cuanto a las configuraciones de sistemas analógicos *no lineales* comentados en este capítulo son los siguientes: moduladores de amplitud, amplificadores logarítmicos, multiplicadores analógicos, circuitos muestreadores, comparadores, y generadores de onda cuadrada y triangular.

I. SISTEMAS ANALOGICOS LINEALES

16-1. APLICACIONES DEL AMPLIFICADOR OPERACIONAL BASICO[1]

Un amplificador operacional puede ser empleado para realizar muchas operaciones matemáticas, lo que justifica su nombre de *amplificador operacional,* y algunas de sus aplicaciones básicas se citan en esta sección. Consideremos el amplificador operacional de la Fig. 15-2*a*, que se repite por conveniencia en la Fig. 16-1*a*. Recordando (Sec. 15-1) que el circuito equivalente de la Fig. 16-1*b* tiene una tierra virtual (que no absorbe corriente), de ello se sigue que la ganancia de tensión viene dada por

$$A_{Vf} = \frac{V_o}{V_s} = -\frac{Z'}{Z} \qquad (16\text{-}1)$$

Basándonos en esta ecuación, podremos obtener un *inversor analógico,* un *cambiador de escala,* un *defasador* y un *sumador.*

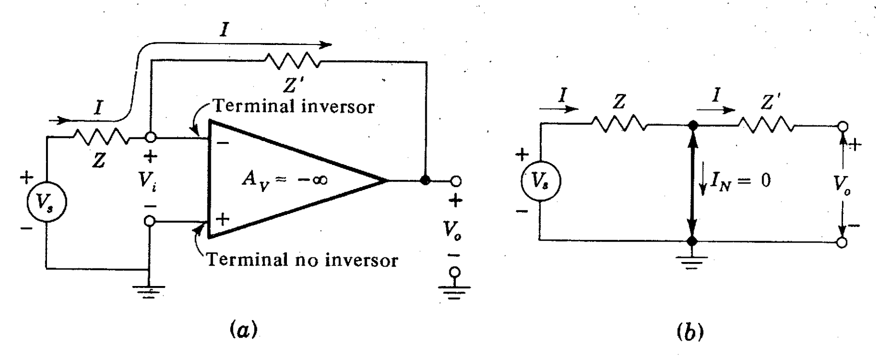


Fig. 16-1. (*a*) Amplificador operacional inversor, con realimentación de tensión en paralelo. (*b*) Tierra virtual en el amplificador operacional

Cambiador de signo o inversor. Si, en la Fig. 16-1, $Z = Z'$, entonces $A_{Vf} = -1$, y el signo de la señal de entrada ha cambiado. Por lo tanto, este circuito actúa como un inversor de fase. Si se conectan dos de tales amplificadores en cascada, la salida de la segunda etapa es igual a la señal de entrada sin cambio de signo. Por lo tanto, las salidas de las dos etapas son iguales en magnitud pero opuestas en fase, y el sistema es un *amplificador inversor de fase* excelente.

Cambiador de escala. Si la relación $Z'/Z = k$ es una constante real, entonces $A_{Vf} = -k$, y la escala se ha multiplicado por un factor $-k$. Normalmente, en los casos de multiplicación por una constante, -1 ó $-k$, Z y Z' son resistencias de precisión.

Cambiador de fase. Supongamos que Z y Z' son iguales en magnitud pero difieren en el ángulo. Entonces el amplificador operacional cambia la fase de una tensión de entrada senoidal, conservando su amplitud. Se puede obtener cualquier cambio de fase entre 0° y 360° (o ± 180°).

Sumador. El dispositivo de la Fig. 16-2 puede ser empleado para obtener una salida que sea combinación lineal de un cierto número de señales de entrada. Como existe una tierra virtual en la entrada del amplificador operacional, tendremos:

$$i = \frac{v_1}{R_1} + \frac{v_2}{R_2} + \ldots + \frac{v_n}{R_n}$$

y

$$v_o = -R'i = -\left(\frac{R'}{R_1} v_1 + \frac{R'}{R_2} v_2 + \ldots + \frac{R'}{R_n} v_n\right) \tag{16-2a}$$

Si $R_1 = R_2 = \ldots = R_n$, entonces:

$$v_o = -\frac{R'}{R_1}(v_1 + v_2 + \ldots + v_n) \tag{16-2b}$$

y la salida es proporcional a la suma de las entradas.

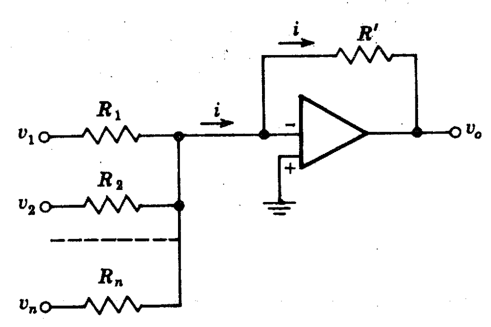


Fig. 16-2. Sumador operacional, o amplificador sumador

Cabe emplear otros muchos métodos para combinar señales. El método citado tiene la ventaja de que puede extenderse a un gran número de entradas y se requiere solamente una resistencia adicional por cada nueva entrada. El resultado depende, en el caso límite de un amplificador de gran ganancia, tan sólo de las resistencias colocadas y, debido a la tierra virtual, hay una interacción mínima entre las fuentes de entrada.

Convertidor de tensión a corriente. A veces se desea convertir una señal de tensión en una corriente proporcional en la salida. Esto se requiere, por ejemplo, cuando excitamos una bobina de deflexión en un tubo de televisión. Si la impedancia de carga no tiene ningún lado a tierra (es decir, si es flotante), el circuito sencillo de la Fig. 16-2 (sustituyendo R' por una impedancia de carga Z_L) sería un excelente *convertidor de tensión en corriente.* Para una entrada única $v_1 = v_s(t)$, la corriente en Z_L será

$$i_L = \frac{v_s(t)}{R} \tag{16-3}$$

Obsérvese que i es independiente de la carga Z_L, debido a la tierra virtual de la entrada del amplificador operacional. Puesto que fluye la misma corriente a través de la fuente de señal y de la carga, es importante que la fuente de señal sea capaz de suministrar esta corriente de carga. Por otra parte, el amplificador de la Fig. 16-3*a* requiere una corriente muy pequeña de la fuente de señal a causa de la gran resistencia de entrada vista desde el terminal no inversor.

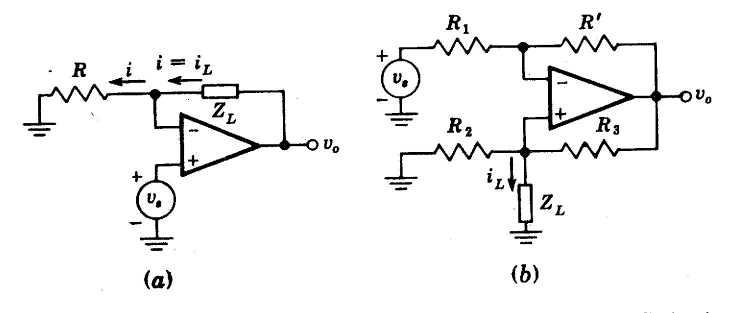


Fig. 16-3. Convertidor de tensión a corriente para (*a*) carga flotante y (*b*) carga Z_L a tierra

Si la carga Z_L está a tierra, cabe emplear el circuito de la Fig. 16-3*b*. En el problema 16-7 veremos que, si $R_3/R_2 = R'/R_1$, entonces:

$$i_L(t) = -\frac{v_s(t)}{R_2} \tag{16-4}$$

Convertidor de corriente a tensión. Las fotocélulas y los tubos fotomultiplicadores tienen una corriente de salida que es independiente de la carga. El circuito de la Fig. 16-4 indica un amplificador operacional empleado como convertidor de corriente a tensión. Debido a la tierra virtual de la entrada del amplificador, la corriente en R_s es cero e i_s atraviesa la resistencia de realimentación R'. Así, la tensión de salida v_o es $v_o = -i_s R'$. Hay que puntualizar que el límite inferior de la medida de corriente con este circuito está determinado por la corriente de polarización de la entrada inversora. Es normal poner en paralelo con R' un condensador C', para reducir el ruido a altas frecuencias.

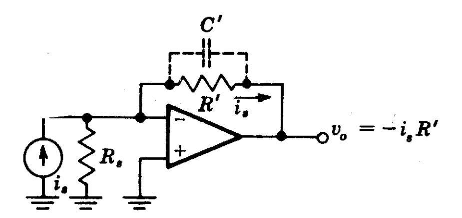


Fig. 16-4. Convertidor de corriente a tensión

Seguidor de tensión continua. La configuración simple de la Fig. 16-5 se aproxima a un *seguidor de tensión* ideal. Como sea que las dos entradas están siempre unidas (virtualmente), entonces $V_o = V_s$ y la *salida sigue a la entrada.* El LM 102 (National Semiconductor Corporation) está específicamente diseñado para emplearlo como seguidor de tensión y tiene una resistencia de entrada muy elevada (10.000 M), una corriente de entrada muy baja (~ 3 nA), y una resistencia de salida también muy baja (~0 Ω).

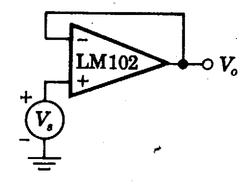


Fig. 16-5. Seguidor de tensión, $V_o = V_s$

16-2. AMPLIFICADOR DIFERENCIAL DE CORRIENTE CONTINUA[2]

A veces se emplean amplificadores de instrumentación con entrada diferencial y un solo terminal de salida para amplificar entradas procedentes de transductores que convierten un parámetro físico y sus variaciones en una señal eléctrica. Estos transductores

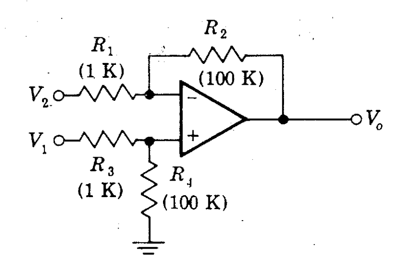


Fig. 16-6. Amplificador diferencial empleando un amplificador operacional. (El sistema de equilibrado de la tensión offset no está indicado.)

pueden ser medidores de deformaciones, termopares, etc. El circuito indicado en la Fig. 16-6 es muy sencillo y utiliza un solo amplificador operacional. En el Prob. 16-8 veremos que, si $R_2/R_1 = R_4/R_3$, entonces:

$$V_o = \frac{R_2}{R_1}(V_1 - V_2) \tag{16-5}$$

(en 16-8 cambia designación: 2 → 1 y 1 → 2)

Si las señales V_1 y V_2 tienen resistencias de fuente R_{s1} y R_{s2}, estas resistencias se suman a R_1 y R_3 respectivamente. Obsérvese que la fuente de señal V_2 ve una resistencia $R_3 + R_4 = 101$ K. Si $V_2 = 0$, la entrada inversora está a potencial de tierra, y por tanto V_1 está cargada solamente por una resistencia $R_1 = 1$ K. Si es demasiada carga para el transductor, puede emplearse un seguidor de tensión como adaptador. Si el circuito de la Fig. 16-5 precede a cada entrada de la Fig. 16-6, la configuración resultante de tres amplificadores operacionales integrados representa un sistema amplificador de corriente continua de alto rendimiento, bajo coste y alta resistencia de entrada.

Puente amplificador. A veces se emplea un amplificador diferencial para amplificar la salida de un puente transductor, tal como indica la Fig. 16-7. Nominalmente, los cuatro brazos de este puente tienen resistencias iguales, R. No obstante, una de las ramas tiene una resistencia que varía hasta $R + \Delta R$ con la temperatura o con cualquier otro parámetro físico. El objetivo de la medición es hallar el cambio relativo δ del valor de la resistencia del brazo activo, o sea, $\delta = \Delta R/R$.

En el Prob. 16-11 encontraremos que para el circuito de la Fig. 16-7, la salida V_o viene dada por:

$$V_o = -\frac{A_d V}{4}\,\frac{\delta}{1 + \delta/2} \tag{16-6}$$

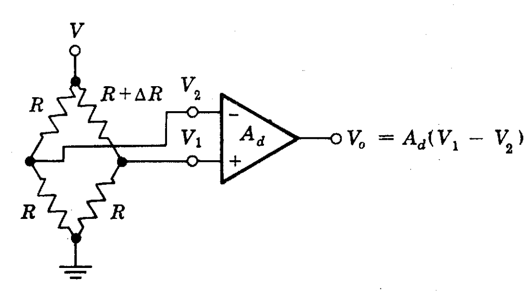


Fig. 16-7. Amplificador diferencial en puente

Para pequeños cambios de R ($\delta \ll 1$) la Ec. (16-6) se reduce a:

$$V_o = -\frac{A_d V}{4}\delta \tag{16-7}$$

16-3. AMPLIFICADOR ESTABLE ACOPLADO EN ALTERNA

En algunas aplicaciones se necesita amplificar una señal de alterna bloqueando cualquier señal presente de continua. La Fig. 16-8*a* muestra un amplificador sencillo y estable de alterna, en que el condensador C bloquea la componente continua de la señal de entrada y, junto con la resistencia R, fija la respuesta de 3 dB a baja frecuencia para el amplificador total.

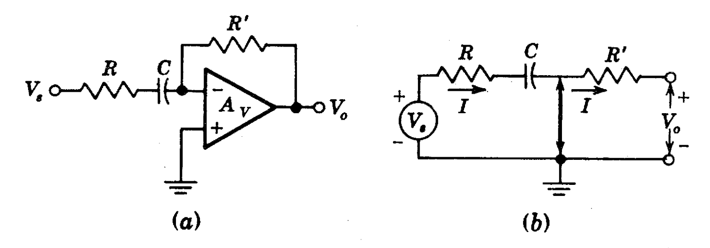


Fig. 16-8. (*a*) Amplificador estable de alterna con realimentación. (*b*) Circuito equivalente cuando $|A_V| = \infty$

Del circuito equivalente de la Fig. 16-8*b* se deduce la tensión de salida V_o en función de la variable compleja s (la doble flecha gruesa representa la tierra virtual):

$$V_o = -IR' = -\frac{V_s}{R + 1/sC}R'$$

y

$$A_{Vf} = \frac{V_o}{V_s} = -\frac{R'}{R}\,\frac{s}{s + 1/RC} \tag{16-8}$$

De la Ec. (16-8) vemos que la frecuencia inferior de 3 dB es:

$$f_L = \frac{1}{2\pi RC} \tag{16-9}$$

La respuesta a alta frecuencia está determinada por la característica de frecuencia del amplificador operacional A_V y el valor de la realimentación de tensión en paralelo, determinado en la Sec. 14-5. La ganancia en frecuencia media es, a partir de la Ec. (16-1), $A_{Vf} = -R'/R$.

Seguidor de tensión alterna. El seguidor de tensión alterna se emplea como adaptador de impedancia, de tal manera que sirve para conectar una fuente de señal de alta resisten-

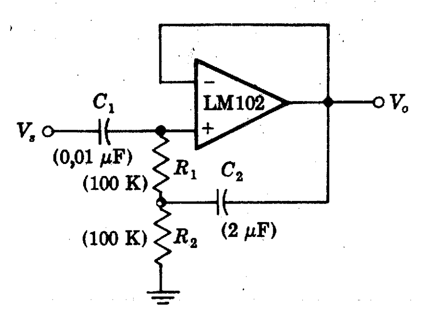


Fig. 16-9. Seguidor de tensión de alterna. (Cortesía de National Semiconductor Corporation.)

cia interna a una carga de baja impedancia, que puede ser capacitiva. La Fig. 16-9 muestra un seguidor de tensión alterna práctico con impedancia de entrada alta, en el que se emplea el amplificador operacional LM102. Supongamos que C_1 y C_2 representan cortocircuitos para todas las frecuencias de funcionamiento de este circuito. Las resistencias R_1 y R_2 se emplean para tener un acoplamiento RC y dar vía libre a la entrada de tensión continua en el terminal no inversor. En ausencia del condensador C_2, la fuente de señal alterna vería una resistencia de entrada de sólo $R_1 + R_2 = 200$ K. Puesto que el LM102 está conectado como seguidor de tensión, la ganancia de tensión A_V entre los terminales de salida y el terminal no inversor es muy cercana a la unidad. Por lo tanto, tal como hemos explicado en la Sec. 8-16, la resistencia de entrada que ve la fuente se convierte, aproximadamente, en $R_1/(1 - A_V)$, que vendrá a ser de unos 12 M a 100 Hz y aumentará a 100 M a 1 kHz.

16-4. DIFERENCIACION E INTEGRACION ANALOGICA[1]

El integrador analógico es muy útil en numerosas aplicaciones que requieren la generación o proceso de señales analógicas. Si en la Fig. 16-1, $Z = R$ y se emplea un condensador C en el lugar de Z' como en la Fig. 16-10, se puede demostrar que el circuito realiza la operación matemática de integración. La entrada no debe ser necesariamente senoidal, y por tanto se representará por un símbolo en minúscula $v = v(t)$. (Se omite el subíndice s, para simplificar.) En la Fig. 16-10*b*, la doble flecha gruesa representa una tierra virtual. De ahí que $i = v/R$, y

$$v_o = -\frac{1}{C}\int i\,dt = -\frac{1}{RC}\int v\,dt \tag{16-10}$$

Fig. 16-10. (*a*) Integrador operacional. (*b*) Circuito equivalente.

El amplificador, por tanto, suministra una tensión de salida proporcional a la integral de la tensión de entrada.

Si la tensión de entrada es constante, $v = V$, la salida será una rampa, $v_o = -Vt/RC$, con lo que el integrador hará las veces de un excelente circuito de barrido para el tubo de rayos catódicos de un osciloscopio, y será llamado *integrador de Miller* o *barrido Miller.*[3]

Corriente de polarización y offset en continua. La etapa de entrada del amplificador operacional de la Fig. 16-10 es generalmente un amplificador diferencial. La tensión offset de entrada en continua V_{io} aparece en la entrada del amplificador, y esta tensión se integrará y aparecerá en la salida como una tensión aumentando linealmente. Parte de la corriente de polarización de entrada atravesará también el condensador de realimentación, cargándolo y dando lugar a una tensión linealmente creciente adicional en la salida. Estas dos tensiones en rampa continúan creciendo hasta que el amplificador llega al punto de saturación. Vemos pues que el límite del tiempo posible de integración viene dado por los componentes de error anteriores. El efecto de la corriente de polarización puede minimizarse al aumentar el condensador de realimentación C, disminuyendo simultáneamente el valor de R para una constante de tiempo RC dada.

Ganancia finita y ancho de banda. El integrador da lugar a una tensión de salida proporcional a la integral de la tensión de entrada, supuesto que el amplificador operacional indicado en la Fig. 16-10*a* tiene una ganancia $|A_V| \to \infty$ y un ancho de banda infinita. La ganancia de tensión en función de la variable compleja s será, partiendo de la Ec. (16-1):

$$A_{Vf}(s) = \frac{V_o(s)}{V(s)} = -\frac{Z'}{Z} = -\frac{1}{RCs} \tag{16-11}$$

resultando evidente que el integrador ideal tiene un polo en el origen.

Supongamos que, en ausencia de C, el amplificador operacional tiene un polo dominante en f_1, o sea que $s_1 \equiv -2\pi f_1$. Por lo tanto, un valor aproximado de la ganancia de tensión A_V será:

$$A_v = \frac{A_{vo}}{1 + j(f/f_1)} = \frac{A_{vo}}{1 - s/s_1} \tag{16-12}$$

Si, por otra parte, suponemos que $R_o = 0$ en la Fig. 15-3, entonces $A_v = A_V$. Sustituyendo la Ec. (16-12) en la Ec. (15-2) con $R_i = \infty$, y empleando $|A_{Vo}| \gg 1$, $|A_{Vo}|RC \gg 1/|s_1|$, encontramos:

$$A_{Vf} = -\frac{s_1}{RC} A_{Vo} \frac{1}{(s + A_{Vo}s_1)(s - 1/RCA_{Vo})} \tag{16-13}$$

donde A_{Vo} es un número negativo y representa la ganancia de tensión a baja frecuencia del amplificador operacional.

La función de transferencia anterior tiene dos polos en el eje real negativo, en comparación con el único polo que poseía en el origen el integrador ideal. La Fig. 16-11 muestra las curvas de Bode de las ecuaciones (16-11) a (16-13). Obsérvese que la respuesta del

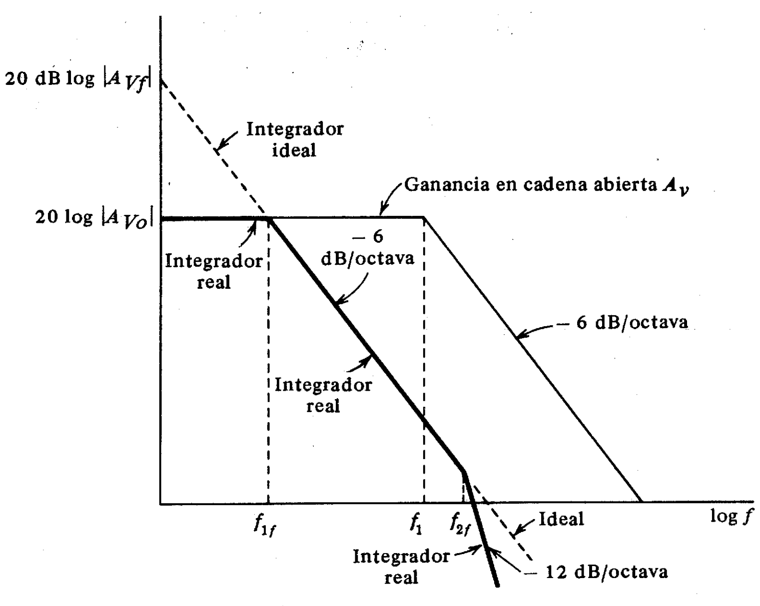


Fig. 16-11. Curvas de amplitud de Bode de la ganancia en cadena abierta de un amplificador operacional A_V; integrador ideal e integrador real. Obsérvese que $f_{1f} = 1/2\pi RC|A_{Vo}|$ y $f_{2f} = A_{Vo}s_1/2\pi$

integrador real se aparta del ideal, tanto en altas como en bajas frecuencias. Para altas frecuencias, el funcionamiento del integrador está afectado por el ancho de banda finito $(-s/2\pi)$ del amplificador operacional, y para bajas frecuencias está limitado por la ganancia finita del amplificador operacional.

Circuito práctico. Al integrador práctico se le debe añadir un circuito externo que introduzca las condiciones iniciales, tal como se indica en la Fig. 16-12. Cuando el conmutador S está en la posición 1, la entrada es cero y el condensador C se carga a la tensión V, fijando la condición inicial de $v_o = V$. Cuando el conmutador S está en la posición 2, el

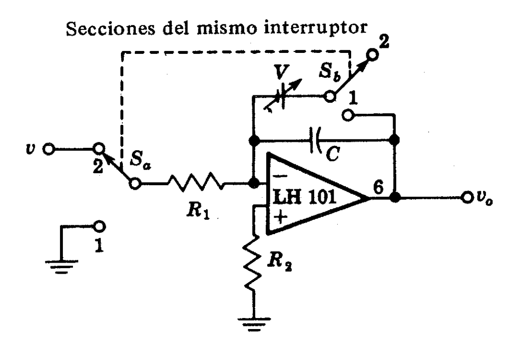


Fig. 16-12. Circuito integrador práctico. Para tener el mínimo error debido a la corriente de polarización de entrada, es preciso que $R_1 = R_2$. (Cortesía de National Semiconductor Corporation.)

amplificador está conectado como integrador, y su salida será V más la integral respecto al tiempo de la tensión de entrada v por un factor constante. Al emplear este circuito, hay que tener cuidado en estabilizar el amplificador, y se debe igualar R_2 a R_1 para minimizar el error causado por la corriente de polarización.

Diferenciador. Si Z es un condensador C y $Z' = R$, vemos en el circuito equivalente de la Fig. 16-13, que $i = C\,dv/dt$ y

$$v_o = -Ri = -RC\frac{dv}{dt} \tag{16-14}$$

Por lo tanto, la salida es proporcional a la derivada respecto al tiempo de la entrada. Si la señal de entrada es v = sen ωt, la salida será $v_o = -RC\omega$ cos ωt. Por consiguiente, el valor de la salida aumenta linealmente con la frecuencia, y el circuito diferenciador tiene gran ganancia a frecuencias elevadas. Esto da como resultado la amplificación de las componentes de alta frecuencia del ruido del amplificador, hasta el punto que en la salida puede llegar a oscurecer completamente la señal diferenciada.

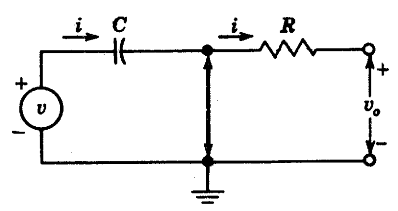


Fig. 16-13. Circuito equivalente del diferenciador operacional

Caso general. En los casos ciertamente importantes considerados, Z y Z' se han reducido a elementos simples, R o C. En general, pueden ser combinaciones en serie o en paralelo de R, L, o C. Empleando el método de análisis por transformadas de Laplace, Z y Z' pueden escribirse en su forma operacional $Z(s)$ y $Z'(s)$, en el que s es la variable frecuencia compleja. Según esta notación, la reactancia de una inductancia se escribe normalmente Ls y la de un condensador $1/sC$. La corriente $I(s)$ es entonces $V(s)/Z(s)$, y la salida será:

$$V_o(s) = -\frac{Z'(s)}{Z(s)}V(s) \tag{16-15}$$

Por lo tanto, el amplificador resuelve esta ecuación operacional.

16-5. CALCULO ANALOGICO ELECTRONICO[1]

El amplificador operacional es el bloque fundamental de un calculador analógico electrónico. A título de ejemplo, vamos a considerar la programación de la ecuación diferencial:

$$\frac{d^2v}{dt^2} + K_1\frac{dv}{dt} + K_2v - v_1 = 0 \tag{16-16}$$

siendo v_1 una función dada del tiempo, y K_1 y K_2 son constantes reales positivas.

Empecemos por suponer que tenemos d^2v/dt^2 en forma de una tensión. En tal caso, por medio de un integrador se obtiene una tensión proporcional a dv/dt, mientras un segundo integrador da una tensión proporcional a v. Entonces, con un sumador (y cambiador de escala) obtendremos: $-K_1(dv/dt) - K_2v + v_1$. Si observamos la ecuación diferencial (16-16), vemos que esto es igual a d^2v/dt^2 y, por lo tanto, se unirá la salida del sumador al terminal de entrada donde en principio habíamos supuesto que disponíamos de d^2v/dt^2.

El procedimiento explicado se representa en la Fig. 16-14. La tensión d^2v/dt^2 se supone disponible en el terminal de entrada. El integrador (1) tiene una constante de tiempo RC = 1 seg, y en consecuencia, la salida en el terminal 1 será $-dv/dt$. Esta tensión se aplica a un integrador similar (2), y la tensión en el terminal 2 es $+v$. La tensión del terminal 1 se aplica al inversor y cambiador de escala (3) y su salida en el terminal 3 es: $+K_1(dv/dt)$. Se emplea el mismo amplificador operacional (3) como sumador; de ahí que si la tensión dada $v_1(t)$ se aplica también a dicho amplificador tal como se indica, la señal del terminal de (3) contendrá asimismo el término $-v_1$, o sea que la salida completa será $+K_1(dv/dt) - v_1$. Los terminales 2 y 3 suministran señal al sumador cambiador de escala (4) y, por lo tanto, en el terminal 4 habrá una tensión resultante $-K_2v - K_1(dv/dt) + v_1$. Por la ecuación (16-16), esto debe ser igual a d^2v/dt^2, que es la tensión que hemos supuesto en el terminal de entrada. En consecuencia, el computador estará completo al conectar el terminal 4 al terminal de entrada. (Esta última premisa está omitida en la Fig. 16-14, en aras de una explicación más clara.)

Deben ser insertadas en el calculador las condiciones iniciales especificadas (los valores de dv/dt y de v para $t = 0$), con lo que observamos que las tensiones en los terminales 1 y 2 de la Fig. 16-14 son proporcionales a dv/dt y a v, respectivamente. Por lo tanto, las condiciones iniciales se obtendrán (como en la Fig. 16-12) aplicando las tensiones correctas V_1 y V_2 a los condensadores de los integradores 1 y 2 respectivamente.

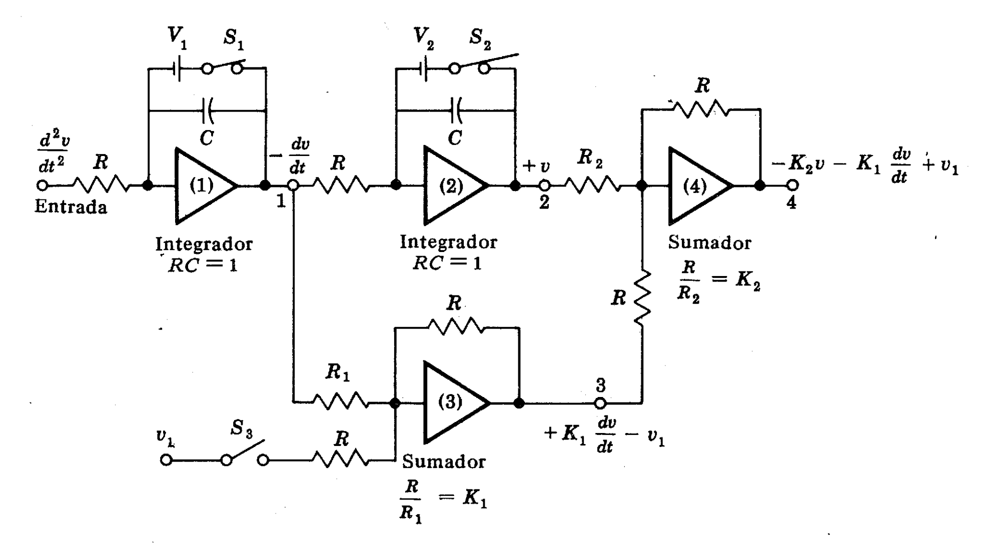


Fig. 16-14. Diagrama de bloques de un calculador analógico. A $t = 0$, S_1 y S_2 están abiertos, y S_3 cerrado. Cada entrada de amplificador operacional, es como en la Fig. 16-12

La solución se obtiene abriendo los interruptores S_1 y S_2 y cerrando simultáneamente el S_3 (mediante un relé) en el instante $t = 0$, y observando la forma de onda en el terminal 2. Si también se desea la derivada dv/dt, es posible hallar su forma de onda en el terminal 1. El indicador puede ser un tubo de rayos catódicos (con barrido por disparo), un registrador o, para análisis cualitativos de cantidades con variaciones muy lentas, un voltímetro de alta impedancia.

Puede también obtenerse la solución de la Ec. (16-16) con un calculador que tenga diferenciadores en lugar de integradores. No obstante, se prefieren invariablemente los integradores a los diferenciadores en todas las calculadoras analógicas, y ello porque, puesto que la ganancia de un integrador decrece con la frecuencia mientras que la de un diferenciador aumenta linealmente con ella, es más fácil estabilizar el primero que el segundo respecto a oscilaciones de orden superior. Como resultado de su ancho de banda limitado, un integrador es menos sensible a las tensiones de ruido que el diferenciador. Por otra parte, si la forma de onda de entrada cambia rápidamente, el amplificador de un diferenciador puede sobrecargarse. Finalmente, en la práctica, es muy conveniente introducir las condiciones iniciales en un integrador.

16-6. FILTROS ACTIVOS[4]

Consideremos la respuesta ideal de un filtro de paso bajo, tal como indica la Fig. 16-15*a*. En este caso, todas las señales comprendidas en la banda $0 \leqslant f \leqslant f_o$ se transmiten sin pérdida, mientras que frecuencias de entrada fuera de esta banda, $f > f_o$, dan salida nula. Pero, como sabemos[5], una característica como la ideal resulta totalmente irrealizable con elementos físicos, y por lo tanto cualquier circuito será necesariamente una

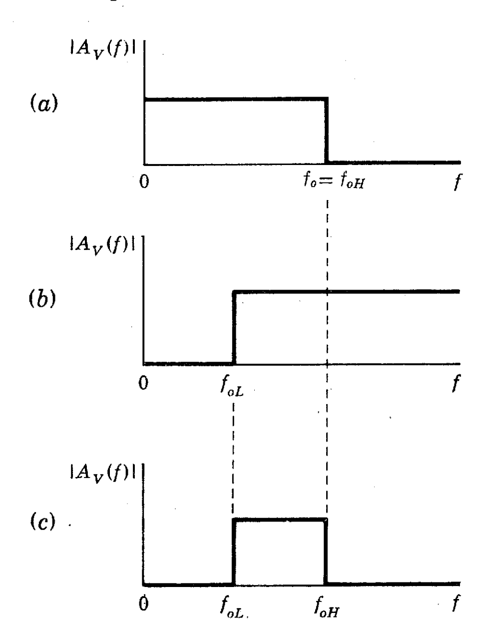


Fig. 16-15. Características del filtro ideal: (*a*) paso bajo, (*b*) paso alto, y (*c*) paso de banda

aproximación. Una de estas aproximaciones para un filtro de paso bajo ideal tendría la forma:

$$A_V(s) = \frac{1}{P_n(s)} \tag{16-17}$$

donde $P_n(s)$ es un polinomio de la variable s con ceros en la izquierda del plano. Los filtros activos permiten la realización de polos arbitrarios a la izquierda para $A_V(s)$, empleando un amplificador operacional como elemento activo, y sólo resistencias y condensadores como elementos pasivos.

Al ser comercialmente posible la obtención de amplificadores operacionales con productos de ganancia por ancho de banda del orden de 100 MHz, cabe diseñar filtros activos de frecuencias hasta varios megahertz. El factor que limita la respuesta a plena potencia a estas altas frecuencias es la relación de variación (Sec. 15-6) del amplificador operacional. (Se pueden adquirir comercialmente integrados con relación de variación de hasta 100 V/μ seg.)

Filtro Butterworth.[6] Una aproximación corriente de la Ec. (16-17) emplea los polinomios de Butterworth $B_n(s)$, donde:

$$A_V(s) = \frac{A_{Vo}}{B_n(s)} \tag{16-18}$$

y con $s = j\omega$,

$$|A_V(s)|^2 = |A_V(s)|\,|A_V(-s)| = \frac{{A_{Vo}}^2}{1 + (\omega/\omega_o)^{2n}} \tag{16-19}$$

En las ecuaciones (16-18) y (16-19) observamos que el valor de $B_n(\omega)$ viene dado por

$$|B_n(\omega)| = \sqrt{1 + \left(\frac{\omega}{\omega_o}\right)^{2n}} \tag{16-20}$$

La respuesta de Butterworth [Ec. (16-19)] para varios valores de n está dibujada en la Fig. 16-16. Obsérvese que la magnitud de A_V baja 3 dB cuando $\omega = \omega_o$, para todo valor de n. A mayor valor de n, la curva se aproxima más a la respuesta ideal del filtro de paso bajo de la Fig. 16-15*a*.

Si normalizamos la frecuencia suponiendo que $\omega_o = 1$ rad/seg, la tabla 16-1 da los polinomios de Butterworth para valores de n hasta 8. Véase que, para n par, los polinomios son productos de forma cuadrática, y para n impar, está presente un factor adicional $s + 1$. Los ceros de los polinomios normalizados de Butterworth son -1 o complejos conjugados, y pueden hallarse en el denominado *círculo de Butterworth* de radio unidad, dibujado en la Fig. 16-17. *El factor de amortiguamiento* k se define como la mitad del coeficiente de s en cada uno de los factores cuadráticos de la tabla 16-1. Por ejemplo, para $n = 4$, hay dos factores de amortiguamiento; o sea, 0,765/2 = 0,383 y 1,848/2 = 0,924. Se deduce del Prob. 16-20, que el factor k viene dado por:

$$k = \cos\theta \tag{16-21}$$

TABLA 16-1 Polinomios normalizados de Butterworth

n	*Factores del polinomio $B_n(s)$*
1	$(s+1)$
2	$(s^2+1{,}414s+1)$
3	$(s+1)(s^2+s+1)$
4	$(s^2+0{,}765s+1)(s^2+1{,}848s+1)$
5	$(s+1)(s^2+0{,}618s+1)(s^2+1{,}618s+1)$
6	$(s^2+0{,}518s+1)(s^2+1{,}414s+1)(s^2+1{,}932s+1)$
7	$(s+1)(s^2+0{,}445s+1)(s^2+1{,}247s+1)(s^2+1{,}802s+1)$
8	$(s^2+0{,}390s+1)(s^2+1{,}111s+1)(s^2+1{,}663s+1)(s^2+1{,}962s+1)$

en que θ se define como en la Fig. 16-17*a* para n par, y como en la Fig. 16-17*b* para n impar.

Por la tabla y la ecuación 16-18 vemos que la función de transferencia del filtro típico de Butterworth de segundo orden tiene la forma:

$$\frac{A_V(s)}{A_{Vo}} = \frac{1}{(s/\omega_o)^2 + 2k(s/\omega_o) + 1} \tag{16-22}$$

siendo $\omega_o = 2\pi f_o$ el punto de la frecuencia superior de 3 dB. De forma parecida, el filtro de primer orden es:

$$\frac{A_V(s)}{A_{Vo}} = \frac{1}{s/\omega_o + 1} \tag{16-23}$$

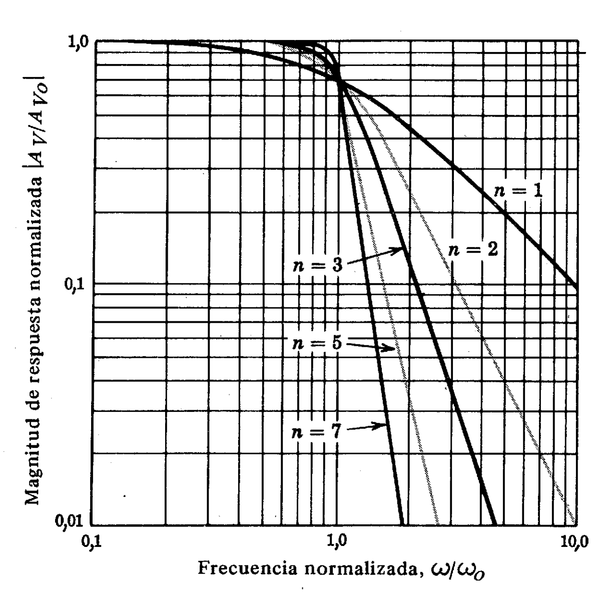


Fig. 16-16. Respuesta en frecuencia de un filtro Butterworth de paso bajo

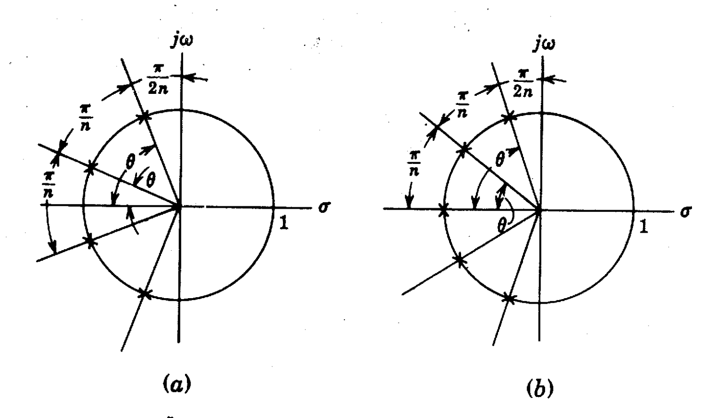


Fig. 16-17. Círculo de Butterworth: (*a*) n par y (*b*) n impar. Obsérvese que, para n impar, uno de los ceros está en $s = -1$

Realización práctica. Consideremos el circuito de la Fig. 16-18*a*, en el que el elemento activo es un amplificador operacional cuya ganancia estable en frecuencia media $V_o/V_i = A_{Vo} = (R_1 + R'_1)/R_1$ [Ec. (15-4)] debemos determinar. Supongamos que la corriente de

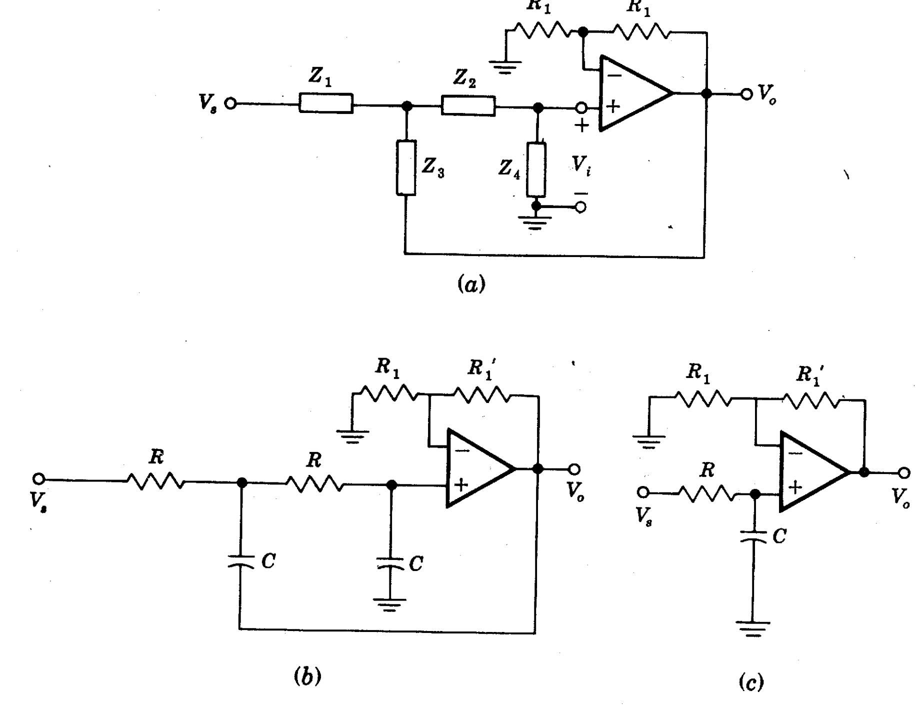


Fig. 16-18. (*a*) Prototipo generalizado de filtro activo. (*b*) Sección de paso bajo de segundo orden. (*c*) Sección de paso bajo de primer orden.

entrada al amplificador es cero, y como veremos en el Prob. 16-25:

$$A_V(s) = \frac{V_o}{V_s} = \frac{A_{Vo}Z_3Z_4}{Z_3(Z_1 + Z_2 + Z_4) + Z_1Z_2 + Z_1Z_4(1 - A_{Vo})} \qquad (16\text{-}24)$$

Si esta red ha de ser un filtro de paso bajo, Z_1 y Z_2 deben ser resistencias y Z_3 y Z_4 capacidades. Supongamos que $Z_1 = Z_2 = R$ y que $C_3 = C_4 = C$, como muestra la Fig. 16-18*b*. La función de transferencia de esta red toma la forma:

$$A_V(s) = A_{Vo} \frac{(1/RC)^2}{s^2 + \left(\frac{3 - A_{Vo}}{RC}\right) s + \left(\frac{1}{RC}\right)^2} \qquad (16\text{-}25)$$

Comparando la Ec. (16-25) con la Ec. (16-22), encontraremos que:

$$\omega_o = \frac{1}{RC} \qquad (16\text{-}26)$$

y

$$2k = 3 - A_{Vo} \quad \text{o} \quad A_{Vo} = 3 - 2k \qquad (16\text{-}27)$$

Estamos ahora preparados para formar filtros Butterworth de orden par, colocando en cascada prototipos como los de la Fig. 16-18*b*, empleando valores de R y de C idénticos, y seleccionando la ganancia A_{Vo} de cada amplificador operacional para satisfacer la Ec. (16-27) y los factores de amortiguación de la Tabla 16-1.

Para realizar filtros de orden impar se necesita el filtro de primer orden de la Ec. (16-23) en cascada, con secciones de segundo orden tal como indica la Fig. 16-18*b*. El prototipo de primer orden de la Fig. 16-18*c* tiene la función de transferencia de la Ec. (16-23), para cualquier valor de A_{Vo} supuesto que ω_o venga dado por la Ec. (16-26). Por ejemplo, un filtro activo de Butterworth de tercer orden consta del circuito de la Fig. 16-18*b* en cascada con el de la Fig. 16-18*c*, escogiendo R y C para que cumplan $RC = 1/\omega_o$, con A_{Vo} de la Fig. 16-18*b* seleccionado para tener $k = 0{,}5$ (Tabla 16-1, $n = 3$), y A_{Vo} de la Fig. 16-18*c* elegido arbitrariamente.

Ejemplo. Diseñar un filtro Butterworth de paso bajo de cuarto orden, con frecuencia de corte 1 kHZ.

SOLUCION. Pongamos en cascada dos prototipos de segundo orden como en la Fig. 16-19. Para $n = 4$ tenemos de la Tabla 16-1 y de la Ec. (16-27):

$$A_{V1} = 3 - 2k_1 = 3 - 0{,}765 = 2{,}235$$

y

$$A_{V2} = 3 - 2k_2 = 3 - 1{,}848 = 1{,}152$$

De la Ec. (15-4), $A_{V1} = (R_1 + R'_1)/R_1$. Si elegimos arbitrariamente $R_1 = 10$ K, entonces, con $A_{V1} = 2{,}235$, encontramos $R'_1 = 12{,}35$ K, y con $A_{V2} = 1{,}152$ encontramos $R'_2 = 1{,}520$ K y $R_2 = 10$ K. Para cumplir la condición de la frecuencia de corte, tenemos, de la Ec. (16-26), $f_o = 1/2\pi RC$. Si tomamos $R = 1$ K encontramos $C = 0{,}16\ \mu$F. En la Fig. 16-19, está representado un filtro Butterworth de paso bajo de cuarto orden.

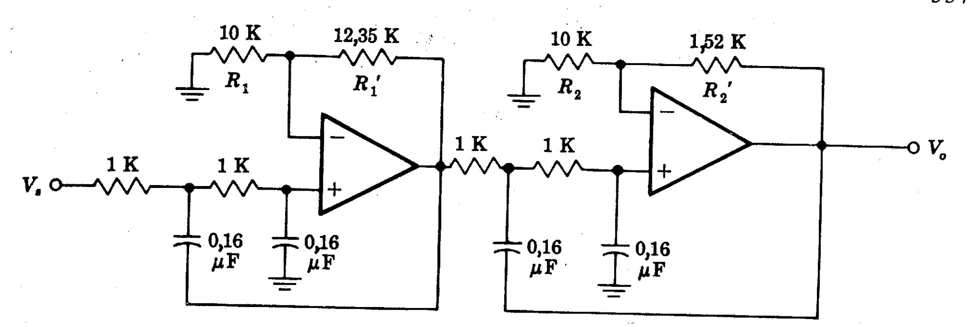


Fig. 16-19. Filtro Butterworth de paso bajo, de cuarto orden, con f_o = 1 kHz

---

Prototipo de paso alto. La característica ideal de un filtro de paso alto está indicada en la Fig. 16-15*b*. Se obtiene el filtro de paso alto de segundo orden del prototipo de paso bajo de segundo orden de la Ec. (16-22), aplicando la transformación

$$\left.\frac{S}{\omega_o}\right|_{\text{paso bajo}} \rightarrow \left.\frac{\omega_o}{S}\right|_{\text{paso alto}} \qquad (16\text{-}28)$$

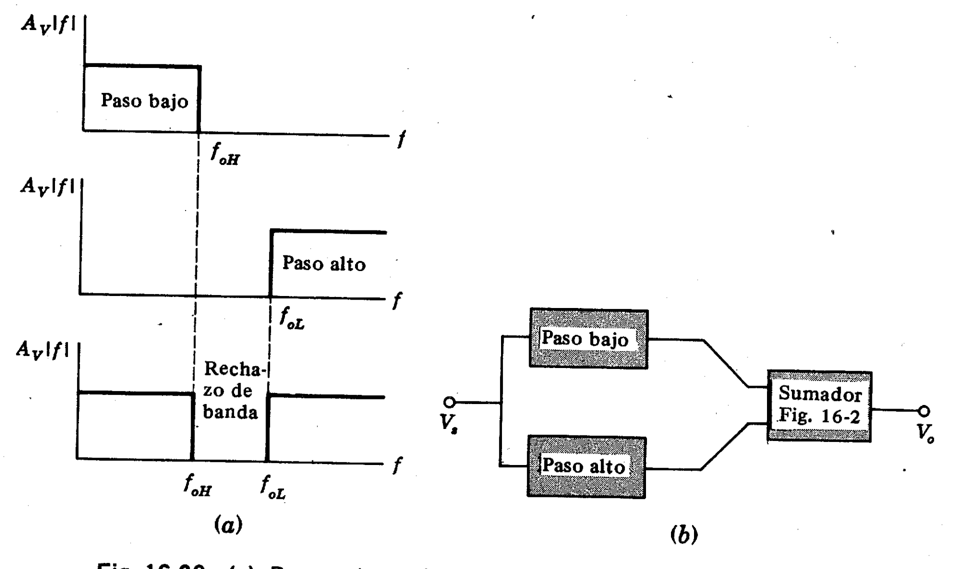


Fig. 16-20. (*a*) Respuesta en frecuencia de un filtro ideal de rechazo de banda. (*b*) Combinación en paralelo de filtros de paso alto y de paso bajo, que da como resultado un filtro de rechazo de banda

Es decir, intercambiando las R y las C en la Fig. 16-18b resulta un filtro activo de paso alto de segundo orden.

Filtro de paso de banda. Se obtiene un prototipo de filtro de paso de banda de segundo orden, colocando en cascada un filtro de paso bajo de segundo orden con frecuencia de corte f_{oH} y un filtro de paso alto de segundo orden con frecuencia de corte f_{oL}, y teniendo en cuenta que $f_{oH} > f_{oL}$, tal como se indica en la Fig. 16-15c.

Filtro de rechazo de banda. La figura 16-20 muestra que se obtiene un filtro de rechazo de banda colocando en paralelo una sección de paso alto con frecuencia de corte f_{oL} y una de paso bajo con frecuencia de corte f_{oH}. Hay que tener en cuenta, que para el rechazo de banda se requiere, que $f_{oH} < f_{oL}$.

16-7. FILTROS PASABANDA RESONANTES ACTIVOS[7]

El filtro ideal pasabanda de la Fig. 16-15c tiene respuesta constante para $f_{oL} < f < f_{oH}$ y ganancia nula fuera de esta banda, necesitándose un número infinito de secciones de Butterworth para obtener la respuesta de este filtro. Cabe obtener una aproximación muy sencilla de la característica de banda estrecha empleando un circuito resonante LC. Normalmente, el filtro de paso de banda tiene una respuesta, cuyo pico se halla en una frecuencia central f_o y desciende a ambos lados de f_o. En la Fig. 16-21 está dibujado un prototipo fundamental de filtro resonante de segundo orden, cuya función de transferencia vamos a deducir.

Si suponemos que el amplificador tiene una ganancia $A_o = V_o/V_i$ positiva y constante para todas las frecuencias, tenemos:

$$A_V(j\omega) = \frac{V_o}{V_s} = \frac{V_o V_i}{V_i V_s} = \frac{RA_o}{R + j(\omega L - 1/\omega C)} \qquad (16\text{-}29)$$

La frecuencia *central* o de *resonancia* $f_o = \omega_o/2\pi$ se define como la frecuencia a la cual la inductancia resuena con la capacidad, o sea aquella a la que las reactancias inductiva y capacitiva son iguales (en magnitud), es decir:

$$\omega_o^2 = \frac{1}{LC} \qquad (16\text{-}30)$$

Conviene definir el *factor de calidad* Q de este circuito:

$$Q \equiv \frac{\omega_o L}{R} = \frac{1}{\omega_o CR} = \frac{1}{R}\sqrt{\frac{L}{C}} \qquad (16\text{-}31)$$

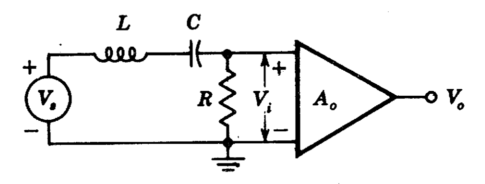


Fig. 16-21. Circuito resonante

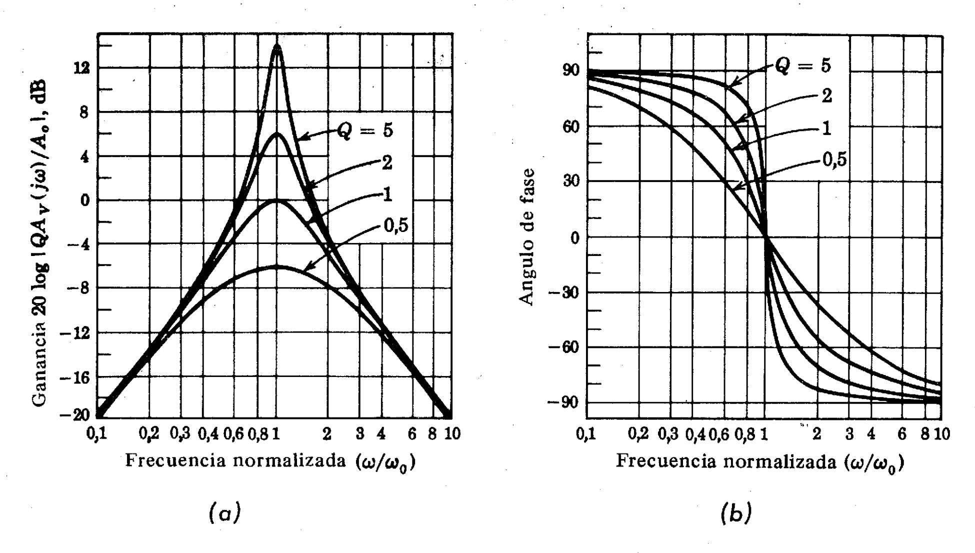


Fig. 16-22. Características de paso de banda de un circuito sintonizado. Respuesta en (a) amplitud y (b) fase

Sustituyendo la Ec. (16-31) en la Ec. (16-29), obtendremos el valor y la fase de la función de transferencia.

$$|A_V(j\omega)| = \frac{A_o}{\left[1 + Q^2\left(\frac{\omega}{\omega_o} - \frac{\omega_o}{\omega}\right)^2\right]^{1/2}} \qquad (16\text{-}32)$$

$$\theta(\omega) = -\text{arc tg}\, Q\left(\frac{\omega}{\omega_o} - \frac{\omega_o}{\omega}\right) \qquad (16\text{-}33)$$

En la Fig. 16-22 están representadas las ecuaciones normalizadas (16-32) y (16-33), para diferentes valores del parámetro Q.

Simetría geométrica. En las curvas $|A_V(j\omega)|$ de la Fig. 16-22 vemos que, para cualquier frecuencia $\omega' < \omega_o$, existe otra frecuencia $\omega'' > \omega_o$ a la que $|A_V(j\omega)|$ tiene el mismo valor. Vamos a demostrar que la media geométrica de estas frecuencias es ω_o, es decir que $\omega_o^2 = \omega'\omega''$.

Haciendo $|A_V(j\omega')| = |A_V(j\omega'')|$, obtendremos:

$$\frac{\omega'}{\omega_o} - \frac{\omega_o}{\omega'} = -\left(\frac{\omega''}{\omega_o} - \frac{\omega_o}{\omega''}\right) \qquad (16\text{-}34)$$

donde el signo menos se coloca fuera del paréntesis debido a que $\omega' < \omega_o < \omega''$. De la Ec. (16-34) deducimos:

$$\omega_o^2 = \omega'\omega'' \qquad (16\text{-}35)$$

Ancho de banda. Sean $\omega_1 < \omega_o$ y $\omega_2 > \omega_o$ las dos frecuencias a ambos lados de ω_o, para las que la caída de ganancia es de 3 dB a partir de su valor A_o a ω_o. Se define entonces el ancho de banda como:

$$B \equiv \frac{\omega_2 - \omega_1}{2\pi} = \frac{1}{2\pi}\left(\omega_2 - \frac{\omega_o{}^2}{\omega_2}\right) \tag{16-36}$$

donde se ha empleado la Ec. (16-35). La frecuencia ω_2 se halla haciendo:

$$\left|\frac{A_V(j\omega)}{A_o}\right| = \frac{1}{\sqrt{2}} \tag{16-37}$$

De la Ec. (16-32) se deduce que:

$$Q\left(\frac{\omega_2}{\omega_o} - \frac{\omega_o}{\omega_2}\right) = 1 = \frac{Q}{\omega_o}\left(\omega_2 - \frac{\omega_o{}^2}{\omega_2}\right) \tag{16-38}$$

Comparando la Ec. (16-36) con la Ec. (16-38), vemos que:

$$B = \frac{1}{2\pi}\frac{\omega_o}{Q} = \frac{f_o}{Q} \tag{16-39}$$

El ancho de banda se obtiene dividiendo la frecuencia central por Q.

Sustituyendo la Ec. (16-31) en la Ec. (16-39), encontramos una nueva expresión de B:

$$B = \frac{1}{2\pi}\frac{\omega_o R}{\omega_o L} = \frac{1}{2\pi}\frac{R}{L} \tag{16-40}$$

Filtro pasabanda activo RC. La forma general de un filtro de paso de banda de segundo orden se obtiene haciendo $s = j\omega$ en la Ec. (16-29):

$$A_V(s) = \frac{RA_o}{R + sL + 1/sC} = \frac{(R/L)A_o s}{s^2 + s(R/L) + 1/LC} \tag{16-41}$$

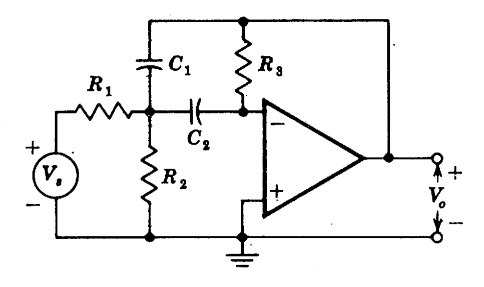


Fig. 16-23. Filtro resonante activo sin inductancia

Sustituyendo las Ecs. (16-30) y (16-31) en la Ec. (16-41), tenemos

$$A_V(s) = \frac{(\omega_o/Q)A_o s}{s^2 + (\omega_o/Q)s + \omega_o{}^2} \tag{16-42}$$

La función de transferencia de la Ec. (16-42), obtenida del circuito *RLC* de la Fig. 16-21, puede obtenerse con el circuito de realimentación múltiple de la Fig. 16-23, en el que se emplean dos condensadores, tres resistencias y un amplificador operacional, pero *no inductancias.* Si suponemos que la ganancia de tensión del amplificador operacional es infinita, veremos en el Prob. 16-29 que:

$$\frac{V_o(s)}{V_s} = \frac{s/R_1C_1}{s^2 + \dfrac{C_1 + C_2}{R_3C_1C_2}s + \dfrac{1}{R'R_3C_1C_2}} \tag{16-43}$$

donde $R' = R_1 \| R_2$, o

$$R' \equiv \frac{R_1R_2}{R_1 + R_2} \tag{16-44}$$

Igualando los coeficientes correspondientes en las tres funciones de transferencia de las Ec. (16-41), (16-42) y (16-43) obtenemos:

$$R_1C_1 = \frac{L}{RA_o} = \frac{Q}{\omega_o A_o} \tag{16-45}$$

$$R_3\frac{C_1C_2}{C_1 + C_2} = \frac{L}{R} = \frac{Q}{\omega_o} \tag{16-46}$$

$$R'R_3C_1C_2 = LC = \frac{1}{\omega_o{}^2} \tag{16-47}$$

Cualesquiera valores reales y positivos de R_1, R', R_3, C_1 y C_2 que satisfagan las Ecs. (16-45) a (16-47) se pueden aceptar para diseñar un filtro de paso de banda activo. Como sólo tenemos tres ecuaciones para cinco parámetros, dos de ellos se pueden elegir arbitrariamente (por ejemplo, C_1 y C_2).

Ejemplo. Diseñar un filtro de paso de banda de segundo orden con una ganancia de tensión en frecuencia media $A_o = 50$ (34 dB), f_o como frecuencia central igual a 160 Hz, y un ancho de banda para 3 dB, de $B = 16$ Hz.

SOLUCION. En la Ec. (16-39) vemos que se requiere $Q = 160/16 = 10$. La frecuencia central angular es $\omega_o = 2\pi f_o = 2\pi \times 160 \approx 1\,000$ rad/seg. Supongamos que $C_1 = C_2 = 0{,}1\ \mu$F. De la Ec. (16-45):

$$R_1 = \frac{Q}{A_o\omega_o C_1} = \frac{10}{50 \times 10^3 \times 0{,}1 \times 10^{-6}}\ \Omega = 2\ \text{K}$$

De la Ec. (16-46):

$$R_3 = \frac{Q}{\omega_o\left(\dfrac{C_1C_2}{C_1+C_2}\right)} = \frac{10}{1\,000\left(\dfrac{0{,}1 \times 0{,}1}{0{,}2}\right) \times 10^{-6}}\ \Omega = 200\ \text{K}$$

De la Ec. (16-47):

$$R' = \frac{1}{\omega_o{}^2 R_3 C_1 C_2} = \frac{1}{10^6 \times 2 \times 10^5 \times 10^{-14}} = 500\ \Omega$$

Finalmente, de la Ec. (16-44):

$$R_2 = \frac{R_1 R'}{R_1 - R'} = \frac{2\,000 \times 500}{2\,000 - 500} = 667\ \Omega$$

Si las especificaciones anteriores se pretendieran con un circuito RLC como el de la Fig. 16-21, se necesitaría una inductancia demasiado grande (Prob. 16-32).

16-8. COMPENSADOR DE FASE

Señales tales como impulsos con datos digitales transmitidos por líneas telefónicas, sufren una distorsión por retraso de fase que ya fue explicada en la Sec. 12-2. Para compensar estas distorsiones, se emplean redes correctoras denominadas *correctores* o *compensadores de fase.* Un corrector de fase consiste en un circuito de paso total cuya función de transferencia es de la forma:

$$A_V = \frac{V_o}{V_s} = \frac{R - jX}{R + jX} \tag{16-48}$$

Vemos que, por la Ec. (16-48), la amplitud de A_V es la unidad en todo el margen de frecuencias, y el retraso de fase D viene dado por la derivada de la fase de A_V respecto a la frecuencia, o sea:

$$D(\omega) = -2\frac{d}{d\omega}\left[\text{arc tg}\frac{X(\omega)}{R}\right] \tag{16-49}$$

La figura 16-24*a* representa un corrector de fase en el que se emplea un amplificador operacional. En el Prob. 16-33, puede verse la función de transferencia de esta configuración, que será:

$$A_V = \frac{Z_1Z_3 - Z_2Z_4}{Z_1(Z_3 + Z_2)} \tag{16-50}$$

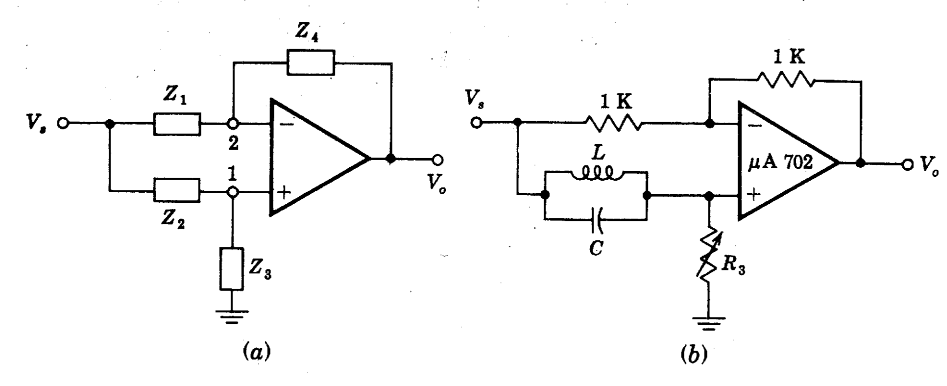


Fig. 16-24. (*a*) Forma general de un compensador de fase. (*b*) Sección práctica empleando un μA702. (Cortesía de Fairchild Semiconductor, Inc.)

Para $Z_1 = Z_4 = R = 1$ K, $Z_3 = R_3$, y $Z_2 = jX$, la Ec. (16-50) se transforma en:

$$A_V = \frac{R_3 - jX}{R_3' + jX} \tag{16-51}$$

que es la característica para un paso de banda total del corrector de fase. En la Fig. 16-24*b*, se emplea un amplificador operacional tipo μA702 de la casa Fairchild para un corrector de fase práctico. La pequeña tensión offset de este tipo de amplificador permite aplicar un elevado número de secciones acopladas directamente. Esta ventaja es particularmente significativa si tenemos en cuenta que en muchas aplicaciones son necesarias ocho o más secciones en cascada para compensar el retraso de fase.

16-9. AMPLIFICADOR SINTONIZADO EN CIRCUITO INTEGRADO

La etapa amplificadora diferencial monolítica integrada de la Fig. 16-25, constituye un bloque básico excelente para diseñar amplificadores sintonizados (incluyendo el control automático de ganancia), moduladores de amplitud o amplificadores de video. Vamos a estudiar estas aplicaciones.

Funcionamiento de un amplificador sintonizado. Este circuito está diseñado para amplificar una señal en una banda de frecuencias muy estrecha, centrada en f_o. Para explicar su funcionamiento, acudiremos al esquema representado en la Fig. 16-26. Los terminales 1, 2, 3... del circuito integrado de la figura corresponden con los de la Fig. 16-25. La señal de entrada se aplica a través de un transformador sintonizado $T1$ a la base de $Q1$, mientras la carga R_L lo hace mediante el transformador sintonizado $T2$ en el circuito de colector de $Q3$. La amplificación se realiza por los transistores $Q1$ y $Q3$, pero el valor de la ganancia está controlado por $Q2$. La combinación $Q1$-$Q3$ actúa como un par en emisor común, base común (EC-BC), conocida por el nombre de *cascodo.* En el problema 8-39, vimos que la resistencia de entrada y la ganancia de corriente del circuito cascodo son fundamentalmente las mismas que las de una etapa en emisor común, la resistencia de

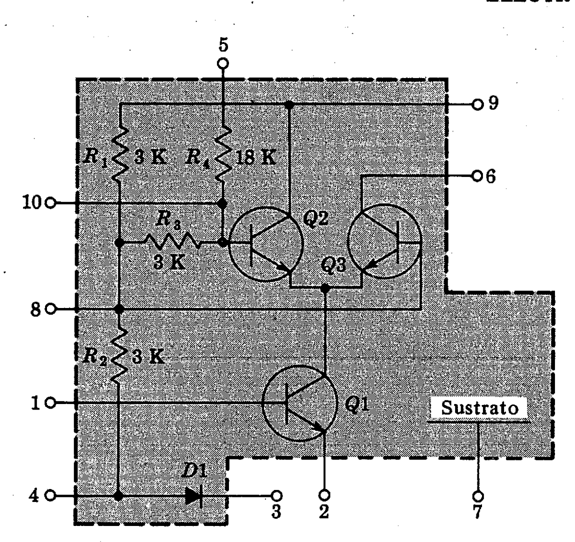


Fig. 16-25. Circuito integrado MC 1550. (Cortesía de Motorola Semiconductor Inc.)

salida idéntica a la de una etapa en base común, y la ganancia de tensión inversa en circuito abierto viene dada por $h_r \approx h_{re}h_{rb} \approx 10^{-7}$. El valor extremadamente pequeño de h_r para el par de transistores en cascodo hace de este circuito el ideal para aplicar a un amplificador sintonizado. La reducción de la "realimentación inversa interna" del sistema simplifica la sintonización, reduce las posibilidades de oscilación, y redunda en beneficio de la estabilidad del amplificador.

La tensión V_{AGC} aplicada a la base del $Q2$ se emplea para el control automático de ganancia. En la Fig. 15-9 vemos que si V_{AGC} es por lo menos 120 mV mayor que V_R,

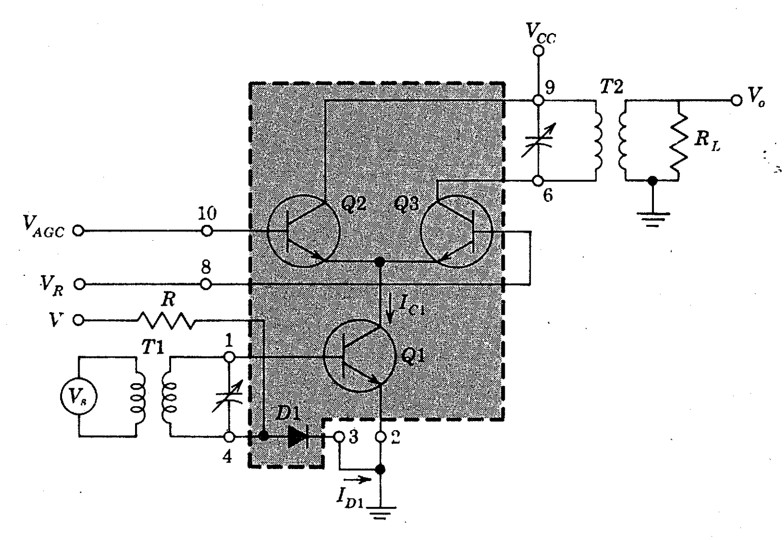


Fig. 16-26. Amplificador sintonizado, que consiste en el cascodo $Q1$ y $Q3$ con control de ganancia por $Q2$

$Q3$ está al corte y toda la corriente de $Q1$ atraviesa $Q2$. Puesto que $Q3$ está al corte, su transconductancia es cero y la ganancia $A_V = V_o/V_s$ es también cero. Si V_{AGC} es menor que V_R en más de 120 mV, $Q2$ está al corte y la corriente de colector de $Q1$ atraviesa $Q3$, aumentando por esta razón su transconductancia dando lugar a una ganancia de tensión máxima A_V.

Una de las ventajas importantes de este amplificador es la posibilidad de variar A_V modificando V_{AGC} sin desintonizar el circuito de entrada. Esto es debido a que las variaciones de V_{AGC} dan lugar a cambios en el reparto de corriente entre $Q2$ y $Q3$, sin afectar significativamente a la corriente de colector de $Q1$. Por lo tanto, la impedancia de entrada de $Q1$ permanece constante y el circuito de entrada no se desintoniza.

Se polariza este amplificador integrado empleando técnicas similares a las explicadas en la Sec. 9-7. La tensión V y la resistencia R establecen la corriente I_{D1} a través del diodo $D1$. Como el diodo y el transistor $Q1$ están en el mismo chip de silicio, muy cerca el uno del otro y con $V_{D1} = V_{BE1}$, la corriente de colector I_{C1} de $Q1$ está en torno al ± 5 % de I_{D1}.

Parámetros y. En el diseño de amplificadores sintonizados es conveniente representarlos como redes cuadripolos y medir los parámetros y a la frecuencia de funcionamiento. Estos parámetros y se definen eligiendo las tensiones V_1 y V_2 de entrada y de salida como variables independientes, expresando las corrientes I_1 e I_2 de la Fig. 16-27 en función de estas dos tensiones, y por lo tanto:

$$I_1 = y_{11}V_1 + y_{12}V_2 \qquad (16\text{-}52)$$

$$I_2 = y_{21}V_1 + y_{22}V_2 \qquad (16\text{-}53)$$

donde las I y las V representan los valores eficaces de las corrientes y tensiones de pequeñas señales. La Fig. 16-27*b* representa el circuito modelo que satisface estas ecuaciones.

Los parámetros y de las Ecs. (16-52), (16-53) y figura 16-27*b* son funciones complejas de la frecuencia que se definen:

$$y_{11} \equiv G_{11} + jB_{11} \equiv \left.\frac{I_1}{V_1}\right|_{V_2=0} = \text{admitancia de entrada, en cortocircuito}$$

$$y_{12} \equiv G_{12} + jB_{12} \equiv \left.\frac{I_1}{V_2}\right|_{V_1=0} = \text{admitancia de transferencia inversa, en cortocircuito}$$

$$y_{21} \equiv G_{21} - jB_{21} \equiv \left.\frac{I_2}{V_1}\right|_{V_2=0} = \text{admitancia de transferencia directa, en cortocircuito}$$

$$y_{22} \equiv G_{22} + jB_{22} \equiv \left.\frac{I_2}{V_2}\right|_{V_1=0} = \text{admitancia de salida en cortocircuito}$$

Para un circuito dado, sea un solo transistor o un par cascodo, estos parámetros pueden ser especificados como funciones explícitas de la frecuencia, o, en la mayoría de los casos, mediante un gráfico con parte real y parte imaginaria, la conductancia G y la susceptancia B en función de la frecuencia. La hoja de datos correspondiente al MC 1550 da los

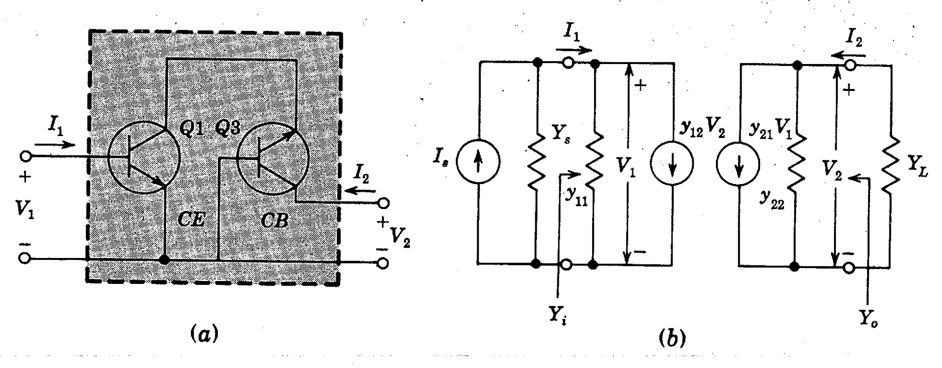


Fig. 16-27. (*a*) Pareja cascodo. (*b*) Modelo con parámetros *y* del cuadripolo

parámetros medidos con un puente de admitancias de General Radio 1607 A. El valor típico medido se indica en la Fig. 16-28, pero el factor de realimentación interna y_{12} no está señalado debido a que es menor que 0,001 ma/V y resulta despreciable.

Consideremos el cuadripolo de la Fig. 16-27*b* terminado a la salida por una admitancia de carga Y_L y excitado por una fuente de corriente I_s de admitancia Y_s. La admitancia equivalente vista desde la fuente de corriente es $Y_{equ} = Y_s + Y_i$. En el problema 16-36 veremos que:

$$Y_i = \frac{I_1}{V_1} = y_{11} - \frac{y_{12}y_{21}}{y_{22} + Y_L} \tag{16-54}$$

y la admitancia de salida es:

$$Y_o = \frac{I_2}{V_2} = y_{22} - \frac{y_{12}y_{21}}{y_{11} + Y_s} \tag{16-55}$$

Como $y_{12} \approx 0$, entonces $Y_i \approx y_{11}$ e $Y_o \approx y_{22}$.

La potencia media P_{av} suministrada por la fuente de corriente al cuadripolo, es la potencia disipada en la parte conductiva de Y_{equ}, o sea:

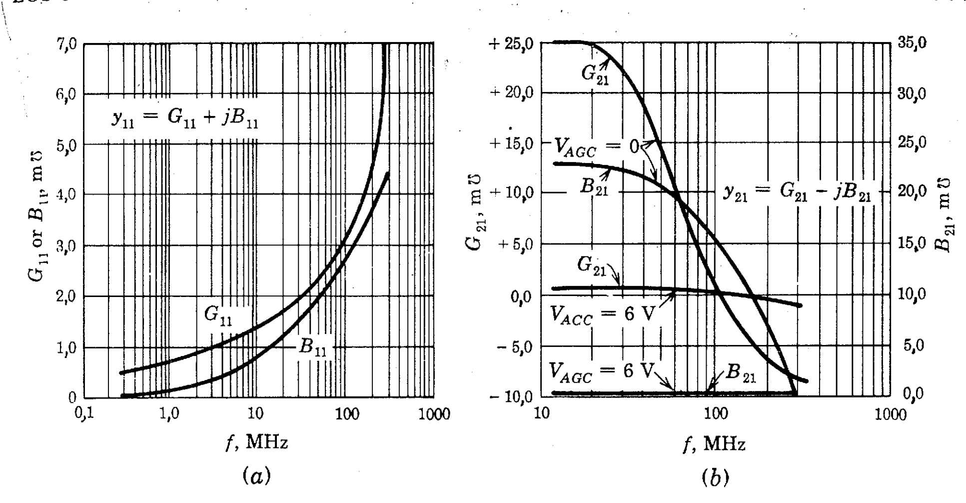
$$P_{av} = ½|V_1|^2 \, Re\,[Y_{equ}]^* \tag{16-56}$$

Si $Re\,[Y_{equ}]$ fuese negativa para alguna frecuencia ω_1, la red absorbería potencia negativa; en otras palabras, la potencia se suministraría desde el circuito a la fuente. Observemos a partir de la Ec. (16-54) que si $y_{12} \approx 0$ y Re $[y_{11}] > 0$ y Re $[Y_s] > 0$, el circuito no puede oscilar.

La ganancia de corriente A_I y la de tensión A_V se hallan en el Prob. 16-37 y vienen dadas por:

$$A_I = -\frac{I_2}{I_1} = -\frac{y_{21}Y_L}{y_{11}y_{22} - y_{12}y_{21} + y_{11}Y_L} \tag{16-57}$$

* Re $[Y_{equ}]$ representa la parte real de Y_{equ}, y V_1 es el valor eficaz de la tensión de entrada.



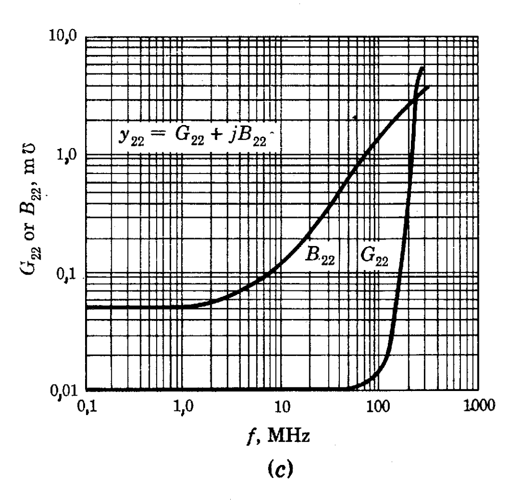


Fig. 16-28. Parámetros *y* del MC 1550 para $V_{CC} = 6{,}0$ V y $V_{AGC} = 0$ V en función de la frecuencia. (*a*) Parámetro y_{11}, (*b*) parámetro y_{21}, (*c*) parámetro y_{22}. (Cortesía de Motorola, Inc.)

y

$$A_V = \frac{V_2}{V_1} = -\frac{y_{21}}{y_{22} + Y_L} \tag{16-58}$$

Amplificador sintonizado práctico. En la Fig. 16-29 está representado un circuito monolítico híbrido en el que se incluyen los principios discutidos anteriormente (suponiendo, por el momento, que el generador de audio no está presente; $V_a = 0$). La parte sombreada de la figura es el chip MC 1550 de la Fig. 16-25, y todos los demás componentes son elementos discretos añadidos externamente. Las resistencias R_1 y R_2 polarizan el diodo $D1$ (que así determinan la corriente del colector de $Q1$). Estas resistencias también

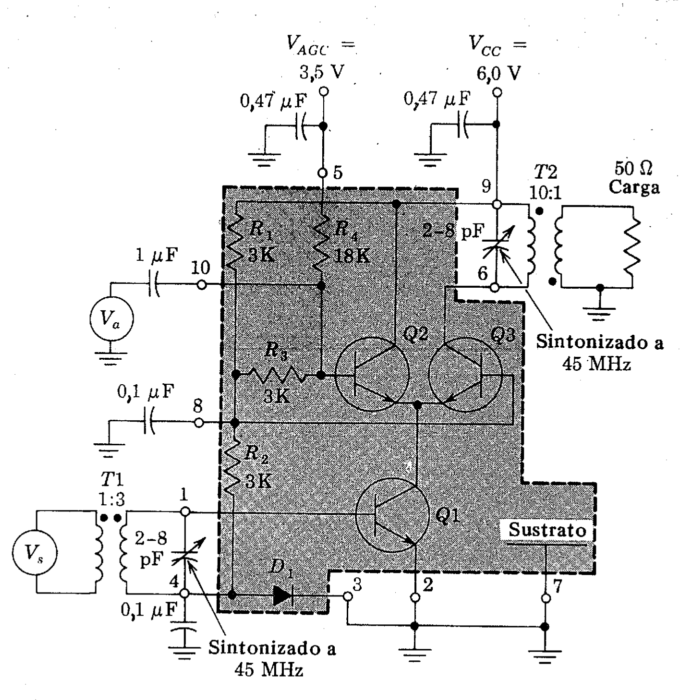


Fig. 16-29. Amplificador sintonizado práctico a 45 MHz (con $V_a = 0$) o un modulador de RF si $V_a \neq 0$. (Cortesía de Motorola Semiconductor, Inc.)

establecen la tensión de polarización de $Q3$. Las resistencias R_3 y R_4 sirven para "ampliar" el margen de tensión del control automático de ganancia desde 120 mV a 850 mV aproximadamente, haciéndolo menos sensible a la captación de ruidos exteriores.

La fuente V_s es un generador de RF (radiofrecuencia) de 45 MHz, cuya resistencia es de 50 Ω. Los transformadores están construidos con hilo de galga 32 y núcleo T12-2; el T1 con 6:18 espiras tiene una inductancia magnetizante $L_M = 1{,}1$ μH, y el T2 con 30:3 espiras tiene $L_M = 2{,}5$ μH. Los condensadores variables de la Fig. 16-29 se ajustan para que estén en resonancia con estas inductancias a 45 MHz.

Para la máxima ganancia de potencia que cabe obtener de un amplificador, la admitancia de la fuente y la de carga, deben ser seleccionadas de modo que sean las conjugadas complejas de la admitancia de entrada $Y_i \approx y_{11}$ y de la admitancia de salida $Y_o \approx y_{22}$, respectivamente. Cabe emplear redes LC, en lugar de transformadores para obtener este acoplamiento. En la Fig. 16-30, la red de entrada formada por C_1, C_2 y L_1, transforma la resistencia de 50 Ω de la fuente en la conjugada compleja de y_{11}. Los valores de C_1, C_2 y L_1 se calculan empleando las técnicas descritas en la Referencia 8. La red de salida está constituida por C_3, C_4 y L_2 que transforman la resistencia de carga de 50 Ω en la conjugada compleja de y_{22}. La frecuencia central de este amplificador es de 60 MHz, el ancho de banda es de 500 kHz, y la ganancia de potencia 30 dB.

Modulador de amplitud. La portadora de señal en radio frecuencia (RF), V_s, puede cambiar de amplitud variando la tensión del control automático de ganancia. Por lo tanto,

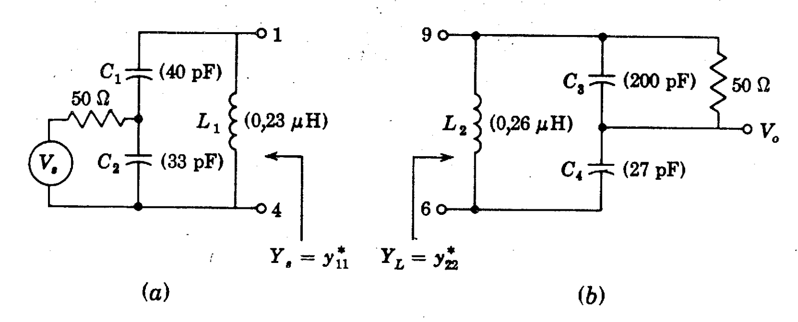


Fig. 16-30. Redes acopladas para la máxima transferencia de energía en un amplificador sintonizado a 60 MHz. (*a*) A la entrada y (*b*) a la salida

si se aplica una señal de audio al terminal 10 de la Fig. 16-29, de manera que modifique la tensión del control automático de ganancia, la salida quedará modulada en amplitud tal como indica la Fig. 4-27.

La ganancia del cascodo $Q1$-$Q3$ es proporcional a $|y_{21}|$, como se indica en la Ec. (16-58). El parámetro y_{21} depende de la corriente de colector de $Q3$, la cual varía con V_{AGC}. La Fig. 16-31 indica la variación de $|y_{21}|$ en función de V_{AGC}, a la frecuencia de 45 MHz. Por la curva, vemos que entre $V_{AGC} = 2{,}75$ V y $V_{AGC} = 4{,}25$ V, $|y_{21}|$ es lineal respecto a V_{AGC}. Polarizando la línea del control automático a 3,5 V (punto B de la curva) y aplicando una señal senoidal de audio V_a a la base de $Q2$ (tal como indica la Fig. 16-29), $|y_{21}|$ variará senoidalmente. De la ecuación (16-58), deducimos que la ganancia A_V también variará senoidalmente con la señal de audio. Por lo tanto, la salida del amplificador estará modulada en amplitud.

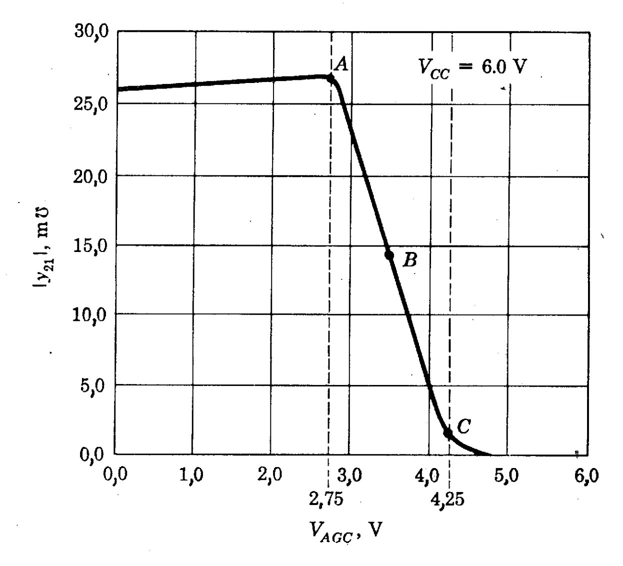


Fig. 16-31. Variación de $|y_{21}|$ en función de la V_{AGC} a 45 MHz para el MC 1550. (Cortesía de Motorola Semiconductor, Inc.)

16-10. AMPLIFICADOR DE VIDEO CASCODO

Un amplificador de video, al contrario que un amplificador sintonizado, debe amplificar señales en una banda de frecuencias ancha, por encima incluso de 20 MHz. El MC 1550 puede emplearse como amplificador de video cascodo (Fig. 16-32*a*) eliminando los circuitos sintonizados de entrada y de salida. Se insertan 50 Ω entre los terminales 1 y 4 para acoplar adecuadamente el cable coaxial portador de la señal de video. Esta pequeña resistencia tiene efectos prácticamente despreciables sobre la polarización de $Q1$. La carga R_L se coloca directamente en la línea del colector de $Q3$.

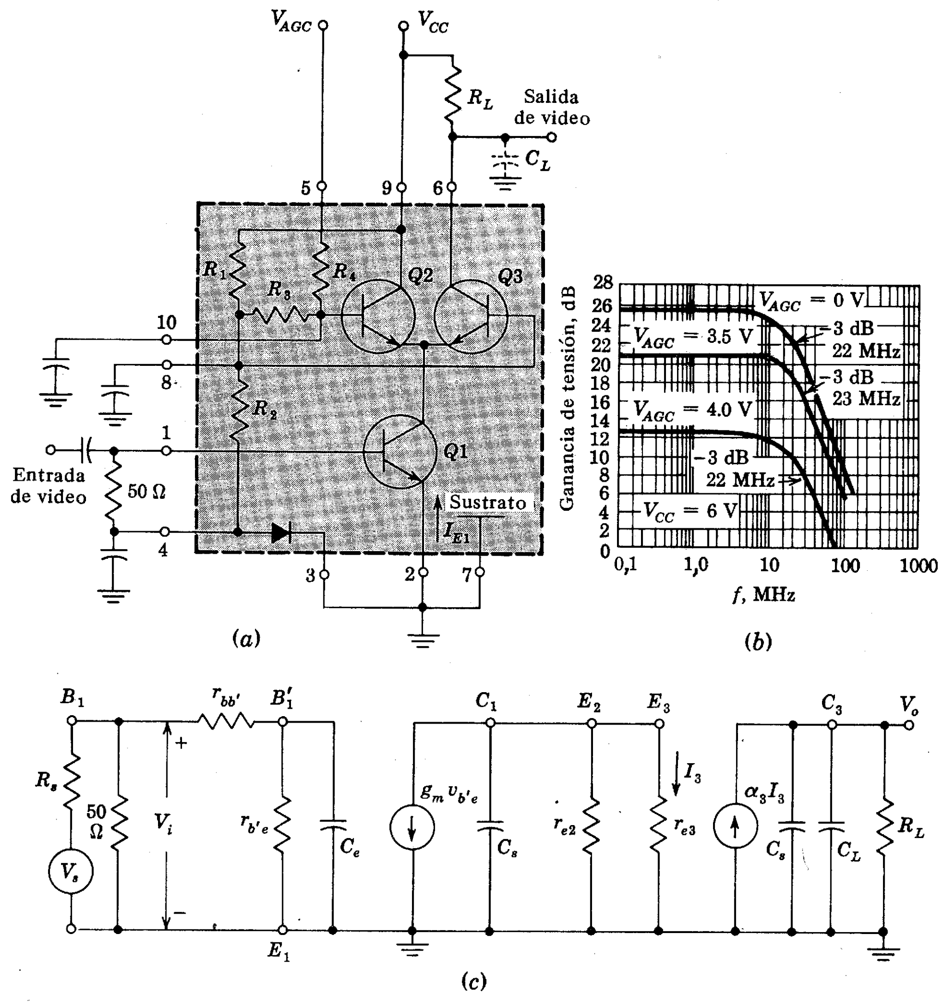


Fig. 16-32. (*a*) El MC 1550 empleado como amplificador de video; (*b*) respuesta en frecuencia para tres valores diferentes de V_{AGC}; (*c*) circuito equivalente aproximado para pequeña señal

Se puede hacer el análisis para pequeña señal de este amplificador de video, empleando el circuito equivalente aproximado de la Fig. 16-32*c*. Si los dos transistores $Q2$ y $Q3$ están funcionando en su región activa, el colector de $Q1$ ve la muy pequeña resistencia de entrada ($r_{e2} \| r_{e3}$) de las dos etapas en base común en paralelo. Podemos representar $Q1$ por su modelo híbrido Π y, debido a su tan pequeña carga, despreciar los efectos de C_c. La salida de video se toma del colector de $Q3$, que está trabajando como una etapa en base común. Supondremos que $Q3$ puede representarse por una fuente de corriente $\alpha_3 I_3$, en la que I_3 es la corriente de señal del emisor de $Q3$ y $\alpha_3 \approx 1$ es independiente de la frecuencia en toda la banda considerada. C_s representa la capacidad entre el colector de $Q1$ y $Q3$ al substrato (tierra).

De la Fig. 16-32*c* encontramos (Prob. 16-42):

$$\frac{V_o}{V_i} = -\frac{\alpha_3 g_m}{r_{e3} r_{bb'}} \frac{1}{\left(\frac{1}{r_{bb'}}+\frac{1}{r_{b'e}}+sC_e\right)\left(\frac{1}{r_{e2}}+\frac{1}{r_{e3}}+sC_s\right)\left[\frac{1}{R_L}+s(C_s+C_L)\right]} \tag{16-59}$$

Según la Ec. (3-14), la resistencia incremental del diodo emisor-base r_e (r_{e2} o r_{e3}) viene dada por $r_e = \eta V_T/I_E$, siendo I_E la corriente de reposo del emisor.

Ejemplo. Diseñar un amplificador de video, empleando el circuito de la Fig. 16-32 y el MC 1550, y previendo una ganancia de tensión $A_V = V_o/V_i = -25$ y un ancho de banda mayor de 20 MHz cuando $V_{AGC} = 0$. Supóngase que $V_{CC} = 6$ V, $h_{fe} = 50$, $r_{bb'} = 50\ \Omega$, $C_s = 5$ pF, $C_L = 5$ pF, $I_{E1} = 1$ mA, y $f_T = 900$ MHz.

SOLUCION. La ganancia de tensión a baja frecuencia V_o/V_i se halla por la Ec. (16-59), haciendo $s = 0$. Cuando $V_{AGC} = 0$, el transistor $Q2$ está al corte y toda la corriente de colector de $Q1$ atraviesa $Q3$. Puesto que $I_{E2} = 0$, entonces $r_{e2} = \eta V_T/I_{E2} = \infty$, y:

$$r_{e3} = \eta \frac{V_T}{I_{E3}} = \frac{52 \text{ mV}}{1 \text{ mA}} = 52\ \Omega \text{ a } 25°\text{C}$$

De la Sec. 11-2 obtenemos:

$$g_m = \frac{I_{E1}}{V_T} = \frac{1}{26} = 38{,}5 \times 10^{-3} \text{ A/V}$$

$$r_{b'e} = \frac{h_{fe}}{g_m} = \frac{50}{38{,}5 \times 10^{-3}}\ \Omega = 1{,}3 \text{ K}$$

y

$$C_e = \frac{g_m}{2\pi f_T} = \frac{38{,}5 \times 10^{-3}}{2 \times 3{,}14 \times 900 \times 10^{6}} \text{ F} = 6{,}80 \text{ pF}$$

Si suponemos $\alpha_3 \approx 1$, encontramos de la Ec. (16-59):

$$A_{Vo} = \left.\frac{V_o}{V_i}\right|_{s=0} = \frac{38{,}5 \times 10^{-3}}{52 \times 50 \left(\frac{1}{50}+\frac{1}{1\,300}\right) \times \frac{1}{52} \times \frac{1}{R_L}} = -37{,}2 \times 10^{-3} R_L$$

Con lo que

$$A_{Vo} = -25 = -37{,}2 \times 10^{-3} \times R_L$$

o

$$R_L = \frac{25}{37{,}2} \times 10^3 = 675\ \Omega$$

La función de transferencia de tensión de la Ec. (16-59) tiene tres polos, y las frecuencias correspondientes de 3 dB son:

$$f_1 = \frac{1}{2\pi R_L(C_s + C_L)} = \frac{1}{2 \times 3{,}14 \times 675 \times 10 \times 10^{-12}}\ \text{Hz} = 23{,}6\ \text{MHz}$$

$$f_2 = \frac{1}{2\pi C_e(r_{b'e} \| r_{bb'})} = \frac{1}{2 \times 3{,}14 \times 6{,}80 \times 10^{-12} \times 48}\ \text{Hz} = 490\ \text{MHz}$$

$$f_3 = \frac{1}{2\pi C_s(r_{e2} \| r_{e3})} = \frac{1}{2 \times 3{,}14 \times 5 \times 10^{-12} \times 52}\ \text{Hz} = 610\ \text{MHz}$$

La conclusión es que f_1 es un polo dominante y $f_H \approx f_1 = 23{,}6$ MHz. La figura 16-32*b* muestra los valores medidos para tres valores de V_{AGC}. Vemos que, mediante el uso del modelo simplificado para el análisis del circuito, obtenemos resultados que concuerdan con los experimentales.

II. SISTEMAS ANALOGICOS NO LINEALES

16-11. COMPARADORES

A excepción de la modulación de amplitud y del control automático de ganancia, todos los sistemas citados anteriormente en el presente capítulo, trabajan de manera lineal. Seguidamente nos ocuparemos del estudio del funcionamiento no lineal del amplificador operacional.

El comparador, presentado en la Sec. 4-6, es un circuito que compara una señal de entrada $v_i(t)$ con una tensión de referencia V_R. Cuando la tensión de entrada v_i excede a V_R, la salida v_o del comparador toma un valor completamente distinto del que tomará cuando v_o sea menor que V_R. La curva entrada-salida del amplificador diferencial de la Fig. 15-9 se aproxima a las características del comparador. Obsérvese que el total de la desviación de entrada correspondiente a las dos tensiones extremas de salida es $\sim 8\ V_T = 200$ mV. Este margen puede reducirse considerablemente poniendo en cascada dos amplificadores diferenciales como indica la Fig. 15-11. Este amplificador operacional MC 1530 sirve como comparador si está en cadena abierta como en la Fig. 16-33*a*. La característica de transferencia viene dada en la Fig. 16-33*b* y se observa que el cambio total de salida tiene lugar con una variación de entrada de tan sólo 2 mV. Obsérvese que la tensión offset de entrada da lugar a un error en el punto de comparación entre v_i y V_R, del orden de 1 mV. La tensión de referencia V_R puede ser cualquiera, con tal que no exceda del margen máximo del modo común.

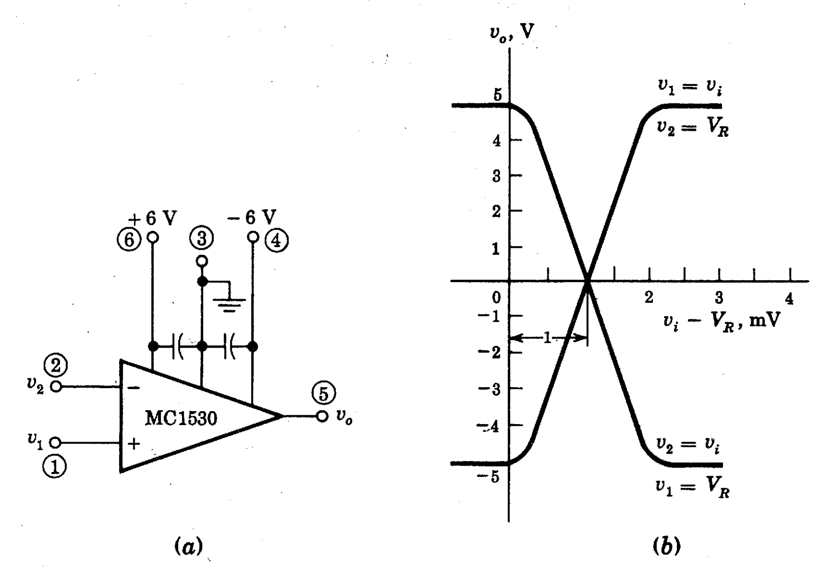


Fig. 16-33. (*a*) Amplificador operacional MC 1530 como comparador. (*b*) Característica de transferencia

Detector del cruce por cero. Si V_R fuese igual a cero, la salida respondería de forma discontinua cada vez que la entrada pasase por cero. Este sistema se denomina *detector de cruce por cero.*

Mencionaremos algunos de los sistemas más importantes que emplean compradores. En las Secs. 16-5 y 17-19 pueden verse otras aplicaciones.

Ondas cuadradas a partir de ondas senoidales. Si la entrada de un amplificador operacional comparador es una onda senoidal, la salida es una onda cuadrada. Si se emplea un detector de paso por cero, resulta una onda cuadrada simétrica, como indica la Fig. 16-34*c*. Esta forma de onda idealizada tiene lados verticales que, en realidad, se deberán extender sobre un margen de unos pocos milivolts de la tensión de entrada v_i.

Generador de señales de tiempo a partir de una onda senoidal. La señal de salida cuadrada v_o del caso anterior se aplica como entrada a un circuito serie *RC*. Si la constante de tiempo *RC* es muy pequeña comparada con el período *T* de la onda senoidal de entrada, la diferencia de potencial v' entre los extremos de *R* está constituida por una serie de impulsos positivos y negativos, tal como se indica en la Fig. 16-34*d*. Si v' se aplica a un limitador con un diodo ideal (Fig. 16-34*a*), la tensión de la carga v_L sólo tiene impulsos positivos (Fig. 16-34*e*). Por lo tanto, la senoide ha sido transformada en un tren de impulsos positivos espaciados un tiempo *T*. Esto puede emplearse como señalizador de tiempo (en la tensión de barrido de un tubo de rayos catódicos, por ejemplo).

Fasómetro. Se puede medir el ángulo de fase entre dos tensiones empleando un método basado en el circuito de la Fig. 16-34. Ambas tensiones se convierten en impulsos, y se mide el intervalo de tiempo transcurrido entre el impulso debido a una onda y al de la

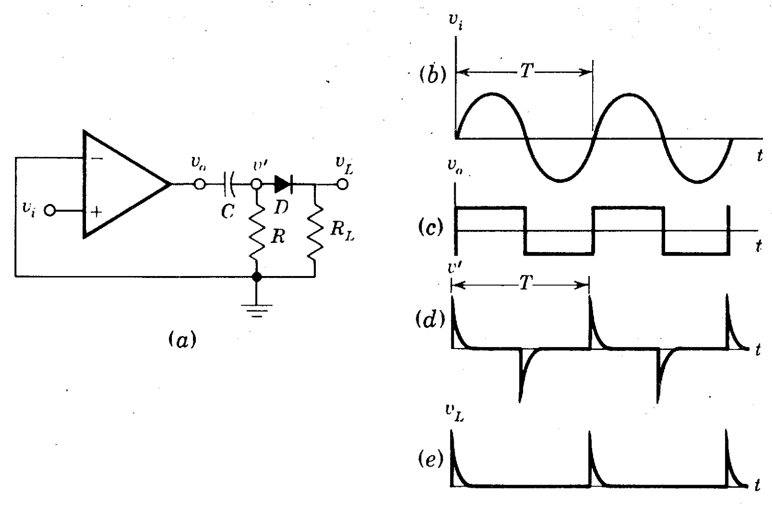


Fig. 16-34. Un detector de paso por cero convierte una senoide v_i en una onda cuadrada v_o. Las formas de onda v' y v_L a impulsos resultan si v_o alimenta un circuito de constante de tiempo RC reducida, en cascada con un diodo limitador

otra. Este intervalo de tiempo es proporcional a la diferencia de fase. Tales fasómetros pueden medir ángulos comprendidos entre 0° y 360°.

Analizador de la distribución de amplitud. El comparador es el bloque constructivo básico de un sistema para analizar la distribución de amplitud de los ruidos generados por algún elemento activo, o el espectro de tensión de los impulsos generados por un detector de radiación nuclear, etc. Vamos a especificar con mayor detalle, suponiendo que la salida del comparador es de 10 V si $v_i > V_R$, y de 0 V si $v_i < V_R$, y que la entrada del comparador sea el ruido. Emplearemos un medidor de tensión continua para determinar el valor medio de la onda cuadrada de salida. Por ejemplo, si V_R está puesta a cero, el medidor indicará 10 V, lo cual se puede interpretar diciendo que la probabilidad de que la amplitud sea mayor que cero es del 100 %. Si V_R tiene un cierto valor V'_R y en el medidor se leen 7 V, se interpreta que la probabilidad de que la amplitud del ruido sea mayor que V'_R es el 70 %, etc. De esta manera, la probable distribución acumulativa de la amplitud del ruido se puede obtener representando gráficamente las indicaciones del medidor en función de V_R.

Modulación de impulsos de tiempo. Cabe obtener una sucesión de impulsos cuyo espaciado refleje la información de entrada aplicando al comparador una onda periódica de barrido, siendo la tensión de referencia V_R modulada por una señal de audio. El resultado es un *sistema* de comunicación *de modulación de tiempo.*

16-12. CIRCUITOS DE RETENCION DE INFORMACION[9]

Un sistema típico de adquisición de información recibe señales de un determinado número de fuentes distintas y transmite estas señales, debidamente conformadas, a un calculador o a un canal de comunicaciones. Un múltiplex (Sec. 17-5) selecciona cada secuencia de señal, y la información analógica se convierte en una tensión constante durante el tiempo de sensibilización por medio de un circuito de *retención de información.* La salida constante de este circuito puede convertirse para su transmisión en una señal digital mediante un convertidor analógico-digital (A/D) (Sec. 17-20).

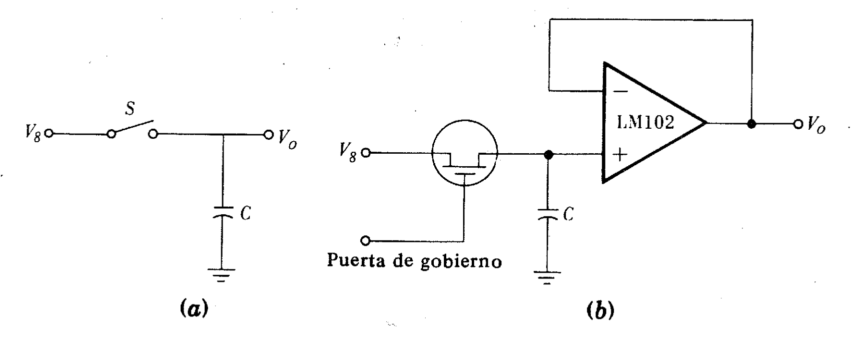


Fig. 16-35. Circuito de retención. (*a*) Esquemático, (*b*) práctico

El circuito de retención de la información está formado por un simple interruptor S en serie con un condensador, como en la Fig. 16-35*a*. Cuando la puerta del control lógico cierra a S, la tensión del condensador sigue la señal de entrada durante un tiempo T_g y mantiene el valor alcanzado cuando una vez transcurrido este tiempo se abre S. El interruptor puede ser un relé (para formas de onda muy lentas) o un puente muestreador (Sec. 4-7), un interruptor bipolar a transistor[10], o un MOSFET gobernado por una señal de cebado. El MOSFET es un interruptor excelente, porque cuando está en conducción su *tensión offset* es mucho menor que la de un transistor bipolar de unión (~ 5μV).

El circuito de la Fig. 16-35*b* es uno de los circuitos prácticos más sencillos de un retenedor de información. Un impulso negativo en la puerta de un MOSFET de canal *p* cambiará el interruptor a la posición de conducción y el condensador de retención C se cargará con una constante de tiempo $R_{ON}C$ al valor instantáneo de la tensión de entrada. En ausencia de impulso negativo, el interruptor se corta y el condensador queda aislado de cualquier carga a través del amplificador operacional LM 102; de esta manera mantiene la tensión impresa en él. Se recomienda el uso de policarbonato, polietileno o Teflon como dieléctrico. Otros muchos condensadores no retienen la tensión almacenada, debido a fenómenos de polarización[11] que causan la disminución de dicha tensión con una constante de tiempo de varios segundos. Aun cuando los fenómenos de polarización no tengan lugar, la corriente en vacío del interruptor más la corriente de polarización del amplificador operacional, circulan por C. Como la máxima corriente de polarización de entrada del LM 102 es de 10 nA, con 10μF de capacidad la pérdida durante el período de mantenimiento será menor que 1 mV/seg.

Dos factores adicionales influyen en el funcionamiento del circuito: el tiempo de reacción, llamado *tiempo de apertura* (cuyo valor típico es menor que 100 nseg), que es el tiempo transcurrido desde que el impulso se aplica al interruptor hasta que éste se cierra; y el *tiempo de adquisición,* que es el requerido por el condensador para pasar de la tensión que conserva hasta el nuevo valor de la tensión de entrada, una vez cerrado el interruptor.

Cuando el condensador es mayor que 0,05 μF, se debe incluir una resistencia de aislamiento de unos 10 K entre el condensador y la entrada + del amplificador operacional.

Este condensador es necesario para proteger el amplificador en el caso de que la salida quede cortocircuitada, o la fuente de alimentación se corte bruscamente estando cargado el condensador.

16-13. CONVERTIDORES DE PRECISION ALTERNA/CONTINUA[12]

Si se aplica al circuito rectificador de la Fig. 4-6 una tensión senoidal cuyo valor de pico sea menor que la tensión umbral V_γ (~ 0,6 V), la salida será siempre nula. Para poder rectificar señales del orden de milivolt, es evidente que será necesario disminuir V_γ. Colocando un diodo en el lazo de realimentación de un amplificador operacional, la tensión umbral queda dividida por la ganancia en cadena abierta A_V del amplificador, y con ello V_γ queda virtualmente eliminada y el diodo se aproxima a un componente rectificador ideal. Si, en la Fig. 16-36*a* la entrada v_i es positiva en por lo menos V_γ/A_V, entonces v' sobrepasa a V_γ y D conduce. Debido a la conexión virtual entre las entradas inversora y no inversora (provocada por la realimentación con el diodo en estado de conducción), $v_o \approx v_i$. Por tanto, el circuito actúa como un seguidor de tensión para señales positivas (en el caso de que sobrepasen el valor de 0,1 mV). Cuando v_i pasa a ser negativa, D deja de conducir y no se suministra ninguna corriente a la carga, a excepción de la pequeña corriente de polarización del LM 101A.

Acoplamiento de precisión. La Fig. 16-36*b* es modificación del circuito de la Fig. 16-36*a*, constituyendo un acoplador casi ideal (Sec. 4-5). Si $v_i < V_R$, entonces v' es positiva y D conduce. Como hemos explicado anteriormente, en estas condiciones la tensión de salida es igual a la del terminal no inversor, o sea $v_o = V_R$. Si $v_i > V_R$, entonces v' es negativa, D queda interrumpido y $v_o = v_i$. En resumen, la salida sigue a la entrada para $v_i > V_R$, y v_o permanece igual a V_R, si v_i es menor que V_R en más de 0,1 mV. Cuando D se polariza en sentido inverso, tanto en la Fig. 16-36*a* como en la 16-36*b*, puede aparecer una gran diferencia de potencial entre las entradas y el amplificador operacional debe poder soportarla. Obsérvese también que, cuando $v_i > V_R$, se satura la etapa de entrada porque ha desaparecido la realimentación a través de D.

Rectificador rápido de media onda. Añadiendo R' y $D2$ a la Fig. 16-36*b* y haciendo $V_R = 0$, obtenemos el circuito de la Fig. 16-37*a*. Si v_i fuera negativo, $D1$ conduciría y $D2$ no, con lo cual el circuito pasaría a ser un amplificador operacional inversor, en el que $v_o = -(R'/R)v_i$. Si v_i es positiva, $D1$ no conduce y $D2$ sí. Debido a la realimentación a través de $D2$, existe una tierra virtual en la entrada y $v_o = 0$. Si v_i es una senoide, el

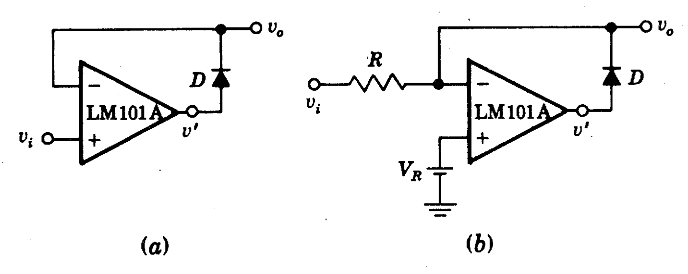


Fig. 16-36. (*a*) Diodo de precisión. (*b*) Acoplamiento de precisión

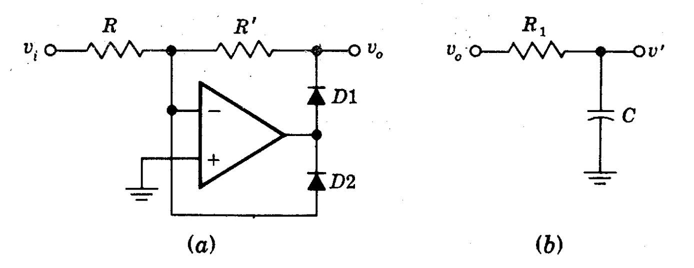


Fig. 16-37. (*a*) Rectificador de media onda. (*b*) Filtro de paso bajo que se puede poner en cascada con el circuito de (*a*) para obtener el detector de media

circuito queda convertido en un rectificador de media onda. Debido a que el amplificador no se satura, puede rectificar frecuencias de hasta 100 kHz.

Una configuración equivalente a la de la Fig. 16-37*a* se obtiene poniendo a tierra el lado izquierdo de R y aplicando v_i al terminal no inversor. La salida vale ahora $(R' + R)/R$ veces la de entrada para tensiones positivas y $v_o = v_i$ para entradas negativas. El Prob. 16-43 indica un sistema de onda completa.

Detector de media activo. Consideremos el circuito de la Fig. 16-37*a* en cascada con el filtro de paso bajo de la Fig. 16-37*b*. Si v_i es una portadora modulada en amplitud (Fig. 4-27), el filtro R_1C elimina la portadora y v' es proporcional al valor medio de la señal de audio. En otras palabras, esta configuración representa un *detector de media*.

Detector de picos activo. Si se añade un condensador a la salida del diodo de precisión de la Fig. 16-36*a*, tendremos un detector de picos. El condensador de la Fig. 16-38*a* mantendrá la salida en el momento $t = t'$ al valor más positivo alcanzado por la entrada v_i antes del momento t', tal como indica la Fig. 16-38*b*. Esto se debe a que, si $v_i > v_o$, la salida v' del amplificador operacional es positiva, de tal forma que D conduce. El condensador se carga entonces a través de D (mediante la corriente de salida del amplificador) al valor de la entrada, ya que el circuito es un seguidor de tensión. Cuando v_i disminuye por debajo de la tensión del condensador, la salida pasa a ser negativa y el diodo queda polarizado en sentido inverso. Por lo tanto, el condensador queda cargado al valor más positivo de la entrada.

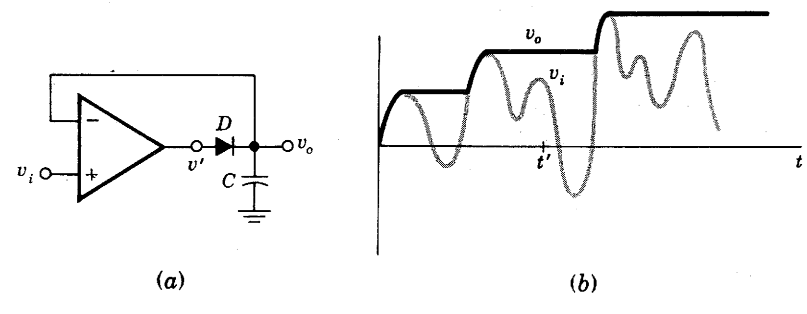


Fig. 16-38. (*a*) Detector de picos positivos. (*b*) Onda de entrada arbitraria v_i y la correspondiente salida v_o

Este circuito es un caso especial del de retención de señal, y las consideraciones sobre las corrientes de fuga del condensador dadas en la Sec. 16-12 también se pueden aplicar a esta configuración. Si la salida está cargada, se deberá emplear un seguidor de tensión compensado a fin de prevenir la descarga del condensador C. Para la reposición del circuito, se debe colocar un interruptor de bajas pérdidas tal como una puerta MOSFET, en paralelo con el condensador.

16-14. AMPLIFICADORES LOGARITMICOS[12]

En la Fig. 16-39*a* se indica un amplificador operacional con la resistencia de realimentación R' sustituida por el diodo $D1$. Este amplificador se emplea cuando se desea una tensión de salida proporcional al logaritmo de la tensión de entrada.

De la Ec. (3-9), la característica tensión-corriente del diodo será:

$$I_f = I_o(\epsilon^{V_f/\eta V_T} - 1) \approx I_o \epsilon^{V_f/\eta V_T}$$

aceptando que: $V_f/\eta V_T \gg 1$ ó $I_f \gg I_o$. De ahí que:

$$V_f = \eta V_T\,(1 I_f - 1 I_o) \qquad (16\text{-}60)$$

Como $I_f = I_s = V_s/R$, a causa de la tierra virtual en la entrada del amplificador, tendremos:

$$V_o = -\,V_f = -\,\eta V_T\left(1\frac{V_s}{R} - 1 I_o\right) \qquad (16\text{-}61)$$

Vemos en la Ec. (16-61) que la tensión de salida V_o depende de la temperatura debido al factor de escala ηV_T y a la corriente de saturación I_o. Ambos efectos de la temperatura pueden reducirse empleando el circuito de la Fig. 16-39*b*, en el que los diodos $D1$ y $D2$ están aparejados, R_T depende de la temperatura, y la fuente constante I es independiente de T.

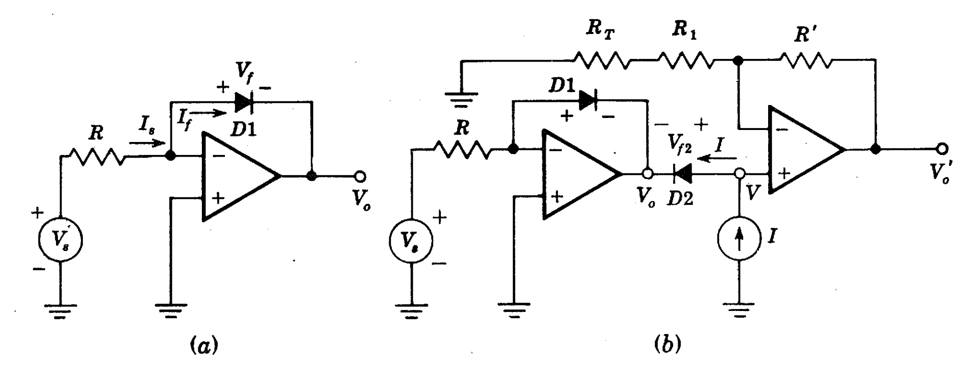


Fig. 16-39. (*a*) Amplificador logarítmico para una tensión de entrada positiva V_s. (*b*) Amplificador con compensación de temperatura

De este circuito tenemos, empleando la Ec. (16-61):

$$V = V_{f2} + V_o = \eta V_T\left(1I - 1I_o - 1\frac{V_s}{R} + 1 I_o\right) = -\eta V_T 1\frac{V_s}{RI}$$

Por lo tanto, la tensión de salida V'_o será:

$$V'_o = -\,\frac{R_T + R_1 + R'}{R_1 + R_T}\,\eta\, V_T 1\,\frac{V_s}{RI} \qquad (16\text{-}62)$$

La función de temperatura de R_T se selecciona con objeto de compensar aproximadamente el factor ηV_T de la Ec. (16-62).

Amplificador logarítmico empleando transistores aparejados. En lugar de dos diodos aparejados, caben emplear dos transistores de la misma ganancia conectados como la Fig. 16-40*a* para eliminar el factor η de la expresión de V'_o, cuyo valor depende normalmente de la corriente que atraviesa el diodo. En la Fig. 16-40*a*, $Q1$ se emplea como elemento de realimentación en torno del primer amplificador operacional. Si despreciamos $V_{BE1} - V_{BE2}$ respecto a V_{CC}, y puesto que $I_{B2} \ll I_{C2}$, tendremos:

$$I_{C2} \approx \frac{V_{CC}}{R_6} \quad \text{e} \quad I_{C1} = \frac{V_s}{R_1 + R_4} = \frac{V_s}{2R_1} \qquad (16\text{-}63)$$

De la Ec. (15-21) se obtiene

$$V_{BE1} - V_{BE2} = V_T 1 I_{C1} - V_T 1 I_{c2} = V_T 1\left(\frac{V_s}{2R_1}\,\frac{R_6}{V_{CC}}\right) \qquad (16\text{-}64)$$

Como la base de $Q1$ está a tierra, aparece negativo de la tensión anterior en el terminal no inversor del segundo amplificador operacional, cuya ganancia está determinada por las resistencias R_7 y R_8. Por lo tanto:

$$V_o = -\,V_T\frac{R_7 + R_8}{R_7}\,1\left(\frac{V_s}{2R_1}\,\frac{R_6}{V_{CC}}\right) \qquad (16\text{-}65)$$

La anterior función de transferencia del amplificador está representada en la Fig. 16-40*b* para distintas temperaturas de funcionamiento. Vemos que el margen dinámico se extiende de 5 mV hasta 50 V de tensión de entrada, o sea 80 dB. De la Ec. (16-65):

$$\frac{dV_o}{d(1\,V_s)} = -\,V_T\left(\frac{R_7 + R_8}{R_7}\right) = -\,0{,}026 \times \frac{43{,}8}{0{,}52} = -\,2{,}20$$

que está de acuerdo con la pendiente obtenida en la Fig. 16-40*b*.

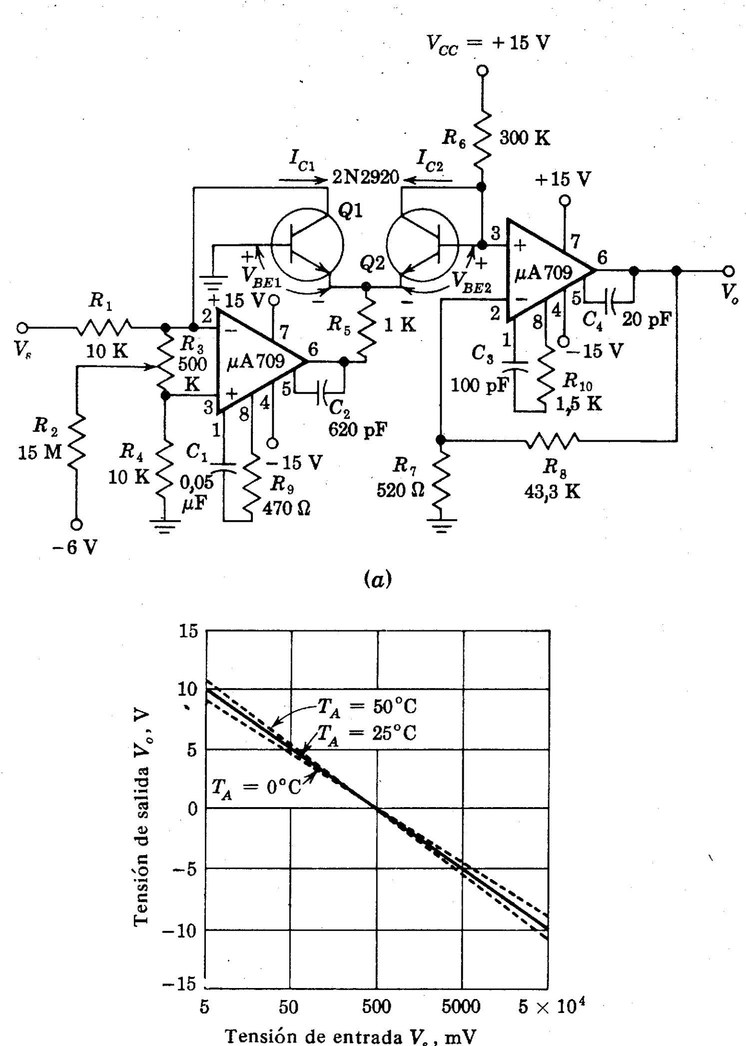


Fig. 16-40. (*a*) Amplificador logarítmico. (*b*) Característica de transferencia. (Cortesía de Fairchild Semiconductor, Inc.)

Amplificador antilogaritmo. Los amplificadores comentados anteriormente dan una salida V_o proporcional al logaritmo natural de la entrada V_s, o sea

$$V_o = K_1 \, 1 K_2 V_s \tag{16-66}$$

A veces se desea una salida proporcional al antilogaritmo (1^{-1}) de salida, es decir:

$$V_o = K_3 \, 1^{-1} K_4 V_s \tag{16-67}$$

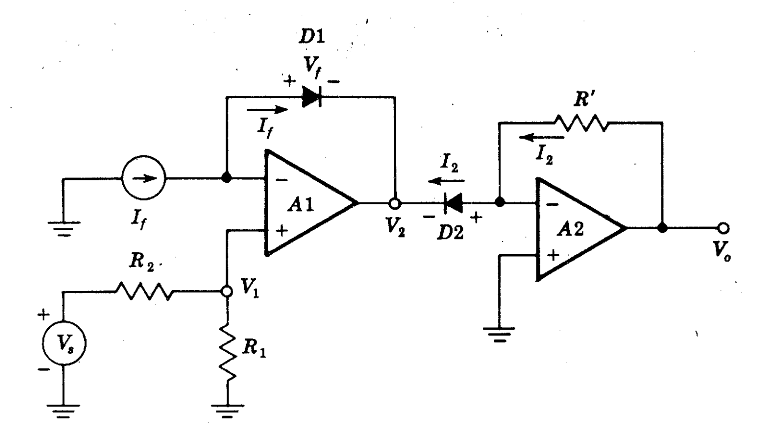


Fig. 16-41. Amplificador antilogarítmico

El circuito de la Fig. 16-41 puede emplearse como amplificador antilogaritmo. Si suponemos una resistencia de entrada infinita para A_1 y A_2, así como una entrada diferencial cero en cada amplificador operacional, obtendremos:

$$V_2 = -V_f + V_1 = -\eta V_T\,(1\,I_f - 1\,I_o) + \frac{R_1}{R_1 + R_2} V_s \tag{16-68}$$

y como V_2 es el valor negativo del potencial a traves de $D2$,

$$V_2 = -\eta V_T\,(1 I_2 - 1 I_o) \tag{16-69}$$

Combinando las Ec. (16-68) y (16-69), obtendremos

$$V_s \frac{R_1}{R_1 + R_2} = \eta V_T \, 1 \frac{I_f}{I_2} = \eta V_T \, 1 \frac{I_f R'}{V_o} \tag{16-70}$$

ya que $V_o = I_2 R'$. Finalmente, de la Ec. (16-70) se deduce que:

$$V_o = R' I_f \, 1^{-1} \left[-V_s \left(\frac{R_1}{R_1 + R_2} \, \frac{1}{\eta V_T} \right) \right] \tag{16-71}$$

La Ec. (16-71) tiene la forma dada en la Ec. (16-67).

Veremos en el problema 16-45 que es posible elevar la entrada V_s a un potencial arbitrario, combinando amplificadores log. y antilog.

Multiplicador logarítmico. Los amplificadores log. y antilog. pueden emplearse para la multiplicación o división de dos señales analógicas V_{s1} y V_{s2}. En la Fig. 16-42 se toma el logaritmo de cada entrada, se suman éstas, y el antilog. de la suma nos dará el producto de las dos entradas. Por lo tanto:

$$V_1 = K_1 \, 1 \, V_{s1} + K_1 \, 1 \, V_{s2} = K_1 \, 1 \, V_{s1} V_{s2} \tag{16-72}$$

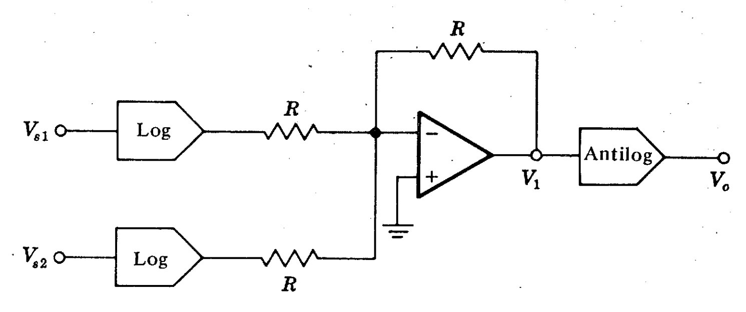


Fig. 16-42. Multiplicador logarítmico de dos señales analógicas ($V_o = K V_{s1} V_{s2}$)

y

$$V_o = K_2\ \mathrm{l}^{-1}\ K_3 V_1 = K_2\ \mathrm{l}^{-1}\ (K_3 K_1\ \mathrm{l}\ V_{s1} V_{s2}) \qquad (16\text{-}73)$$

Si $K_3 K_1 = 1$, entonces

$$V_o = K_2 V_{s1} V_{s2} \qquad (16\text{-}74)$$

El cociente de las señales de entrada puede hallarse restando los logaritmos de V_{s1} y V_{s2} y luego hallar el antilogaritmo. Debe tenerse en cuenta que el multiplicador o divisor logarítmico sólo se emplea para entrada unipolar. A esta forma de operar se la denomina a menudo de cuadrante único. También cabe emplear otras técnicas[13] para lograr el producto de dos señales.

Amplificador multiplicador diferencial. En las Ec. (15-24) y (15-23), observamos que la tensión de salida de un amplificador diferencial depende de la fuente de corriente I. Si V_{s1} se aplica a una entrada y V_{s2} se utiliza para variar I, como en la Fig. 16-43, la salida

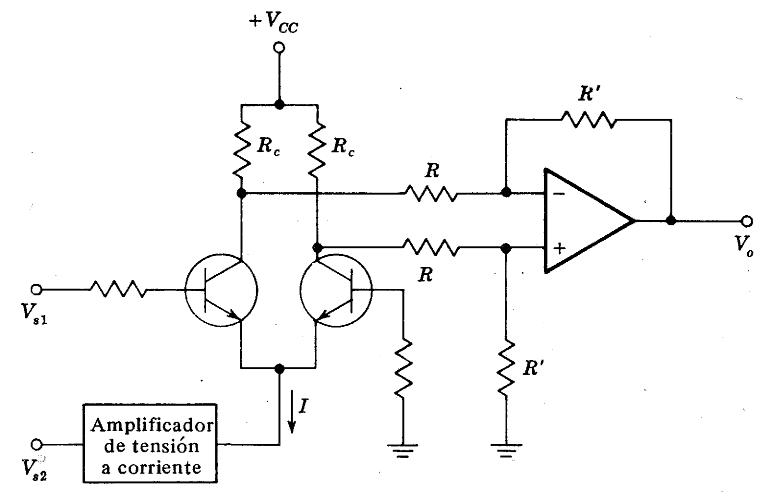


Fig. 16-43. Multiplicador de transconductancia variable ($V_o = K V_{s1}, V_{s2}$)

será proporcional al producto de las dos señales $V_{s1} V_{s2}$. El dispositivo AD 530 fabricado por Analog Devices, Inc., es un multiplicador divisor monolítico completo con una aproximación básica del 1 % y una anchura de banda de 1 MHz. Como multiplicador, el AD 530 tiene la función de transferencia $XY/10$ y como divisor, $+ 10Z/X$. Los niveles de entrada X, Y y Z son de ± 10 V para la multiplicación, y la salida es de ± 10 V a 5 mA. Como divisor, el funcionamiento queda restringido a dos cuadrantes (en los que X es negativo).

16-15. GENERADORES DE FORMA DE ONDA[9]

El amplificador operacional comparador, juntamente con un integrador, puede emplearse como generador de onda cuadrada, de impulsos, o triangular, como seguidamente demostraremos.

Generador de onda cuadrada. En la Fig. 16-44*a*, la salida v_o se pone a tierra a través de dos diodos Zener conectados en oposición, lo que limita la tensión a $+ V_{Z2}$ o $- V_{Z1}$, si $V_\gamma \ll V_Z$ (Fig. 4-11). Una fracción de la salida $\beta = R_3/(R_2 + R_3)$ realimenta el terminal no inversor de entrada. La tensión diferencial de entrada v_i viene dada por

$$v_i = v_c - \beta v_o \qquad (16\text{-}75)$$

De la característica de transferencia del comparador dada en la Fig. 16-33 vemos que, si v_i es positiva (en por lo menos 1 mV), entonces $v_o = - V_{Z1}$, mientras que si v_i es negativa (en por lo menos 1 mV), entonces $v_o = + V_{Z2}$. Consideremos un instante en el que $v_i < 0$ o $v_c < \beta v_o = \beta V_{Z2}$. El condensador C se carga exponencialmente hacia V_{Z2} a través de la combinación integradora $R'C$. La salida permanece constante a V_{Z2}, hasta que v_c se iguala a $+ \beta V_{Z2}$, en cuyo momento la salida del comparador pasa a $- V_{Z1}$. Ahora v_c se carga exponencialmente hacia $- V_{Z1}$. La tensión de salida v_o y la tensión del condensador v_c tienen las formas de onda indicadas en la Fig. 16-44*b*, en el caso especial de que

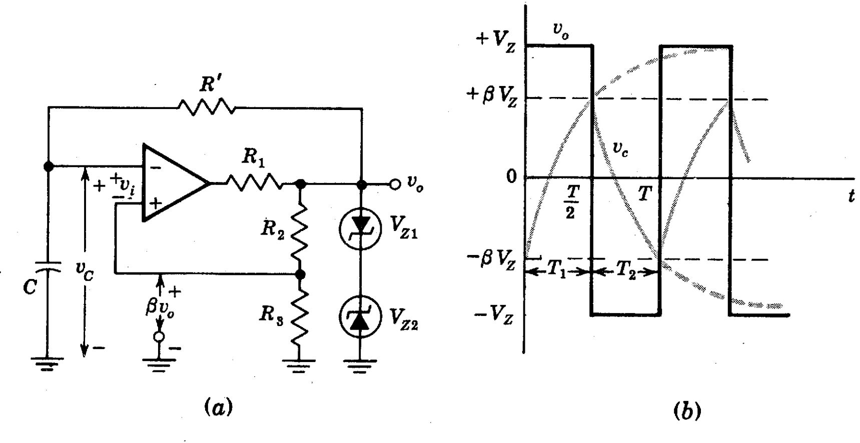


Fig. 16-44. (*a*) Generador de onda cuadrada. (*b*) Forma de onda de las tensiones de salida y del condensador

$V_{Z1} = V_{Z2} = V_Z$. Si tomamos $t = 0$ cuando $v_c = -V_Z$ para la primera mitad del ciclo, tendremos:

$$v_c(t) = V_Z[1 - (1+\beta)\epsilon^{-t/R'C}] \tag{16-76}$$

Puesto que cuando $t = T/2$, $v_c(t) = +\beta V_Z$, hallaremos T despejándolo de la Ec. (16-76), y nos viene dado por:

$$T = 2R'C1\,\frac{1+\beta}{1-\beta} \tag{16-77}$$

Obsérvese que T es independiente de V_Z.

Este generador de onda cuadrada se emplea fundamentalmente en el margen de frecuencias comprendido entre 10 Hz y 10 kHz. Para más altas frecuencias, el retraso de tiempo del amplificador operacional cuando funciona no saturado, a lo largo de la zona lineal, y saturado en sentido opuesto, pasa a ser significativo. También la relación de variación del amplificador operacional limita la pendiente de la onda cuadrada de salida. La estabilidad de frecuencia depende fundamentalmente de la del diodo Zener y del condensador, mientras que la simetría depende del aparejamiento de los dos diodos Zener. Si se desea una onda cuadrada asimétrica, entonces $V_{Z1} \neq V_{Z2}$.

El circuito funciona tal como se ha explicado anteriormente, si $R_1 = 0$ y si se suprimen los diodos de avalancha. Por tanto, ahora la amplitud de la onda cuadrada depende de la tensión de la fuente de alimentación (± 5,8 V para el MC 1530, caso de emplear una alimentación de ± 6 V como en la Sec. 15-5).

El circuito de la Fig. 16-44 se denomina *multivibrador astable* debido a tener dos estados casi-estables. La salida permanece en uno de los dos estados durante un tiempo T_1, pasa bruscamente al segundo estado en el que permanece un tiempo T_2, y el ciclo se repite con un período $T = T_1 + T_2$.

Generador de impulsos. Un multivibrador monoestable tiene un estado estable y otro casi-estable. Este circuito permanece en su estado estable hasta que una señal de disparo provoca la transición al estado casi-estable. Posteriormente, al cabo de un tiempo T, el circuito regresa a su posición estable. Por tanto se ha generado un solo impulso y el circuito se denomina de *disparo único.*

El generador de onda cuadrada de la Fig. 16-44 se ha modificado en la Fig. 16-45 para que funcione como multivibrador monoestable, añadiendo un diodo ($D1$) en paralelo con el condensador C e introduciendo un impulso de disparo negativo muy estrecho a través de $D2$ al terminal no inversor. Vamos a ver seguidamente el funcionamiento del circuito. Supongamos que se halla en estado estable con la salida a $v_o = +V_Z$ y el condensador cargado a:

$$v_c = V_1 \approx 0{,}7\text{ V}$$

(la tensión de $D1$ en estado de conducción con $\beta V_Z > V_1$). Si la amplitud del disparo es mayor que $\beta V_Z - V_1$, entonces causará una salida de $v_o = -V_Z$ del comparador. El condensador se cargará entonces a través de R' hasta $-V_Z$, debido a que $D1$ queda polarizado inversamente. Cuando v_c sea más negativa que $-\beta V_Z$, la salida del comparador volverá a $+V_Z$. El condensador se empieza a cargar hacia $+V_Z$ a través de R' hasta que

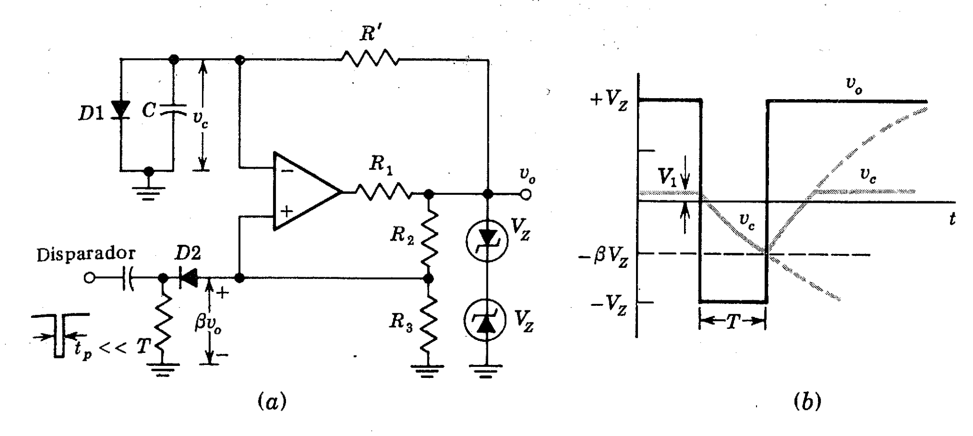


Fig. 16-45. (*a*) Multivibrador monoestable. (*b*) Forma de onda de las tensiones de salida y del condensador

v_c alcance V_1 y C alcance de nuevo $v_c = V_1$. En el Prob. 16-48 veremos que la anchura del impulso T viene dada por:

$$T = R'C1\,\frac{1 + (V_1/V_Z)}{1-\beta} \tag{16-78}$$

Si $V_Z \gg V_1$ y $R_2 = R_3$, de tal manera que $\beta = ½$, entonces $T = 0{,}69\,R'C$. Para anchos reducidos del impulso el tiempo de interrupción del comparador pasa a ser importante y limita el funcionamiento del circuito. Si $R_1 = 0$ y los diodos Zener se eliminan, la Ec. (16-78) permanece válida con $V_Z = V_{CC} - V_{CE,\text{sat}}$ (Sec. 15-5).

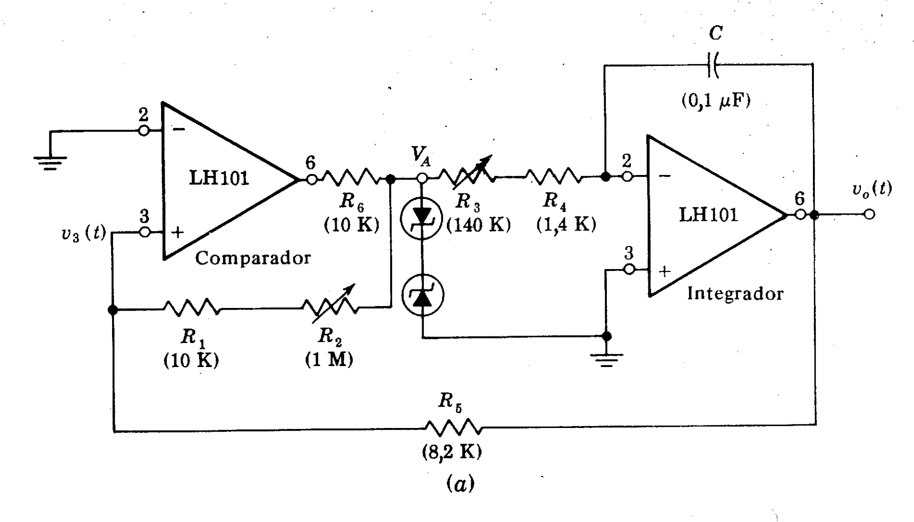
Generador de onda triangular. Observemos en la Fig. 16-44*b* que v_c tiene una forma de onda triangular, pero los lados del triángulo son exponenciales en lugar de líneas rectas. Para hacer los triángulos lineales, se precisa que el condensador se cargue con una corriente constante en lugar de la corriente exponencial suministrada a través de R en la Fig. 16-44*b*. En la Fig. 16-46, se emplea un amplificador operacional integrador para alimentar con corriente constante el condensador C, con lo que la salida será lineal. Debido a la inversión del integrador, la tensión realimenta al terminal no inversor del comparador en lugar de hacerlo al terminal inversor como en la Fig. 16-44.

Cuando el comparador alcanza cualquiera de los dos estados, positivo o negativo, de saturación, los diodos Zener fijan la tensión V_A a $+V_Z$ o $-V_Z$. Supongamos que $V_A = +V_Z$ en el instante $t = t_o$. La corriente que circula hacia el integrador es:

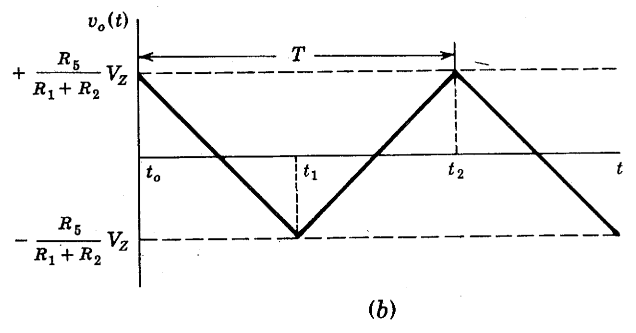
$$I^+ = \frac{V_Z}{R_3 + R_4} \tag{16-79}$$

y la salida del integrador se transforma en una rampa negativa, o sea:

$$v_o(t) = v_o(t_o) - \frac{1}{C}\int_{t_0}^{t} I^+\,dt = v_o(t_o) - \frac{I^+}{C}(t - t_o) \tag{16-80}$$



(a)



(b)

Fig. 16-46. (a) Generador de onda triangular práctico. (b) Forma de onda de la salida. (Cortesía de National Semiconductor Corp.)

La tensión en el terminal 3 del detector de umbral es, empleando el teorema de superposición:

$$v_3(t) = \frac{R_5 V_Z}{R_1 + R_2 + R_5} + \frac{(R_1 + R_2)v_o(t)}{R_1 + R_2 + R_5} \tag{16-81}$$

Cuando $v_3(t)$ pasa por cero y se transforma en negativa, la salida del comparador cambia al estado de salida negativa y $V_A = -V_Z$. En este momento, $t = t_1$, $v_3(t_1) = 0$, y por la Ec. (16-81) encontramos:

$$v_o(t_1) = -\frac{R_5}{R_1 + R_2} V_Z \tag{16-82}$$

La corriente de alimentación del integrador para $t_2 > t > t_1$ será:

$$I^- = -\frac{V_Z}{R_3 + R_4} = -I^+$$

y la salida del integrador $v_o(t)$ se convierte en una rampa positiva con la misma pendiente que tenía la rampa negativa. Al cabo de un tiempo t_2, cuando:

$$v_o(t_2) = +\frac{R_5}{R_1 + R_2} V_Z \tag{16-83}$$

el comparador vuelve a tener salida positiva y el ciclo se repite.

La frecuencia de la onda triangular se determina por la ecuación (16-80) y la Fig. (16-46), y viene dada por:

$$f = \frac{R_1 + R_2}{4(R_3 + R_4)R_5 C} \tag{16-84}$$

La amplitud puede controlarse mediante la relación $R_5\ V_Z/(R_1 + R_2)$. Los picos positivos y negativos son iguales si los diodos Zener están aparejados. Se puede desplazar el triángulo respecto a tierra si conectamos una tensión continua al terminal inversor del detector de umbral o comparador.

El circuito práctico indicado en la Fig. 16-46 emplea el amplificador operacional LH 101 compensado internamente para una realimentación de ganancia unidad. Este amplificador operacional integrado monolítico tiene una tensión offset de entrada máxima de 5 mV y una corriente máxima de polarización de 500 nA. Para la simetría del funcionamiento, la corriente en el integrador deberá ser grande respecto a la I_{pol}, y el pico del triángulo de salida deberá ser grande respecto a la tensión offset de entrada.

El diseño de generadores monoestables y astables con el empleo de componentes discretos se considera detalladamente en la Ref. 3 del Cap. 11. En el Prob. 17-57 se indica la construcción de disparos únicos con puertas lógicas.

16-16. COMPARADOR REGENERATIVO (DISPARADOR DE SCHMITT)[14]

Como se ha indicado en la Fig. 16-33, la característica de transferencia del amplificador diferencial MC 1530 da lugar a un cambio de salida de -5 V a $+5$ V para un cambio de 2 mV en la tensión de entrada. De ahí que la pendiente media de esta curva o la ganancia de tensión para grandes señales A_V sea $A_V = 10/2 \times 10^{-3} = 5\ 000$. (En la Sec. 15-5 se calcula la ganancia incremental en el centro de la característica que es 8 670.) La ganancia puede aumentarse grandemente empleando una realimentación de tensión en serie positiva (regenerativa), tal como se indica en las figuras 16-44 y 16-45 para los multivibradores astable y monoestable. En consecuencia, la variación total de salida tiene lugar en un intervalo de tiempo en el que la entrada cambia en mucho menos de 2 mV. Teóricamente, si la ganancia de lazo $-\beta A_V$ se ajusta a la unidad, entonces la ganancia con realimentación A_{Vf} se transforma en infinita [Ec. (13-4)]. De esta situación ideal resulta una transición abrupta (tiempo de subida cero) entre los valores extremos de la tensión de salida. Si se elige una ganancia del lazo superior a la unidad, la forma de la onda de salida continúa siendo virtualmente discontinua a la tensión de referencia. Por otra parte, el circuito presenta ahora un fenómeno de *histéresis*, que se explica seguidamente.

El comparador regenerativo de la Fig. 16-47*a* se denomina generalmente *disparador de Schmitt* (inventor de este circuito en su versión con tubos de vacío). La tensión de

entrada se aplica al terminal inversor 2 y la tensión de realimentación al terminal no inversor 1. El factor de realimentación es $\beta = R_2/(R_1 + R_2)$. Para $R_2 = 100\Omega, R_1 = 10$ K y $A_V = -5\,000$, la ganancia del lazo será:

$$-\beta A_V = 0{,}1 \times \frac{5\,000}{10{,}1} = 49{,}5 \gg 1$$

Supongamos que $v_i < v_1$, de modo que $v_o = +V_o$ (+ 5 V). Entonces, empleando la superposición, encontramos en la Fig. 16-47*a* que:

$$v_1 = \frac{R_1 V_R}{R_1 + R_2} + \frac{R_2 V_o}{R_1 + R_2} \equiv V_1 \qquad (16\text{-}85)$$

Si ahora se aumenta v_i, v_o permanece constante a V_o, y $v_1 = V_1$ = constante hasta que $v_i = V_i$. A esta tensión *umbral, crítica,* o *de disparo,* la salida cambia regenerativamente a $v_o = -V_o$ y permanece en este valor mientras $v_i > V_1$. La característica de transferencia se indica en la Fig. 16-47*b*.

La tensión del terminal no inversor para $v_i > V_1$ será:

$$v_1 = \frac{R_1 V_R}{R_1 + R_2} - \frac{R_2 V_o}{R_1 + R_2} \equiv V_2 \qquad (16\text{-}86)$$

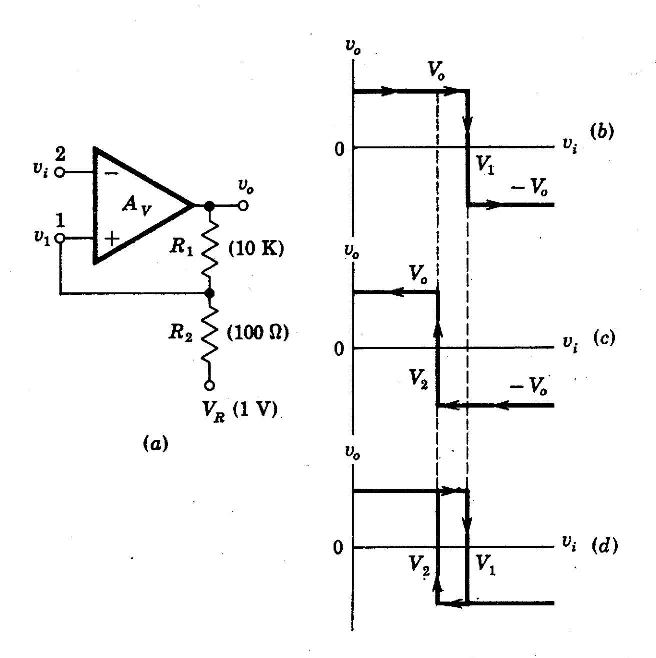


Fig. 16-47. (*a*) Disparador de Schmitt. Características de transferencia para (*b*) v_i creciente y (*c*) v_i decreciente. (*d*) Curva compuesta de entrada y salida

Para los valores de los parámetros dados en la Fig. 16-47 y con $V_o = 5$ V

$$V_1 = 0{,}99 + 0{,}05 = 1{,}04 \text{ V}$$

$$V_2 = 0{,}99 - 0{,}05 = 0{,}94 \text{ V}$$

Obsérvese que $V_2 < V_1$, y la diferencia entre estos dos valores se denomina *histéresis* V_H.

$$V_H = V_1 - V_2 = \frac{2R_2 V_o}{R_1 + R_2} = 0{,}10 \text{ V} \qquad (16\text{-}87)$$

Si ahora disminuye v_i, la salida permanecerá en $-V_o$ hasta que v_i se iguale a la tensión del terminal 1 o hasta que $v_i = V_2$. A esta tensión tiene lugar una transición regenerativa y, como se indica en la Fig. 16-47*c*, la salida retorna a $+V_o$ casi instantáneamente. La función de transferencia completa está indicada en la Fig. 16-47*c*, en la que las partes no señaladas con flechas pueden ser atravesadas en ambas direcciones, pero los demás segmentos sólo pueden obtenerse si v_i varía como indican las flechas. Obsérvese que, debido a la histéresis, el circuito dispara a más alta tensión con señales crecientes que con señales decrecientes.

Hemos observado con anterioridad que la ganancia de transferencia aumenta desde 5 000 hasta infinito, a medida que la ganancia del lazo aumenta desde cero a la unidad y que no hay histéresis mientras $-\beta A_V \leqslant 1$. Por otra parte, no es factible ajustar de forma precisa la ganancia a la unidad. Los parámetros del amplificador diferencial y, por lo tanto, la ganancia A_V, son variables dentro de los límites de la señal. Por lo tanto, un ajuste que asegurase una ganancia máxima de 1 daría lugar a una serie de tensiones a las cuales la ganancia sería menor que la unidad y, en consecuencia, disminuiría la velocidad de respuesta del circuito. Además, el circuito puede no ser lo suficientemente estable como para mantener la ganancia del lazo precisamente igual a la unidad durante un largo período de tiempo, sin frecuentes reajustes. En la práctica, la ganancia del lazo excede de la unidad y deberá tolerarse una pequeña histéresis. En la mayoría de los casos, un pequeño valor de V_H no debe preocupar, mas para otras aplicaciones, un gran margen de histéresis haría que el circuito no funcionara adecuadamente. Por lo tanto, si la señal de pico a pico fuese menor que V_H, el circuito de Schmitt después de responder a la tensión umbral en una dirección nunca se repondría por sí mismo. En otras palabras, una vez la salida subiera hasta, digamos V_o, permanecería a este nivel y jamás volvería a $-V_o$.

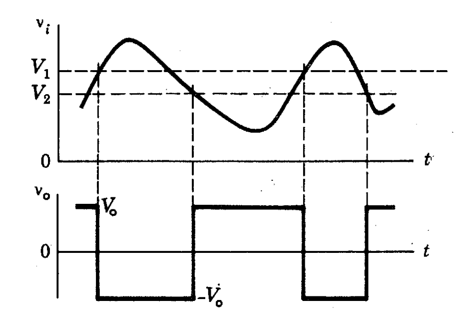


Fig. 16-48. Respuesta de un disparador de Schmitt a una señal de entrada arbitraria

El empleo más importante que se le da al disparador de Schmitt es el de convertir señales de entrada con variaciones muy lentas de tensión en salidas muy abruptas (casi discontinuas), a un determinado valor de la entrada. Este comparador regenerativo puede emplearse en todas las aplicaciones indicadas en la sección 16-11. Por ejemplo, la Fig. 16-48 muestra el uso del disparador de Schmitt en un circuito que transforma una señal en una onda cuadrada. La señal de entrada es arbitraria, siempre que su variación sea lo suficientemente grande como para llevar la entrada más allá de los límites del margen de histéresis V_H. La salida tiene la forma cuadrada indicada en la figura, y su amplitud es independiente del valor pico a pico de la onda de entrada. La salida tiene unos frentes anterior y posterior mucho más rápidos que la entrada.

En la Ref. 3, Sec. 10-11 y 10-13, se explica con detalle un diseño de disparador de Schmitt con componentes discretos.

16-17. LOGICA DE EMISOR ACOPLADO[15]

En la Sec. 15-4 se comentó la característica de transferencia de un amplificador diferencial. Vimos que la corriente de emisor permanece fundamentalmente constante, y que esta corriente es conmutada de un transistor a otro cuando la señal del transistor de entrada varía desde 0,1 V por debajo, a 0,1 V por encima de la tensión de referencia V_{BB} en la base del segundo transistor (Fig. 15-9). Excepto para márgenes muy estrechos de la tensión de entrada, la tensión de salida sólo toma uno de los dos valores posibles, transformándose por lo tanto en un circuito binario. De ahí que el amplificador diferencial, visto con detalle en este capítulo en sistemas analógicos, sea también importante como dispositivo digital. La familia lógica basada en este bloque constructivo básico se denomina *lógica de emisor acoplado* (ECL)* o *lógica de modo de corriente* (CML)*. Como en el amplificador diferencial rebanador o comparador, ningún transistor se lleva a saturación, la lógica de emisor acoplado es la más rápida de todas las familias lógicas (Tabla 6-5), y es posible un tiempo de retardo tan pequeño como 1 ns por puerta. La velocidad elevada obtenible con esta lógica está contrarrestada por el aumento de la potencia de disipación por cada puerta, respecto a las familias lógicas saturadas.

En la Fig. 16-49*a* aparece una puerta O de dos entradas (y también NOR). Este circuito se obtiene de la Fig. 15-6, empleando dos transistores en paralelo a la entrada. Consideremos la lógica positiva. Si A y B están las dos en el nivel inferior, ninguno de los dos $Q1$ o $Q2$ conducirá, mientras $Q3$ esté en la región activa. En estas circunstancias, Y es baja e Y' alta. Si indistintamente A o B están en el nivel superior, la corriente de emisor conmuta al transistor de entrada cuya base está alta, y la corriente de colector de $Q3$ cae aproximadamente a cero. Por lo tanto, Y pasará a ser alta e Y' bajará su tensión. Obsérvese que la lógica O se obtiene en la salida Y y la lógica NOR en la Y', de forma que $Y' = \bar{Y}$. En la Fig. 16-49*b* se indica el símbolo lógico de esta puerta O con las dos salidas, la verdadera y la falsa. La disponibilidad de las salidas complementarias constituye una clara ventaja para el ingeniero diseñador de circuitos lógicos, pues le evita la necesidad de agregar puertas simplemente como inversores.

Una de las dificultades de la topología de la Fig. 16-49*a* es la de que los niveles de $V(0)$ y $V(1)$ en las salidas difieren de los de las entradas. De ahí que se utilicen los seguidores de emisor $Q5$ y $Q6$ a la salida para suministrar el apropiado nivel de tensión continua. En la Fig. 16-50 se indica la puerta básica Motorola ECL, con tres entradas. La tensión de referencia $-V_{BB}$ se obtiene a partir de una red compensada en temperatura (que no se indica). El siguiente problema ilustrativo da el funcionamiento cuantitativo de la puerta.

* Siglas correspondientes a Emitter-Coupled Logic y Current-Mode Logic respectivamente. (*N. del T.*)

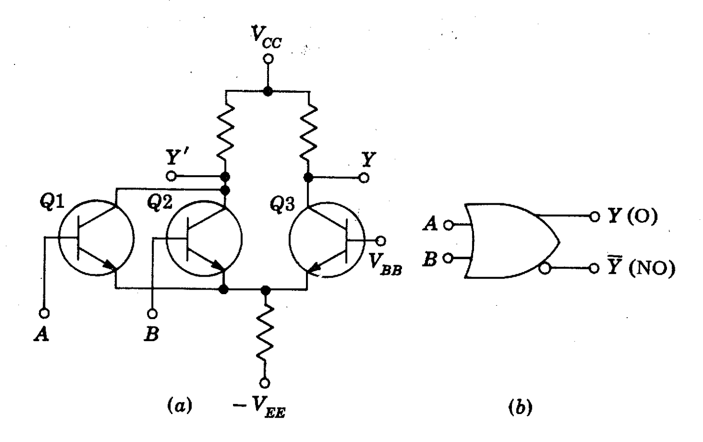


Fig. 16-49. (*a*) Amplificador diferencial convertido a un circuito lógico acoplado por emisor de dos entradas. (*b*) Símbolos para una puerta O/NOR de dos entradas

---

Ejemplo. (*a*) ¿Cuáles son los niveles lógicos en la salida Y de la puerta ECL de la Fig. 16-50? Supongamos una caída de 0,7 V entre la base y el emisor del transistor que conduce. (*b*) Calcular los márgenes de ruido. (*c*) Comprobar que el transistor conductor

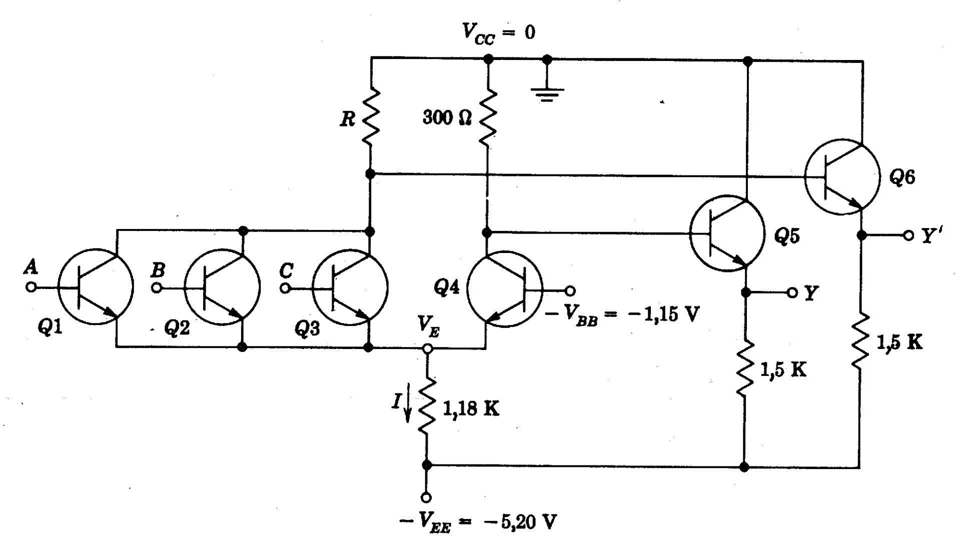


Fig. 16-50. Una puerta lógica O/NOR de tres entradas en emisor acoplado, sin desviación de nivel de continua entre las tensiones de entrada y de salida

esté en su región activa (no en saturación). (*d*) Calcular R de tal manera que el nivel lógico de Y' sea el complemento del de Y. (*e*) Hallar la potencia media disipada por la puerta.

SOLUCION. (*a*) Si todas las entradas están en el nivel inferior, supondremos que los transistores $Q1$, $Q2$ y $Q3$ están al corte, y que $Q4$ está conduciendo. La tensión del emisor común será:

$$V_E = -1{,}15 - 0{,}7 = -1{,}85 \text{ V}$$

La corriente I en la resistencia de 1,18 K será:

$$I = \frac{-1{,}85 + 5{,}20}{1{,}18} = 2{,}84 \text{ mA}$$

Despreciando la corriente de base comparada con la de emisor, I es la corriente en la resistencia de 300 Ω y la tensión de salida en Y será:

$$v_Y = -0{,}3I - V_{BE5} = -(0{,}3)(2{,}84) - 0{,}7 = -1{,}55 \text{ V} = V(0)$$

Si todas las entradas están a $V(0) = -1{,}55$ V y $V_E = -1{,}85$ V, la tensión de base a emisor de un transistor de entrada será:

$$V_{BE} = -1{,}55 + 1{,}85 = 0{,}30 \text{ V}$$

Como la tensión umbral es $V_{BE,\text{umbral}} = 0{,}5$ V (Tabla 5-1), los transistores de entrada no están conduciendo, tal como hemos supuesto más arriba.

Si por lo menos una de las entradas está a la tensión superior, suponemos entonces que la corriente en la resistencia de 1,18 K se conmuta a R, y $Q4$ queda al corte. La caída en la resistencia de 300 Ω es entonces cero. Puesto que la base y el colector de $Q5$ están efectivamente unidos entre sí, $Q5$ se transforma en un diodo. Suponiendo en primera aproximación una caída de 0,7 V en $Q5$, la corriente del diodo es $(5{,}20 - 0{,}7)/1{,}5 = 3{,}0$ mA. En la Fig. 7-19*a*, la tensión del diodo para 3,0 mA será 0,75 V. Por lo tanto:

$$v_Y = -0{,}75 \text{ V} = V(1)$$

Si una de las entradas está a $-0{,}75$ V, entonces $V_E = -0{,}75 - 0{,}7 = -1{,}45$ V y

$$V_{BE4} = -1{,}15 + 1{,}45 = 0{,}30 \text{ V}$$

lo cual ratifica la suposición de que $Q4$ está al corte; ya que $V_{BE,\text{umbral}} = 0{,}5$ V.

Obsérvese que el cambio total de salida entre los dos estados lógicos es solamente $1{,}55 - 0{,}75 = 0{,}80$ V (800 mV). Esta tensión es mucho menor que el valor obtenido con las puertas *DTL* o *TTL* (sobrepasa los 4 V).

(*b*) Si todas las entradas están a $V(0)$, entonces el cálculo demuestra en la parte (*a*) que un transistor de entrada está dentro de los $0{,}5 - 0{,}3 = 0{,}2$ V del umbral. Por lo tanto, una espuria positiva de ruido de 0,2 V causaría un mal funcionamiento de la puerta.

Si una de las entradas está a $V(1)$, entonces encontramos en la parte (*a*) que $V_{BE4} = 0{,}30$ V, con lo que una espuria negativa de ruido en la entrada de 0,2 V, hará caer a V_E en la misma cuantía y por lo tanto llevar a V_{BE4} a 0,5 V, bordeando la conducción. Obsérvese que los márgenes del ruido son realmente pequeños (± 200 mV).

(*c*) De la parte (*a*) tenemos que, cuando $Q4$ está conduciendo, la tensión de su colector respecto a tierra es la caída de potencial en la resistencia de 300 Ω, o sea $V_{C4} = -(0{,}3)(2{,}84) = -0{,}85$ V. Por lo tanto, la tensión en la unión del colector será:

$$V_{CB4} = V_{C4} - V_{B4} = -0{,}85 + 1{,}15 = +0{,}30 \text{ V}$$

Para un transistor *n-p-n*, esto representa una polarización inversa, y $Q4$ debe estar en su región activa.

Si una entrada cualquiera, por ejemplo A, está a $V(1) = -0{,}75 \text{ V} = V_{B1}$, entonces $Q1$ está conduciendo y la salida $Y' = \bar{Y} = V(0) = -1{,}55$ V. El colector de $Q1$ es más positivo que $V(0)$ en V_{BE6}, o sea:

$$V_{C1} = -1{,}55 + 0{,}7 = -0{,}85 \text{ V}$$

y

$$V_{CB1} = V_{C1} - V_{B1} = -0{,}85 + 0{,}75 = -0{,}10 \text{ V}$$

Para un transistor *n-p-n*, esto representa una polarización en sentido directo, pero con una magnitud menor que la tensión umbral de 0,5 V. Por tanto, $Q1$ *no* está en saturación, sino en su región activa.

(*d*) Si la entrada A está a $V(1)$, entonces $Q1$ conduce y $Q4$ está en corte. En tal caso,

$$V_E = V(1) - V_{BE1} = -0{,}75 - 0{,}7 = -1{,}45 \text{ V}$$

$$I = \frac{V_E + V_{EE}}{1{,}18} = \frac{-1{,}45 + 5{,}20}{1{,}18} = 3{,}17 \text{ mA}$$

En el apartado (*c*) encontramos que si $Y' = \bar{Y}$, entonces $V_{C1} = -0{,}85$ V. Este valor representa la caída en R, si despreciamos la corriente de base de $Q1$. Por lo tanto:

$$R = \frac{0{,}85}{3{,}17} = 0{,}27 \text{ K} = 270\ \Omega$$

Dicho valor de R asegura que, si una entrada es $V(1)$, entonces $Y' = V(0)$. Si todas las entradas están a $V(0) = -1{,}55$ V, entonces la corriente a través de R es cero y la salida es $-0{,}75 \text{ V} = V(1)$, independiente de R.

Nótese que si I hubiera permanecido constante, cuando la entrada ha cambiado de estado, R será idéntica a la resistencia de colector del $Q4$ (300 Ω). El cálculo hecho anteriormente demuestra que R es ligeramente inferior a este valor.

(*e*) Si la entrada está en la posición inferior, $I = 2{,}84$ mA (apartado *a*), mientras que si la entrada es alta, $I = 3{,}17$ mA (apartado *d*). La intensidad media I es ½(2,84 + 3,17) = 3,00 mA. Como $V(0) = -0{,}75$ V y $V(1) = -1{,}55$ V, las corrientes en los dos seguidores de emisor serán:

$$\frac{5{,}20 - 0{,}75}{1{,}50} = 2{,}96 \text{ mA} \quad \text{y} \quad \frac{5{,}20 - 1{,}55}{1{,}50} = 2{,}40 \text{ mA}$$

La corriente de alimentación total empleada es $3{,}00 + 2{,}96 + 2{,}40 = 8{,}36$ mA y la disipación de potencia es $5{,}20 \times 8{,}36 = 43{,}5$ mW.

Obsérvese que la corriente total empleada de la alimentación varía muy poco, tanto si la entrada se halla en un estado como si está en el otro. Por tanto, los picos de potencia (del tipo discutido en la Sec. 6-12 para las puertas TTL) son virtualmente inexistentes.

Si todas las entradas se hallan en la posición baja, la resistencia de entrada puede considerarse infinita, ya que todos los transistores están al corte. Si una entrada se halla en la posición alta, entonces $Q4$ está cortado, y la resistencia de entrada corresponde a la de un transistor con una resistencia de emisor $R_e = 1{,}18$ K, y apoyándose en la Ec. (8-55), se puede hacer una estimación razonable y considerar

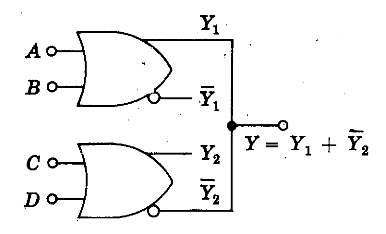


Fig. 16-51. Conexión O implicada, a la salida de dos puertas lógicas en emisor acoplado

que $R_i \approx 100$ K. La resistencia de salida es la de un seguidor de emisor (o un diodo) y un valor razonable podría ser el de $R_o \approx 15\ \Omega$.

Si las salidas de dos o más puertas lógicas de emisor acoplado están unidas entre sí como en la Fig. 16-51, se obtiene un circuito lógico O (Sec. 6-10) y (Prob. 16-53). Para esta aplicación, cabe emplear puertas de emisor abierto.

Resumen. Vamos a resumir, a continuación, las características más importantes de la puerta lógica de emisor acoplado.

Ventajas

1. Como los transistores no están saturados, se puede lograr una velocidad mayor que en cualquier otra familia lógica.
2. Como la resistencia de entrada es muy elevada y la de salida muy baja, son posibles salidas múltiples en abanico.
3. Se pueden tener salidas complementarias.
4. No se presentan picos de corriente en los conductores de la fuente de alimentación.
5. Cabe unir salidas para dar como resultado funciones O.
6. La degradación de los parámetros con la temperatura, es pequeña.
7. Es aplicable a un gran número de funciones.
8. Se pueden transmitir fácilmente datos a grandes distancias, mediante conductores de pares equilibrados de 50 Ω.

Inconvenientes

1. Existe pequeña diferencia de potencial (800 mV) entre los dos niveles lógicos, y el margen de ruido es de sólo ± 200 mV.
2. La disipación de potencia es elevada respecto a otras familias lógicas.
3. Se precisan cambiadores de nivel para conectarlos a otras familias.
4. La puerta se hace más lenta con una gran carga capacitiva.

REFERENCIAS

1. Korn, G. A. y T. M. Korn: "Electronic Analog and Hybrid Computers", McGraw-Hill Book Company, Nueva York, 1964.
2. Giacoletto, L. J.: "Differential Amplifiers", Wiley-Interscience, Nueva York, 1970.
3. Millman, J. y H. Taub: "Pulse, Digital, and Switching Waveforms", pp. 536-548, McGraw-Hill Book Company, Nueva York, 1965.
4. Huelsman, P. L.: "Active Filters", McGraw-Hill Book Company, Nueva York, 1970.

5. Valley, Jr., C. E. y H. Wallman: "Vacuum Tube Amplifiers", apéndice A, McGraw-Hill Book Company, Nueva York, 1948.
6. Kuo, F. F.: "Network Analysis and Synthesis", John Wiley & Sons, Inc., Nueva York, 1972.
7. Stremler, F. G.: "Design of Active Bandpass Filters", *Electronics,* vol 44, n.º 12, pp. 86-89, 7 de junio de 1971.
8. Linvill, J. G. y J. F. Gibbons: "Transistors and Active Circuits", cap. 14, McGraw-Hill Book Company, Nueva York, 1961.
9. Graeme, J. G. y T. E. Tobey: "Operational Amplifiers. Design and Applications", McGraw-Hill Book Company, Nueva York, 1971.
10. Ref. 3, pp. 649-658.
11. Dow, Jr., P. C.: "An Analysis of Certain Errors in Electronic Differential Analyzers: Capacitor Dielectric Absorption", *IRE Trans. Electronic Computers,* marzo de 1958, pp. 17-22.
12. Dobkin, R. C.: "Linear Brief 8", National Semiconductor Corporation. Agosto de 1969.
13. Gilbert, B.: "A Precise Four-quadrant Multiplier with Subnanosecond Response", *IEEE J. Solid State Circuits,* diciembre de 1968, p. 210.
14. Sifferlen, T. P. y V. Vartanian: "Digital Electronics with Engineering Applications", Prentice-Hall Inc., Englewood Cliffs, N. J. 1970.
15. Garret, L. S.: "Integrated Circuit Digital Logic Families", *IEEE Spectrum,* vol. 7, n.º 12, pp. 30-42, diciembre de 1970.

TEMAS DE REPASO

16-1 Representar un amplificador operacional conectado como (*a*) un *inversor,* (*b*) un *cambiador de escala,* (*c*) un *fasómetro,* (*d*) *un sumador.*

16-2 Dibujar un circuito *convertidor de tensión a corriente* en los casos de (*a*) carga flotante, (*b*) carga a tierra.

16-3 Dibujar un circuito *convertidor de corriente a tensión.* Explíquese su funcionamiento.

16-4 Dibujar un circuito *seguidor de tensión* para continua y explicar su funcionamiento.

16-5 Dibujar el circuito de un amplificador diferencial para continua, teniendo: (*a*) baja resistencia de entrada, (*b*) resistencia de entrada elevada.

16-6 Dibujar un circuito *seguidor de tensión* para alterna, que tenga resistencia de entrada muy elevada. Explíquese su funcionamiento.

16-7 Dibujar el circuito de un amplificador operacional integrador e indicar cómo se aplican las condiciones iniciales. Explicar su funcionamiento.

16-8 Describir las características ideales de cada uno de los siguientes filtros: (*a*) paso bajo, (*b*) paso alto, (*c*) paso de banda y (*d*) rechazo de banda.

16-9 Dibujar el prototipo de una sección de filtro activo de paso bajo de (*a*) primer orden, (*b*) segundo orden, (*c*) tercer orden.

16-10 (*a*) Obtener la respuesta de frecuencia de un circuito *RLC* en función de ω_o y Q. (*b*) Comprobar que la anchura de banda viene dada por f_o/Q. (*c*) ¿Qué se entiende por un filtro pasa banda activo resonante?

16-11 (*a*) Se aplica una señal V_s al terminal inversor (2) de un amplificador operacional a través de Z_1 y al terminal no inversor (1) a través de Z_2. Entre (1) y tierra hay una impedancia Z_3, y entre (2) y la salida hay otra Z_4. Obtener la expresión de la ganancia. (*b*) ¿Cómo se deben elegir Z_1, Z_2, Z_3 y Z_4 para que el circuito sea un *compensador de retardo*?

16-12 (*a*) Representar el bloque constructivo básico de un amplificador integrado sintonizado. (*b*) Explicar cómo se obtiene el control automático de ganancia (AGC). (*c*) ¿Por qué este control automático no da lugar a pérdida de sintonización?

16-13 Definir los parámetros *y*, (*a*) mediante ecuaciones y (*b*) verbalmente. (*c*) ¿Qué parámetros *y* son despreciables para un circuito cascodo?

16-14 Dibujar el circuito de un *modulador de amplitud* y explicar su funcionamiento.

16-15 (*a*) Dibujar el circuito de un amplificador integrado de video con control automático de ganancia. (*b*) Representar el modelo para pequeña señal.

16-16 (*a*) ¿En qué consiste un comparador integrado? (*b*) Representar la característica de transferencia e indicar los valores de tensión típicos.

16-17 Representar el circuito convertidor de una senoide (*a*) en una onda cuadrada, (*b*) en una serie de impulsos positivos, uno por ciclo.

16-18 Explicar cómo se puede medir la diferencia de fase entre dos senoides.

16-19 Representar un circuito *retenedor de información* y explicar su funcionamiento.

16-20 Dibujar un circuito de (*a*) diodos de precisión y (*b*) rebanador, y explicar su funcionamiento.

16-21 (*a*) Representar un circuito rectificador de media onda y explicar su funcionamiento. (*b*) ¿Cómo se convierte este circuito en un detector de media?

16-22 Representar el circuito de un detector de picos y explicar su funcionamiento.

16-23 (*a*) Representar el circuito de un amplificador logarítmico empleando un amplificador operacional, y explicar su funcionamiento. (*b*) En la Sec. 16-14 se citan amplificadores logarítmicos más complicados. ¿Cuál es el objeto de estos circuitos?

16-24 Indicar esquemáticamente cómo se multiplican dos tensiones analógicas con amplificadores log. y antilog.

16-25 Explicar cómo se multiplican dos tensiones analógicas empleando un amplificador diferencial.

16-26 (*a*) Dibujar el circuito de un generador de onda cuadrada empleando un amplificador operacional. (*b*) Explicar su funcionamiento mediante el dibujo de la forma de onda de tensión del condensador. (*c*) Deducir la expresión del período de una onda simétrica.

16-27 (*a*) Dibujar el circuito de un generador de impulsos (multivibrador monoestable) empleando un amplificador operacional. (*b*) Explicar su funcionamiento haciendo referencia a la forma de onda del condensador.

16-28 (*a*) Dibujar el circuito de un generador de onda triangular, empleando un comparador y un integrador. (*b*) Explicar su funcionamiento haciendo referencia a la onda de salida. (*c*) ¿Qué es la amplitud de pico?

16-29 (*a*) Representar un sistema comparador regenerativo y explicar su funcionamiento. (*b*) ¿Qué parámetros determinan la ganancia del lazo? (*c*) ¿Qué parámetros determinan la histéresis? (*d*) Representar la función de transferencia e indicar la histéresis.

16-30 (*a*) Representar una puerta lógica en emisor acoplado con dos entradas O (y también NOR). (*b*) ¿Qué parámetros determinan el margen de ruido? (*c*) ¿Por qué las dos resistencias de colector son desiguales? (*d*) Explicar por qué los picos de potencia en la línea son prácticamente inexistentes.

16-31 Citar y razonar por lo menos cuatro ventajas y cuatro inconvenientes de una puerta lógica en emisor acoplado.

17

Circuitos integrados como bloques constructivos de sistemas digitales

Un sistema digital se construye con muy pocos tipos de circuitos básicos; estos tipos elementales se emplean una y otra vez en varias combinaciones topológicas. Como ha destacado la Sec. 6-9, es posible realizar todas las operaciones lógicas con un solo tipo de circuito (por ejemplo, una puerta NAND). Un sistema digital debe almacenar números binarios además de realizar la función lógica. En vista de tal necesidad, en este capítulo introduciremos una célula de memoria denominada FLIP-FLOP (o biestable).

Teóricamente, cualquier sistema digital puede construirse completamente con puertas NAND y biestables FLIP-FLOPS. Algunas funciones (tales como la suma binaria) están presentes en muchos sistemas, y por tanto la combinación de puertas y/o biestables necesarias para lograr aquella función se incluyen en un solo chip. Estos circuitos integrados constituyen los bloques constructivos prácticos del sistema digital (disponibles en el mercado). El número de circuitos integrados distintos no es muy elevado, y los comentaremos en este capítulo. Estos chips cumplen las siguientes funciones: suma binaria, decodificador (demultiplexor), selección de datos (multiplexor), contador, almacenamiento de información binaria (memoria y registros), convertidores digital a analógico (D/A) y analógico a digital (A/D), y unas pocas funciones más. Estos bloques constructivos lógicos se tratarán como componentes simples. También se considerará la integración en gran escala de MOSFET para el almacenamiento y conversión de considerable información.

Vamos a dividir este capítulo en cuatro partes principales:

I. Combinación de sistemas digitales
II. Sistemas digitales secuenciales
III. Sistemas digitales MOS/LSI
IV. Sistemas D/A y A/D

I. COMBINACION DE SISTEMAS DIGITALES

17-1. MONTAJES DE PUERTAS NORMALIZADAS[1]

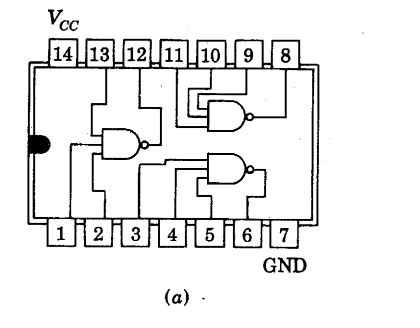
Puesto que se emplea un gran número de puertas fundamentales aun en sistemas digitales relativamente simples, no se encapsulan individualmente; en realidad, se construyen varias puertas en un solo chip. He aquí una lista típica de las puertas digitales integradas normalizadas, pero que dista de ser exhaustiva:

NAND cuádruple de dos entradas	NOR cuádruple de dos entradas
NAND triple de tres entradas	Y cuádruple de dos entradas
NAND doble de cuatro entradas	Separador inversor séxtuplo
NAND simple de ocho entradas	AOI* doble de dos bandas, y dos entradas

Estas combinaciones se encuentran en la mayor parte de las familias lógicas (TTL, DTL, etc.) indicadas en la Sec. 6-15. La limitación del número de puertas por chip depende normalmente del número de terminales disponibles. Los ensamblajes más comunes son los de *encapsulado plano* y de *dos en línea* (encapsulado plástico tipo N, o cerámico tipo J), cada uno de los cuales tiene catorce terminales, siete por cada lado del circuito integrado. Las dimensiones del conjunto, que es mucho mayor que el tamaño del chip, son aproximadamente 22 por 7,5 por 5 mm. En la figura 17-1*a*, está representado el esquema de un NAND triple de tres entradas. Obsérvese que hay 3 × 3 = 9 contactos de entrada, tres de salida, uno para la alimentación y otro de puesta a tierra; o sea un total de catorce.

En la Fig. 17-1*b* se representa un AOI doble de dos bandas y dos entradas (Sec. 6-13). Esta combinación precisa 4 patillas de entrada y una de salida para cada AOI, o sean 10 para el doble. Si se agrega una para la alimentación y otra para tierra, vemos que se emplean 12 de las 14 disponibles.

El esquema de esta puerta AOI viene dado por la Fig. 17-2, dispuesto en lógica TTL. El funcionamiento de esta red queda claro con la explicación del capítulo 6. $Q1$ y la entrada



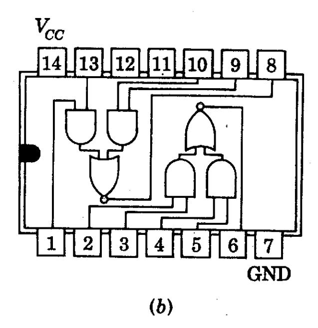


Fig. 17-1. Conexiones (vista superior) de (*a*) el TI 7410 NAND triple de tres entradas, (*b*) TI 7451, puerta AOI doble de dos bandas y dos entradas

* Siglas de And-Or-Invert (*Y-O-INVERTIDO*). (*N. del T.*)

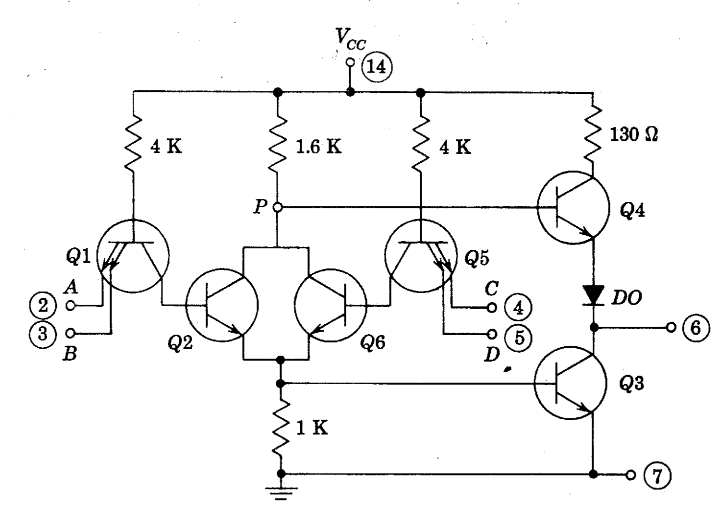


Fig. 17-2. Constitución del circuito para una puerta Y-O-INVERTIDA *TTL*

del $Q2$ (que se corresponden con los transistores de igual numeración de la Fig. 6-27) constituyen una puerta Y. El conjunto idéntico de $Q5$ y $Q6$ constituye la segunda puerta Y. Como los colectores de $Q2$ y $Q6$ siempre están unidos en P, la salida de este nudo corresponde a cualquiera de las entradas ② y ③ O ④ y ⑤. También, debido a la inversión en un transistor, la operación NO aparece en P. El resultado es una lógica Y-O-INVERTIDA (AOI), con representación ($\overline{AB + CD}$). Finalmente, obsérvese que $Q3$, DO, y $Q4$ constituyen la etapa de salida en "totem" de la Fig. 6-28.

Un camino posible para analizar el circuito de la Fig. 17-2 sería considerar $Q1$ y $Q2$ (con la salida en P) constituyendo un circuito NAND. En forma parecida, $Q5$ y $Q6$ serían una segunda puerta NAND. Las salidas de estas dos puertas NAND están unidas por la conexión de los colectores de $Q2$ y $Q6$ y forman un Y (Sec. 6-13). Por lo tanto, la salida en P será, empleando las leyes de Morgan Ec. (6-27):

$$(\overline{AB})\,(\overline{CD}) = \overline{AB + CD}$$

lo cual confirma que se ha obtenido una lógica AOI.

Algunas de las funciones más complicadas indicadas en este capítulo precisan más de 14 patillas, y los circuitos integrados tendrán entonces 16 ó 24 patillas. Este último mide 33 × 11,5 × 5 mm. Las combinaciones normalizadas consideradas en esta sección son ejemplos de *integración en pequeña escala* (SSI)*. Un chip con menos de 12 puertas se considerará un SSI. Los biestables discutidos en la Sec. 17-9 son también encapsulados SSI. Otras muchas funciones descritas en este capítulo (empleando BJT) son ejemplos de integración a media escala (MSI)*, con más de 12, pero menos de 100 puertas por chip. Las memorias BJT de la Sec. 17-18 y los MOSFET indicados en la Sec. 17-17 pueden tener más de 100 puertas y se definen como *integración a gran escala* (LSI)* (Sec. 7-12).

* Siglas de Small-Scale Integration; Medium-Scale Integration y Large-Scale Integration respectivamente. (*N. del T.*)

17-2. SUMADORES BINARIOS[2]

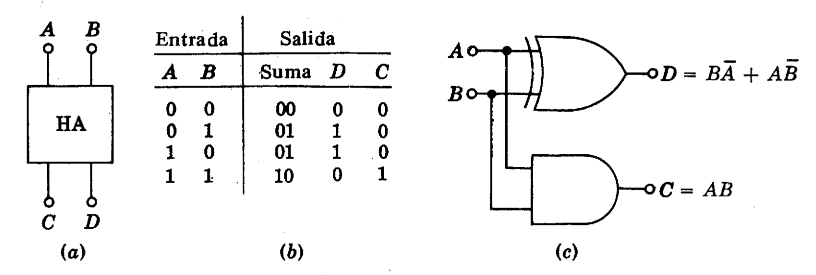
Un calculador digital debe contener, desde luego, circuitos que efectúen operaciones aritméticas, v.g. suma, resta, multiplicación y división. Las operaciones básicas son la suma y la resta, ya que la multiplicación es, fundamentalmente, una suma repetitiva, y la división una resta repetitiva. Es perfectamente posible construir un calculador cuya única unidad aritmética sea un sumador. La multiplicación, por ejemplo, puede entonces obtenerse por medio de un *programador* que da instrucciones e indica cómo emplear el sumador repetitivamente para hallar el producto de dos números.

Supongamos que se desea sumar dos números en aritmética decimal y obtener los dígitos de las centenas. Debemos sumar conjuntamente no sólo los dígitos de las centenas, sino también los dígitos que se arrastran de las decenas (si existen). En forma parecida, en aritmética binaria debemos sumar, no sólo los dígitos de cada lugar significativo de los números a sumar, sino también (en el caso de que estén presentes) los dígitos que se arrastran del lugar significativo próximo inferior. Este funcionamiento se lleva a cabo en dos partes: primera, sumar los dos bits correspondientes a los dígitos 2^n, y luego sumar el resultado de lo que llevamos del dígito 2^{n-1}. Un sumador de dos entradas se denomina un *semisumador,* ya que la suma completa requiere dos semisumadores.

Primero indicaremos cómo se construye un *semisumador* con puertas lógicas básicas, y luego veremos cómo se forma el *sumador total* o *completo.* Un semisumador tiene dos entradas —A y B— que representan los bits a sumar, y dos salidas —D (para los dígitos de la misma significación que A y B) y C (para el bit que se lleve).

Semisumador. En la Fig. 17-3*a* se representa el símbolo del semisumador y en la Fig. 17-3*b* la tabla de la verdad. Obsérvese que la columna D da la suma de A y B, mientras esta suma pueda ser representada por un solo dígito. Si la suma fuera mayor de lo que se puede representar con un solo dígito, entonces la columna D representaría el dígito de la suma, correspondiente al mismo lugar significativo que los sumandos. Es decir, que según vemos en las tres primeras filas de la tabla, D da directamente la suma de A y B. Cuando sumamos en el sistema de base decimal, decimos "1 más 1 igual a 2", pero traducido al sistema binario deberemos expresarlo por: "01 más 01 igual a 10", por tanto, en la última fila, $D = 0$. El 1 deberá entonces ser tenido en cuenta en la cifra significativa inmediata superior, en nuestro caso la columna de arrastre C, o sea $C = 1$.

Por la Fig. 17-3*b* vemos que D corresponde a la función O exclusiva (O-EXCLUSIVA) y C a una puerta lógica Y. Estas funciones quedan indicadas en la Fig. 17-3*c*, y pueden



Entrada		Salida		
A	B	Suma	D	C
0	0	00	0	0
0	1	01	1	0
1	0	01	1	0
1	1	10	0	1

Fig. 17-3. (*a*) Símbolo del semisumador; (*b*) tabla de la verdad para el dígito D y el arrastre C; (*c*) construcción de D con una puerta O-EXCLUSIVO y de C con una puerta Y

llevarse a cabo de muy distintas maneras con los circuitos vistos en el Cap. 6. Por ejemplo, la puerta O-EXCLUSIVA puede ser construida con cualquiera de las cuatro topologías de la Sec. 6-8 y en cualquiera de las familias lógicas de la Tabla 6-5. El circuito de la Fig. 6-15*b* ($Y = A\bar{B} + B\bar{A}$) se construye en lógica TTL y con el circuito AOI de la Fig. 17-2. El inversor para B (o para A) es una puerta NAND de una sola entrada. Puesto que Y tiene una topología Y-O (más que AOI), se coloca un transistor inversor entre P y la base de $Q4$ de la Fig. 17-2.

Funcionamiento en paralelo. Dos números multidígitos pueden ser sumados en serie (una columna cada vez) o en paralelo (todas las columnas simultáneamente). Vamos a considerar, en primer lugar, el funcionamiento en paralelo. Para un número binario con N dígitos, hay (además de una tierra común) N conexiones de señales por cada número. La n-ésima línea del número A (o B) se activa por A_n (o B_n), que corresponde al bit del dígito 2^n ($n = 0, 1, \ldots, N-1$). La Fig. 17-4 representa un sumador binario paralelo. Cada dígito, a excepción de la primera cifra significativa (2^0), requiere un sumador completo que consiste en dos semisumadores en cascada. El dígito suma del bit 2^0 es $S_0 = D_0$ de un semisumador, ya que no es necesario añadir ningún arrastre a la suma $A_0 + B_0$. La suma S_n ($n \neq 0$) de A_n más B_n se hace en dos partes. Primero se obtiene el dígito D_n mediante un semisumador, y luego le añadimos el arrastre C_{n-1} que resulta del lugar inmediatamente inferior. Como ejemplo, vamos a considerar $n = 2$ en la Fig. 17-4. El bit de arrastre C_1 puede considerarse como el resultado de la suma directa de A_1 y B_1 si cada uno de ellos es 1. A este primer arrastre lo llamaremos C_{11} en la Fig. 17-4. La segunda posibilidad es que $A_1 = 1$ y $B_1 = 0$ o viceversa, de tal manera que $D_1 = 1$, pero que exista un arrastre C_0 de la cifra significativa inmediata anterior. La suma de $D_1 = 1$ y $C_0 = 1$ da lugar a un bit de arrastre denominado C_{12}. Es evidente que C_{11} y C_{12} no pueden ser ambos 1 a la vez, aunque sí pueden ser 0 si $A_1 = 0$ y $B_1 = 0$. Como cualquiera de los dos C_{11} o C_{12} debe ser transmitido a la próxima etapa, hay que interponer una puerta O entre ambas etapas, tal como se indica en la Fig. 17-4.

Sumador completo. En la construcción con circuitos integrados la suma se realiza empleando sumadores completos, y (por razones de economía) no con dos semisumado-

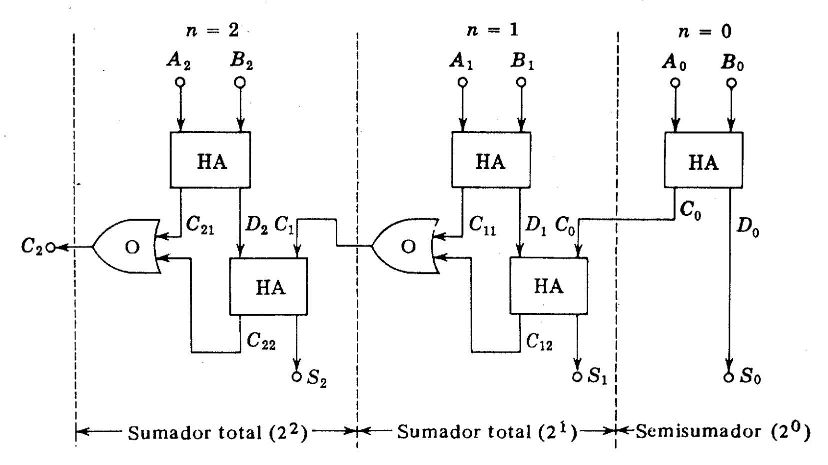


Fig. 17-4. Sumador binario paralelo construido con semisumadores

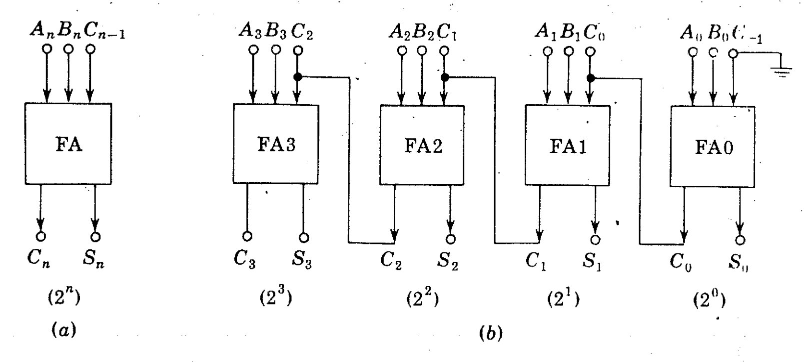


Fig. 17-5. (*a*) Símbolo de un sumador total o completo. (*b*) Sumador binario paralelo de 4 bit construido por sumadores en cascada

res. El símbolo del n-ésimo sumador completo (full adder FA) viene indicado en la Fig. 17-5*a*. El circuito tiene tres entradas: los sumandos A_n y B_n, y el arrastre C_{n-1} (del bit inmediato anterior). Las salidas son la suma S_n (a veces se denomina Σ_n) y el arrastre C_n. En la Fig. 17-5*b* se indica un sumador paralelo de 4 bit. El primer bit significativo se representa en la figura por FA0 (LSB), y no tiene entrada de arrastre porque no hay etapa precedente.

A partir de la Fig. 17-6, cabe determinar el circuito interior correspondiente al bloque FA. Dicha figura es en definitiva la tabla de la verdad de sumar tres bits binarios. Con esta tabla se puede comprobar que las expresiones de Boole de S_n y C_n, serán:

$$S_n = \bar{A}_n\bar{B}_nC_{n-1} + \bar{A}_nB_n\bar{C}_{n-1} + A_n\bar{B}_n\bar{C}_{n-1} + A_nB_nC_{n-1} \tag{17-1}$$

$$C_n = \bar{A}_nB_nC_{n-1} + A_n\bar{B}_nC_{n-1} + A_nB_n\bar{C}_{n-1} + A_nB_nC_{n-1} \tag{17-2}$$

Obsérvese que el primer término de S_n corresponde a la línea 1 de la tabla, el segundo término a la línea 2, el tercero a la línea 4 y el último a la línea 7, (que son las únicas líneas en que $S_n = 1$). En forma parecida, el primer término de C_n corresponde a la línea 3 (en la que $C_n = 1$), y el segundo término a la línea 5, etc.

La función Y ABC se llama a menudo *producto* de A y B y C. Asimismo, la función O se expresa como *suma*. Por lo tanto, las expresiones de las ecuaciones (17-1) y (17-2) representan una suma de productos de Boole. Una ecuación de este tipo se dice que está dada en *forma canónica* o *normalizada*, y cada uno de sus términos se denomina *minterm*.

	Entradas			Salidas	
Línea	A_n	B_n	C_{n-1}	S_n	C_n
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	1	0
3	0	1	1	0	1
4	1	0	0	1	0
5	1	0	1	0	1
6	1	1	0	0	1
7	1	1	1	1	1

Fig. 17-6. Tabla de la verdad de un sumador de tres entradas

Un minterm contiene el producto de todas las variables de Boole, o sus complementos.

La expresión de C_n puede simplificarse considerablemente de la siguiente forma: puesto que $Y + Y + Y = Y$, entonces la ecuación (17-2) con $Y = A_nB_nC_{n-1}$ se convierte en

$$C_n = (\bar{A}_nB_nC_{n-1} + A_nB_nC_{n-1}) + (A_n\bar{B}_nC_{n-1} + A_nB_nC_{n-1}) + (A_nB_n\bar{C}_{n-1} + A_nB_nC_{n-1}) \tag{17-3}$$

Como $\bar{X} + X = 1$ siendo $X = A_n$ en el primer paréntesis, $X = B_n$ en el segundo paréntesis, y $X = C_{n-1}$ en el tercer paréntesis, la Ec. (17-3) queda reducida a

$$C_n = B_nC_{n-1} + C_{n-1}A_n + A_nB_n \tag{17-4}$$

Esta expresión podría escribirse directamente a partir de la tabla de la Fig. 17-6, observando que $C_n = 1$ si por lo menos dos de las tres entradas son 1.

Es interesante observar que, si todos los 1 se cambian por 0 y todos los 0 por 1, entonces las líneas 0 y 7 se intercambian, como lo hacen la 1 y la 6, la 2 y la 5, y también la 3 y la 4. Puesto que la permuta de 1 por 0 no cambia la tabla, sea cual fuere la lógica representada por la Fig. 17-6 es igualmente válida si todas las entradas y salidas se complementan. Por tanto, la Ec. (17-4) es cierta si se niegan todas las variables, o sea

$$\bar{C}_n = \bar{B}_n\bar{C}_{n-1} + \bar{C}_{n-1}A_n + \bar{A}_n\bar{B}_n \tag{17-5}$$

Transformando la Ec. (17-4) de Boole, se obtienen los mismos resultados (Prob. 17-5).

Hallando $D_n \equiv (A_n + B_n + C_{n-1})\bar{C}_n$ y comparando los resultados con la Ec. (17-1), encontramos que $S_n \equiv D_n + A_nB_nC_{n-1}$, o sea

$$S_n = A_n\bar{C}_n + B_n\bar{C}_n + C_{n-1}\bar{C}_n + A_nB_nC_{n-1} \tag{17-6}$$

Las ecuaciones (17-4) y (17-6) se cumplimentan en la Fig. 17-7 empleando puertas AOI del tipo indicado en la Fig. 17-2.

Sumadores MSI. Existen en el mercado sumadores completos de 1 bit, 2 bit, y 4 bit, cada uno de ellos en un solo encapsulado. En la Fig. 17-8 se indica la topología lógica para la suma de dos bit. Las entradas de la primera etapa son A_0 y A_1, y la entrada del arrastre C_{-1} está a tierra. La salida es la suma S_0. El arrastre C_0 se conecta interiormente y no precisa ninguna patilla de salida. Esta etapa (LSB)* 2^0 es idéntica a la de la Fig. 17-7 con $n = 0$. La abreviatura LSB significa el primer bit significativo.

Como el arrastre de la primera etapa es $\bar{C}_0$, deberá negarse antes de introducirlo a la etapa 2^1. Sin embargo, el retraso introducido por la inversión no es deseable, debido a que la limitación de la velocidad máxima de funcionamiento es precisamente el retraso (Sec. 6-15) del arrastre en todos los bit del sumador. El retraso de la puerta NO se elimina completamente en el arrastre conectando $\bar{C}_0$ directamente a la etapa siguiente y complementando las entradas A_1 y B_1 antes de introducirlas en esta etapa. En la Fig. 17-8 se utiliza este último método. Obsérvese que ahora las salidas S_1 y C_1 se obtienen directamente sin necesidad de inversión. La lógica que se sigue para el arrastre, en esta segunda etapa, viene dada por la Ec. (17-5), y para la suma por la Ec. (17-6) modificada, en la que cada símbolo es sustituido por su complemento.

* Siglas de Least-Significant Bit. (*N. del T.*)

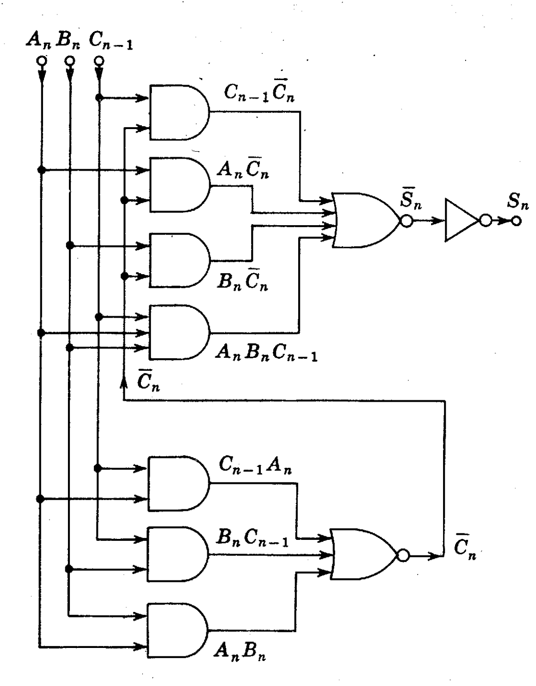


Fig. 17-7. Diagrama de bloques de la etapa *n*-ésima de un sumador total

En un sumador de 4 bit, C_1 no sale fuera, sino que se conecta interiormente a la tercera etapa que es idéntica a la primera. En forma parecida, las etapas segunda y cuarta tienen topologías lógicas idénticas. El sumador de 4 bit requiere un encapsulado de 16 patillas: 8 entradas, 4 salidas de suma, una salida de arrastre, una entrada de arrastre, la alimentación y tierra. Sólo se necesita la entrada de arrastre en el caso de dos unidades aritméticas en cascada; por ejemplo, poniendo en cascada un sumador de dos bit con otro de cuatro, nos da la suma de dos números de seis bit. Si la unidad de dos bit se emplea para los dígitos 2^4 y 2^5, deberá sumarse 4 a todos los subíndices de la Fig. 17-8. Por ejemplo, C_{-1} se llamará ahora C_3 y procederá de la salida de arrastre del sumador de 4 bit.

El chip MSI (TI 74LS83*) para un sumador completo binario de 4 bit, contiene algo más de 200 componentes (resistencias, diodos o transistores). Para gran velocidad y funcionamiento a pequeña potencia, se emplean transistores y diodos Schottky (Sec. 7-13) en cada bloque AOI de la Fig. 17-2 y cada puerta de salida contiene un par Darlington (Fig. 6-28*c*). El circuito NO de S_0 es, simplemente, un transistor inversor colocado entre el nudo *P* y la base del *Q*4 de la Fig. 17-2. El circuito NO para invertir A_1 (o B_1) es una puerta NAND de una sola entrada. El retraso de tiempo de propagación del arrastre desde C_0 a C_4 es, normalmente, de 50 nseg y la potencia disipada es de 75 mW.

* Las designaciones específicas dadas en este capítulo se refieren a unidades de la Texas Instruments.[1] Sin embargo, hay unidades equivalentes disponibles de otras firmas vendedoras tales como Fairchild Semiconductor, Motorola Inc., National Semiconductor, RCA, Signetics, etc.

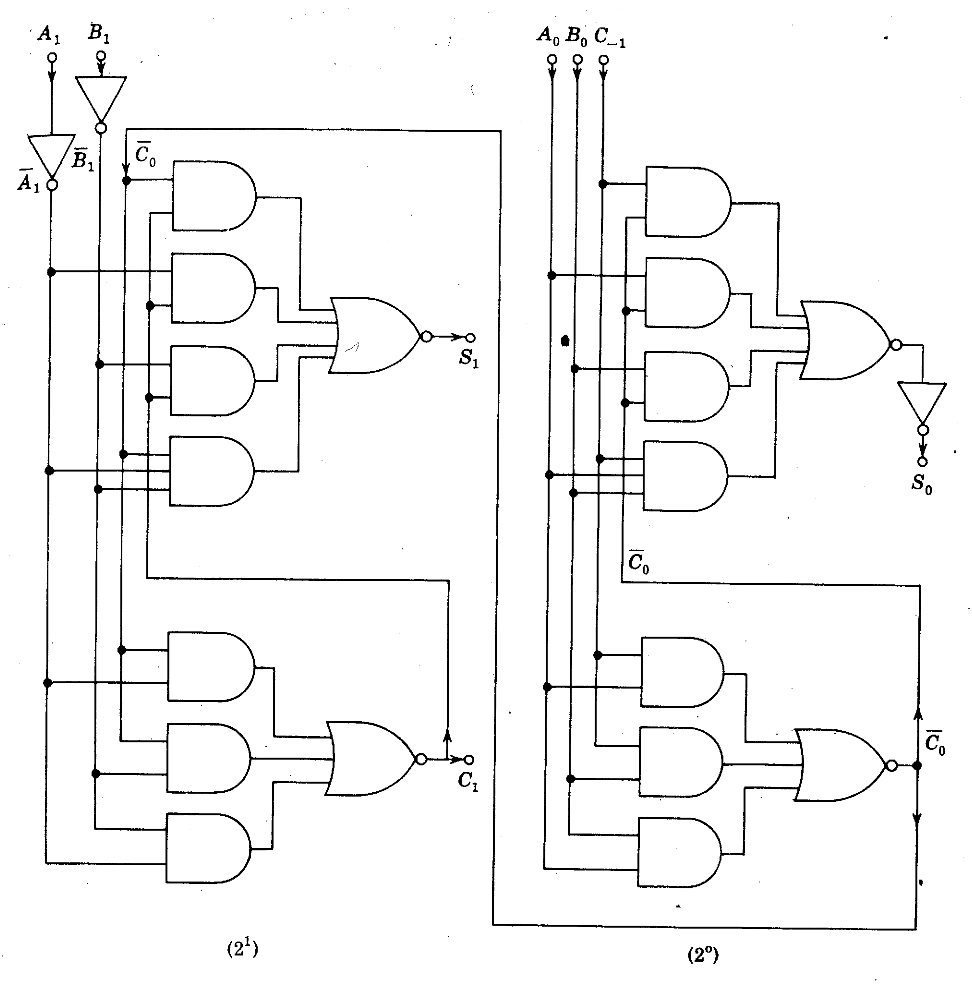


Fig. 17-8. Diagrama lógico de un sumador total integrado de 2 bit (TI 7482)

Funcionamiento en serie. En un sumador en serie, las entradas *A* y *B* consisten en trenes de impulsos sincronizados en dos líneas del calculador. Las Figs. 17-9*a* y *b* muestran trenes de impulsos típicos representativos de los números decimales 13 y 11. Los trenes de impulsos que representan la suma (24) y la diferencia (2) están indicados en las Figs. 17-9*c* y *d*, respectivamente. Un *sumador* serie es un dispositivo que toma como entradas las dos ondas de las Figs. 17-9*a* y *b* y da como salida la onda de la Fig. 17-9*c*. Análogamente, una *resta* (Sec. 17-3) dará la salida de la Fig. 17-9*d*.

Hemos destacado que la suma de dos números multidígitos puede hacerse añadiendo a la suma de los dígitos de significado idéntico el arrastre (si lo hay) del resultado inmediato anterior. Con respecto a los trenes de impulsos de la Fig. 17-9, la premisa anterior equivale a decir que, en un momento dado, debemos sumar (en forma binaria) a los impulsos *A* y *B* el impulso de arrastre (si lo hay) procedente del resultado obtenido un

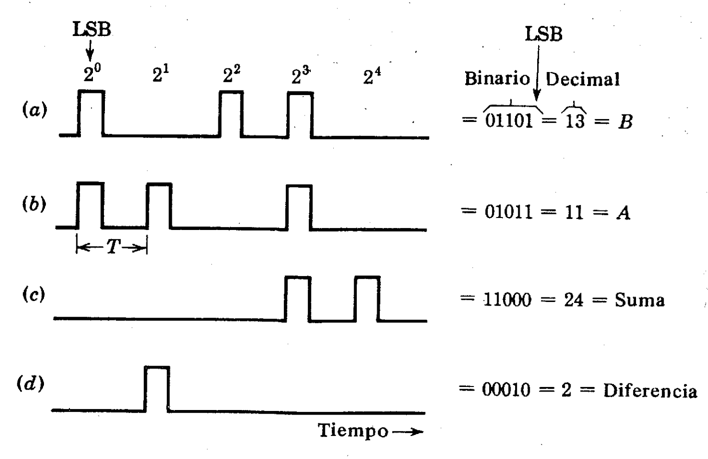


Fig. 17-9. (*a,b*) Formas de onda de los impulsos que representan los números B y A; (*c,d*) ondas que representan la suma y la diferencia. (LSB = bit menos significativo.)

período de tiempo T anterior. La lógica explicada se obtiene con el circuito representado en la Fig. 17-10. Este circuito difiere de la configuración del sumador en paralelo de la Fig. 17-5 por la inclusión de un tiempo de retardo *TD* igual al tiempo T entre dos impulsos. Por lo tanto, el impulso de arrastre se retrasa un tiempo T y se agrega a los impulsos dígitos de A y de B, en el momento exacto.

Comparando las figs. 17-5 y 17-10, se observa que la suma en paralelo es más rápida que en serie porque todos los dígitos se suman simultáneamente en el primer caso, y secuencialmente en el segundo. Pero en el sumador en serie sólo se precisa un sumador completo, mientras que en el sistema en paralelo se necesita uno por cada bit. Por lo tanto, la suma en paralelo es mucho más onerosa que la suma en serie.

La unidad de retardo de tiempo TD es un Flip-Flop tipo D, y la serie de números A_n, B_n y S_n se almacena en *registradores de inscripción* (Sec. 17-10 y 17-11).

17-3. FUNCIONES ARITMETICAS

En esta sección comentaremos otras unidades aritméticas además del sumador: la *sustracción*, el *comparador digital*, el *comprobador de paridad*, etcétera.

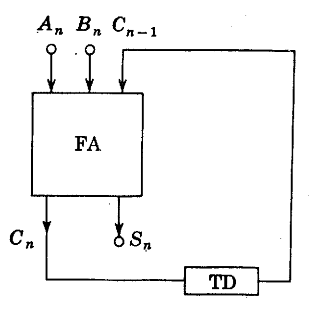
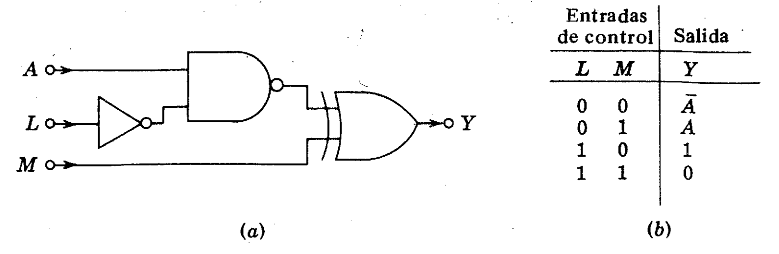


Fig. 17-10. Sumador total binario, en serie.



Entradas de control		Salida
L	M	Y
0	0	$\bar{A}$
0	1	A
1	0	1
1	1	0

Fig. 17-11. (*a*) Diagrama lógico real/complemento, cero/uno de 1 bit. (*b*) Tabla de la verdad

Elemento real/complemento, Cero/Uno. A veces se requiere seleccionar ya sea un bit A o su complemento $\bar{A}$ mediante señales de control. También puede desearse una salida que sea 0 o 1, independientemente del valor de A. Para tener en cuenta las cuatro posibilidades obtenibles se requiere una señal de 2 bit, o *código*. En la Fig. 17-11*a*, el código de control se aplica a las líneas L y M. No es difícil comprobar (Prob. 17-5) que este diagrama de bloques lógico satisface la tabla de la verdad de la Fig. 17-11*b*. Un chip MSI con cuatro de tales redes puede formarse en un solo encapsulado (TI 74H87).

Resta binaria[2]. El proceso de la resta (B menos A) es equivalente a la suma si se emplea el complemento del sustraendo $\bar{A}$. Para justificar esta premisa vamos a considerar el siguiente argumento (aplicado a un número de 4 bit). La función NO cambia los 1 a 0 y viceversa. Por lo tanto,

$$A \text{ más } \bar{A} = 1111$$

y

$$A \text{ más } \bar{A} \text{ más } 1 = 1111 \text{ más } 0001 = 10000$$

o sea que:

$$A = 10000 \text{ menos } \bar{A} \text{ menos } 1.$$

Finalmente,

$$B \text{ menos } A = (B \text{ más } \bar{A} \text{ más } 1) \text{ menos } 10000 \qquad (17\text{-}7)$$

Esta ecuación indica que restar un número A de cuatro bit de otro número B también de cuatro bit sólo requiere sumar B, $\bar{A}$ y 1 (un bit 2^0). La operación B menos A da 4 bit como resultado. El término "menos 10000" de la Ec. (17-7) infiere que la suma (B más $\bar{A}$ más 1) tiene un quinto bit del que deberemos prescindir.

Ejemplo. Comprobar la Ec. (17-7) para $B = 1100$ y $A = 1001$ (en decimal 12 y 9).

SOLUCION

$$B \text{ más } \bar{A} \text{ más } 1 = 1100 \text{ más } 0110 \text{ más } 0001 = 10011$$

Los cuatro bit (menos significativos) 0011 representan el decimal 3 y el quinto bit 1 es un arrastre. Puesto que en notación decimal, B menos $A = 12 - 9 = 3$, entonces la respuesta correcta se obtiene por el valor de la suma en el paréntesis de la Ec. (17-7), teniendo en cuenta que se debe ignorar el arrastre.

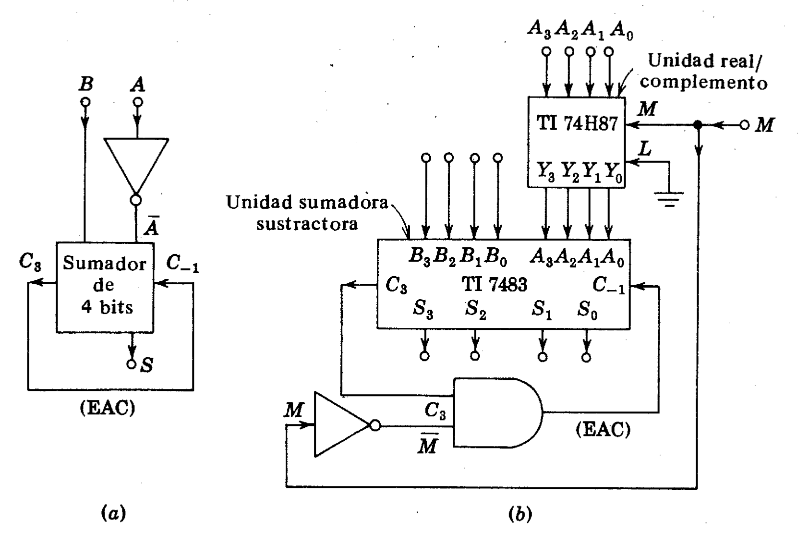


Fig. 17-12. (*a*) Esquema simplificado de un sumador de 4 bit empleado como sustractor. (*b*) Diagrama de bloques más detallado de un sistema que suma si $M = 1$ y resta si $M = 0$

En la Ec. (17-7), el 1 del 10000 es el arrastre de salida $C_3 = 1$, del sumador de 4 bit, y cabe emplearlo para el 1 que hace falta sumar a $\bar{A}$. Este bit se denomina *arrastre de retorno* (EAC), ya que este arrastre se realimenta a la entrada C_{-1} (Fig. 17-8) del primer bit significativo de A. Este proceso de restar mediante un sumador está indicado esquemáticamente en la Fig. 17-12*a*. En la Fig. 17-12*b* se da un diagrama más detallado de un sumador-restador. La unidad *real/complementario* determina cuándo se resta o se suma. suma. Si $M = 0$, el sistema resta, ya que la entrada A queda complementada (Fig. 17-11*b*), mientras que si $M = 1$, el sistema suma. Si se trata de sumar, el lazo de la EAC debe estar abierto, y esta lógica se cumple con un circuito Y cuyas entradas son C_3 y $\bar{M}$.

El método del complemento a 1 de la resta que acabamos de describir, sólo es válido si B es mayor que A, de modo que la diferencia resulte positiva y se genere un arrastre en (B más A más 1). Si B es menor que A, entonces el bit más significativo (MSB) de B (que difiere del correspondiente bit de A) es 0, mientras que el de A es 1. Puesto que $\bar{A} = 0$, el bit más significativo de (B más $\bar{A}$) es 0. Por lo tanto, no habrá lugar a ningún arrastre en la suma (B más $\bar{A}$ más 0001), y el método de la Fig. 17-12 debe modificarse. Vamos a demostrar ahora que, si no hay arrastre en el sistema de la Fig. 17-12, la respuesta correcta de B menos A es negativa, y se obtiene por el complemento de los dígitos de la suma S_0, S_1, S_2 y S_3. De la Ec. (17-7):

$$\begin{aligned} B \text{ menos } A &= (B \text{ más } \bar{A}) \text{ menos } 1111 \\ &= \text{menos } [1111 \text{ menos } (B \text{ más } \bar{A})] \\ &= \text{menos } \overline{(B \text{ más } \bar{A})} \end{aligned} \tag{17-8}$$

ya que 1111 menos un número binario de 4 bit es el complementario de dicho número.

En resumen: El circuito de la Fig. 17-12*b* con $M = 0$ puede emplearse tanto para diferencias positivas como negativas. Si resulta un arrastre, entonces (B menos A) es

positivo y viene dado por los bit S. En cambio, si no aparece arrastre, entonces (B menos A) es negativo y viene dado por el complemento de los bit S.

Otros sistemas de suma y de resta (complemento a 2, código binario-decimal, etc.) se describen en la Ref. 1.

Comparador digital. A veces es necesario saber si un número binario A es mayor, menor o igual que otro número B. El sistema para determinarlo, se llama un comparador de *valor digital* (o binario). Consideremos en primer lugar sólo números de un bit. Como se mencionó en la Sec. 6-7, la puerta NOR-EXCLUSIVA es un *detector de igualdad,* ya que

$$E = \overline{A\bar{B} + \bar{A}B} = \begin{cases} 1 & A = B \\ 0 & A \neq B \end{cases} \tag{17-9}$$

La condición de $A > B$ viene dada por

$$C = A\bar{B} = 1 \tag{17-10}$$

ya que, si $A > B$, entonces $A = 1$ y $B = 0$, siendo entonces $C = 1$. Por otra parte, si $A = B$ o $A < B$ ($A = 0, B = 1$), entonces $C = 0$.

En forma parecida, la restricción $A < B$ queda determinada por

$$D = \bar{A}B = 1 \tag{17-11}$$

El diagrama de bloques lógico para el *n*-ésimo bit, dibujado en la Fig. 17-13 tiene las tres salidas necesarias C_n, D_n y E_n. Consta de dos inversores, dos puertas Y, y el circuito AOI de la Fig. 17-2. Asimismo, cabe considerar que la Fig. 17-13 constituye un circuito NOR-EXCLUSIVO y dos puertas Y. (Obsérvese que las salidas de las puertas Y del bloque AOI de la Fig. 17-2 no están asequibles, y por lo tanto hay que incluir puertas adicionales Y para tener C_n y D_n).

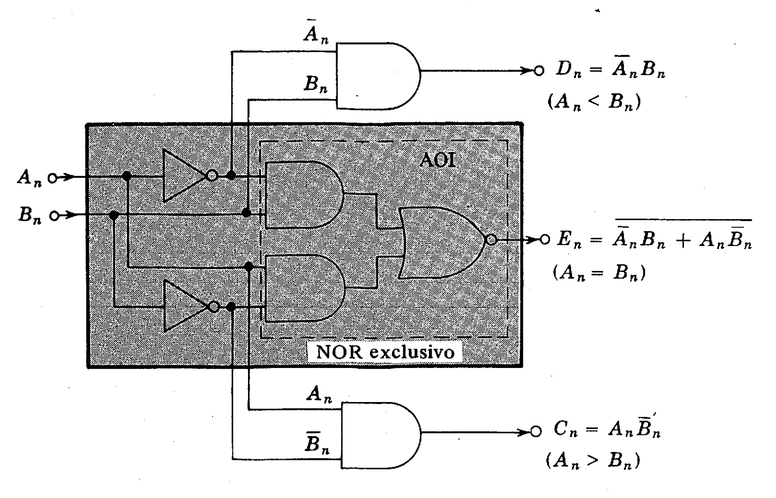


Fig. 17-13. Comparador digital de 1 bit

Consideremos ahora un comparador de 4 bit. $A = B$ requiere que

$$A_3 = B_3 \quad \text{y} \quad A_2 = B_2 \quad \text{y} \quad A_1 = B_1 \quad \text{y} \quad A_0 = B_0$$

Por lo tanto, la puerta Y señalada E en la Fig. 17-14 descrita por

$$E = E_3 E_2 E_1 E_0 \tag{17-12}$$

implica que $A = B$ si $E = 1$ y $A \neq B$ si $E = 0$. (Suponiendo que la entrada E' se mantenga en el nivel alto; $E' = 1$).

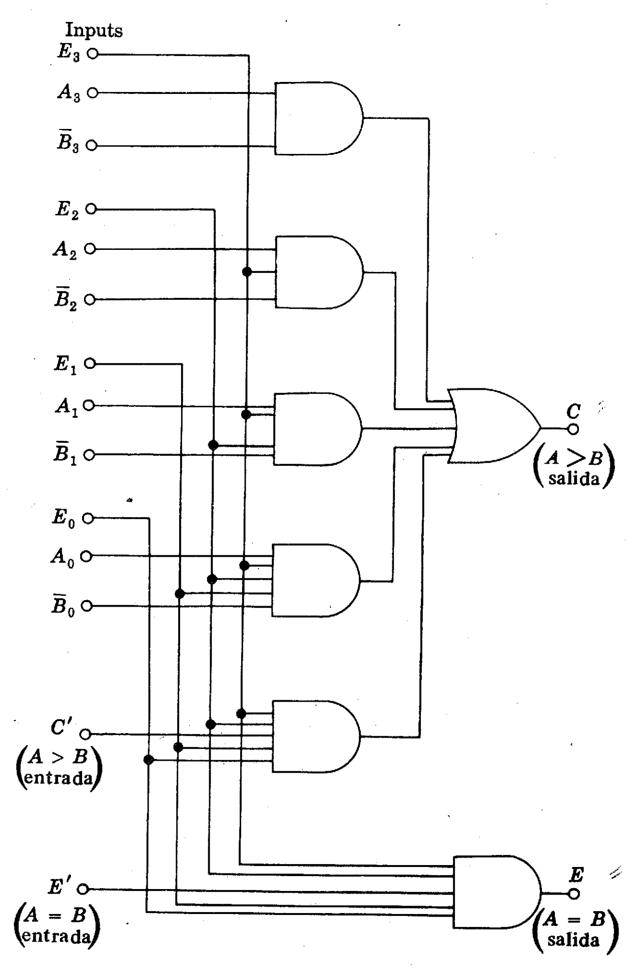


Fig. 17-14. Comparador de magnitud de 4 bit. (Supongamos que $C' = 0$ y $E' = 1$.) Si $E = 1$, entonces $A = B$, y si $C = 1$, $A > B$. Si $D = 1$, entonces $A < B$, donde D tiene la misma topología lógica que C pero con A y B intercambiadas. Las entradas $\bar{A}_n$, B_n y D' ($A < B$) no se indican. Las entradas E_n se obtienen de la Fig. 17-13

La desigualdad $A > B$ requiere que

$$A_3 > B_3 \quad \text{(MSB)}$$

o

$$A_3 = B_3 \quad \text{y} \quad A_2 > B_2$$

o

$$A_3 = B_3 \quad \text{y} \quad A_2 = B_2 \quad \text{y} \quad A_1 > B_1$$

o

$$A_3 = B_3 \quad \text{y} \quad A_2 = B_2 \quad \text{y} \quad A_1 = B_1 \quad \text{y} \quad A_0 > B_0$$

Las condiciones anteriores se satisfacen en la expresión de Boole

$$C = A_3\bar{B}_3 + E_3A_2\bar{B}_2 + E_3E_2A_1\bar{B}_1 + E_3E_2E_1A_0\bar{B}_0 \tag{17-13}$$

si $C = 1$ y sólo en este caso. La puerta Y-O para C se indica en la Fig. 17-14 (suponiendo que $C' = 0$.)

La condición de que $A < B$ se obtiene por la Ec. (17-13), intercambiando A y B. Es decir,

$$D = \bar{A}_3B_3 + E_3\bar{A}_2B_2 + E_3E_2\bar{A}_1B_1 + E_3E_2E_1\bar{A}_0B_0 \tag{17-14}$$

implica que $A < B$ sólo si, $D = 1$. Esta parte del sistema se obtiene a partir de la Fig. 17-14 cambiando A por B, B por A, y C por D. Por otra parte, D puede obtenerse de $D = \bar{E}\bar{C}$ ya que, si $A \neq B$ ($E = 0$) y si $A \not> B$ ($C = 0$), entonces $A < B$ ($D = 1$). Sin embargo, esta utilización de D introduce el retraso adicional de propagación de un inversor y de una puerta Y. De ahí que la lógica indicada en la Ec. (17-14) para D se fabrique en el mismo chip que para C de la Ec. (17-13) y E de la Ec. (17-12).

El TI 54L85 es un encapsulado a media escala MSI que sirve para comparar valores de 4 bit. Si se precisa comparar números de más cifras, cabe emplear varias unidades semejantes en cascada. Consideremos un comparador de 8 bit. Designemos el terminal de salida $A = B$ de la etapa correspondiente a los bit menos significativo por E_L, el terminal de salida $A > B$ de esta etapa por C_L, y la salida $A < B$ por D_L. Entonces, las conexiones $E' = E_L$, $C' = C_L$, y $D' = D_L$ (Fig. 17-14) deben hacerse para las etapas más significativas (Prob. 17-7). Para la etapa que maneja los bit menos significativos, las salidas C' y D' están a tierra ($C' = 0$ y $D' = 0$) y la entrada E' está unida a la tensión de alimentación ($E' = 1$). ¿Por qué?

Comprobador de paridad/generador. Otra operación aritmética que se emplea a menudo en los sistemas digitales, es la de determinar si la suma de bit binarios en una información es impar o par. La salida de una puerta O-EXCLUSIVA es 1 si, y sólo si, una entrada es 1 y la otra 0. Dicho de otra manera, la salida es 1 si la suma de los dígitos es 1. Una extensión de este concepto al O-EXCLUSIVO múltiple de la Fig. 17-15 nos lleva a la conclusión de que $Z = 1$ (o $Y = 0$) si la suma de los bit de entradas A, B, C y D es impar. Por lo tanto, si la entrada P' está a tierra ($P' = 0$) entonces $P = 0$ si la suma es impar y $P = 1$ si es par.

El sistema de la Fig. 17-15 no es sólo un comprobador de paridad, sino que también puede emplearse para generar un bit P que fije la paridad. Independientemente de la paridad de la señal de entrada de cuatro bit, la paridad del código de cinco bit A, B, C, D

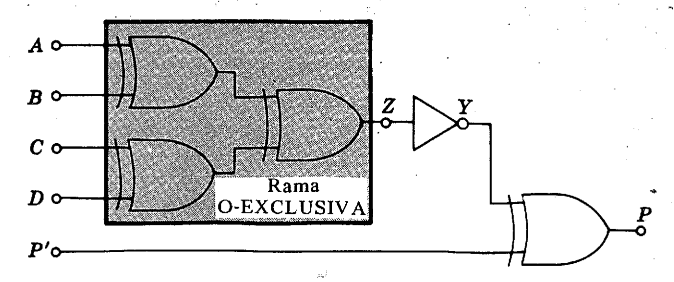


Fig. 17-15. Comprobador de paridad, o sistema de generador de bit de paridad para una información de 4 bit de entrada. Supongamos que $P' = 0$; entonces $P = 0(1)$ representa paridad impar (par)

y P es impar. Esta premisa nace del hecho de que, si la suma de A, B, C y D es impar (par), entonces P es 0 (1), y en consecuencia la suma A, B, C, D y P es siempre impar.

El empleo de un código de paridad aumenta la seguridad de transmisión de una información binaria. Tal como se ha indicado en la Fig. 17-16, se genera un bit de paridad P_1 que se transmite conjuntamente con las señales de entrada de N bit. En el receptor, se comprueba la paridad de la señal aumentada $(N + 1)$ bit, y si la salida P_2 del comprobador es 0, se puede suponer que no hay ningún error en la transmisión del mensaje, mientras que si $P_2 = 1$ indica que (por ejemplo debido al ruido) hay un error en la recepción. Obsérvese que con un solo comprobador de paridad, sólo se pueden detectar errores en un número impar de dígitos.

Cabe conseguir una generador/comprobador de paridad MSI de 8 bit (TI 74180) con entradas controladas, tal que pueda aplicarse a los dos tipos de paridad: par o impar (Prob. 17-10). Para señales mayores de 8 bit, se emplearán varias unidades en cascada. (Prob. 17-12).

La unidad MSI TI SN7486 contiene cuatro puertas de dos entradas O-EXCLUSIVO.

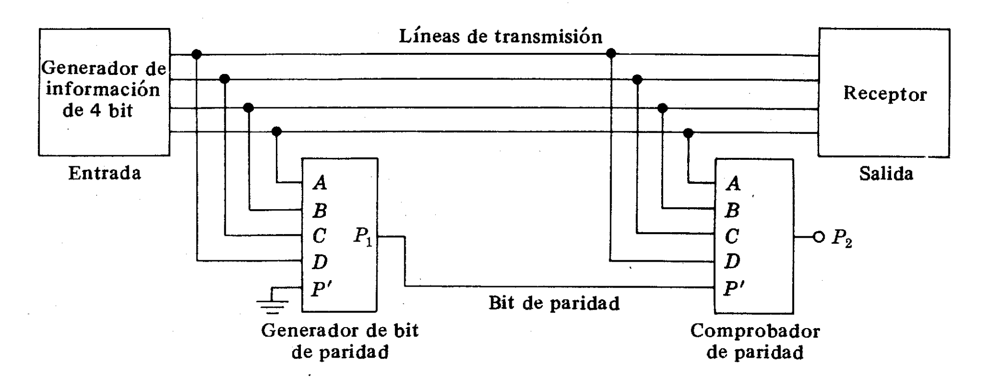


Fig. 17-16. La transmisión de datos binarios se comprueba generando un bit de paridad en la entrada de una línea y comprobando en el receptor del sistema la paridad de los bit transmitidos más el bit generado

17-4. DECODIFICADOR/DEMULTIPLEX[3]

En un sistema digital, se pueden transmitir tanto instrucciones como números mediante niveles binarios o trenes de impulsos. Si, por ejemplo, los 4 bit de un mensaje se preparan para transmitir órdenes, se pueden lograr 16 instrucciones diferentes. Esta información está *codificada* en sistema binario. Muchas veces se precisa un conmutador de varias posiciones que pueda funcionar de acuerdo con este código. En otras palabras, para cada uno de los 16 códigos sólo una línea y sólo una debe ser excitada. Este proceso de identificación de un código particular se denomina *decodificación.*

Sistema de codificación binario decimal (BCD). Este código traduce un número decimal sustituyendo cada cifra por una combinación de 4 cifras binarias. Como hay 16 posibilidades distintas para 4 cifras binarias, 10 combinaciones cualesquiera servirán para representar las cifras decimales del 0 al 9. Por lo tanto, tenemos amplia disponibilidad de códigos BCD. Una de éstas, denominada "código binario decimal natural", es el código 8421 indicado por las 10 primeras entradas de la Tabla 6-2. Este es un código ponderado porque sus dígitos decimales son iguales a la suma de los productos de los bit de las señales codificadas por las sucesivas potencias de dos, comenzando por la derecha (LSB). Necesitamos 4 N bit para representar en notación BCD un número de N cifras decimales. El primer conjunto de 4 bit de la derecha representa las unidades, el segundo representa las decenas, el tercero las centenas, y así sucesivamente. Por ejemplo, el número decimal 264 requiere 3 grupos de 4 bit, como indica la Tabla 17-1. Obsérvese que estas tres

TABLA 17-1 Representación del número decimal 264 mediante el código BCD

Factor ponderado	800	400	200	100	80	40	20	10	8	4	2	1
Código BCD	0	0	1	0	0	1	1	0	0	1	0	0
Dígitos decimales		2				6				4		

décadas del código BCD pueden representar cualquier número comprendido entre 0 y 999; por lo tanto, tiene una resolución de 1 parte por 1000 o sea el 0,1 %. Esto requiere 12 bit, lo que en un código binario normal puede resolver 1 parte en $2^{12} = 4\,096$, o sea 0,025 %.

Decodificador de BCD a decimal. Supongamos que deseamos decodificar una instrucción BCD que represente un número decimal dígito, por ejemplo el 5. Esta operación puede llevarse a cabo con una puerta Y de cuatro entradas excitada por los cuatro bit BCD. Por ejemplo, la salida de la puerta Y de la Fig. 17-17 es 1 si, y sólo si, las entradas BCD son $A = 1$ (LSB), $B = 0$, $C = 1$ y $D = 0$. Puesto que este código representa el número decimal 5, la salida se señala "línea 5".

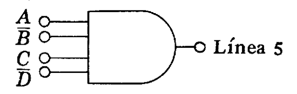


Fig. 17-17. La salida es 1 si la entrada BCD es 0101 y es 0 para cualquier otra instrucción de entrada

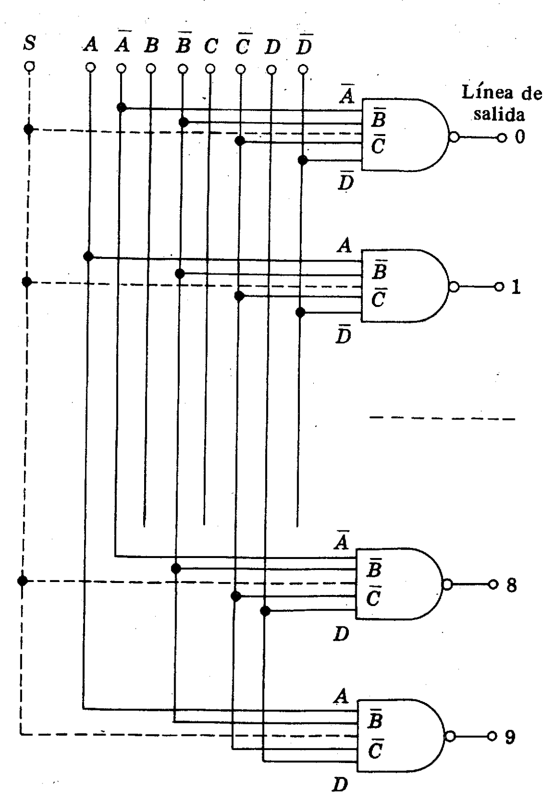


Fig. 17-18. Decodificador de BCD a decimal; supóngase que $S = 1$. (Las líneas de la 2 a la 7 no están indicadas.) Las líneas de trazos convierten el sistema a un demultiplex si S representa la señal de entrada

Un decodificador BCD a decimal queda indicado en la Fig. 17-18. Esta unidad MSI tiene cuatro entradas, A, B, C y D y diez líneas de salida. (Prescindamos momentáneamente de las líneas de trazos.) Además, con las conexiones de tierra y de alimentación se precisará un encapsulado de 16 patillas. Las entradas complementarias $\bar{A}$, $\bar{B}$, $\bar{C}$ y $\bar{D}$ se pueden obtener por medio de inversores en el propio chip. Como se emplean puertas NAND, una salida es 0 (baja) para el código correcto BCD y es 1 (alta) para cualquier otro código (no válido). Al sistema de la Fig. 17-17 también se le denomina "decodificador 4 a 10", indicando que una entrada de 4 bit selecciona 1 de las 10 líneas de salida. En otras palabras, el decodificador actúa como un conmutador de 10 posiciones que responde a las instrucciones de una entrada BCD.

Algunas veces sólo se desea decodificar durante ciertos intervalos de tiempo. En tales aplicaciones se agrega una entrada adicional en cada puerta NAND. Todas estas entradas están unidas entre sí y se excitan por una señal binaria S, como se indica por la línea de trazos de la Fig. 17-18. Si $S = 1$, una puerta queda *liberada* y tiene lugar la decodificación; en cambio, si $S = 0$, no hay coincidencia y el decodificador queda inhibido. Estas entradas adicionales pueden ser utilizadas con un decodificador de cualquier número de entradas y salidas.

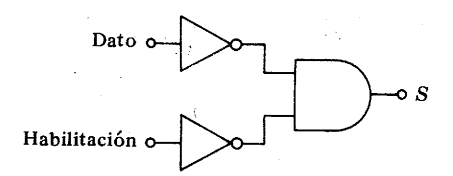


Fig. 17-19. Un decodificador se convierte en un demultiplex (con una entrada de habilitación) si el terminal S de la Fig. 17-18 se obtiene de la salida de la puerta Y anterior

Demultiplex. Un *demultiplex* es un sistema para transmitir una señal binaria (datos en serie) a una de N líneas, elegida mediante un seleccionador. Un decodificador se convierte en un demultiplex mediante las conexiones a trazos de la Fig. 17-18. Si se aplica una señal a S, entonces la salida será el complemento de esta señal (ya que la salida será 0 si todas las entradas son 1) y sólo aparecerá en la línea seleccionada.

Cabe aplicar una señal de cebado a un demultiplex, conectando en cascada el sistema de la Fig. 17-18 con el que se indica en la Fig. 17-19. Si ambas entradas, el dato y el cebado, son 0, el dato aparecerá (sin inversión) en la línea con el código deseado. Si la entrada de activación es 1, los datos se inhiben para cualquier línea y todas las entradas quedan a 1.

Decodificador/Demultiplex de 4 a 16 líneas. Si un valor correspondiente a un número decimal que excede de 9 se aplica a las entradas de la Fig. 17-18, la orden queda rechazada, es decir, que las 10 salidas quedarán a 1. Si se desea seleccionar 1 de 16 líneas de salida, el sistema se ampliará añadiendo 6 puertas NAND más y se emplearán los 16 códigos posibles con 4 bit binarios.

El TI 74154 es un decodificador/demultiplex de 4 a 16 líneas. Tiene 4 líneas de selección, 16 de salida, una entrada de excitación, una entrada de datos, una toma de tierra y otra para la alimentación, de modo que en total se precisa un encapsulado de 24 patillas.

También existen decodificadores/demultiplex de 2 a 4 y de 3 a 8 líneas en encapsulados integrados individuales.

Excitadores decodificador/lámpara. Algunos decodificadores van equipados con etapas especiales de salida que pueden excitar lámparas como las Nixie Burroughs. Un indicador Nixie es un tubo de descarga de gas de cátodo frío con un solo ánodo y 10 cátodos que tienen la forma de las cifras del 0 al 9. Estos cátodos están conectados a la salida de las líneas del 0 al 9, respectivamente, y el ánodo a una fuente de tensión fijada. La combinación decodificador/lámpara excitador/indicador Nixie hace visible el número decimal correspondiente al número aplicado BCD. Es decir, que si la entrada es 0101, el número 5 aparecerá en la lámpara.

En la Sec. 17-7 se trata de un decodificador cuyas cifras se forman con siete segmentos rectilíneos, que se hacen visibles por tratarse de diodos luminiscentes.

17-5. SELECTOR DE DATOS/MULTIPLEX

La función que realiza un *multiplex* es la de seleccionar una de entre N entradas de datos y transmitir el dato seleccionado a un canal de información único. Así como en un

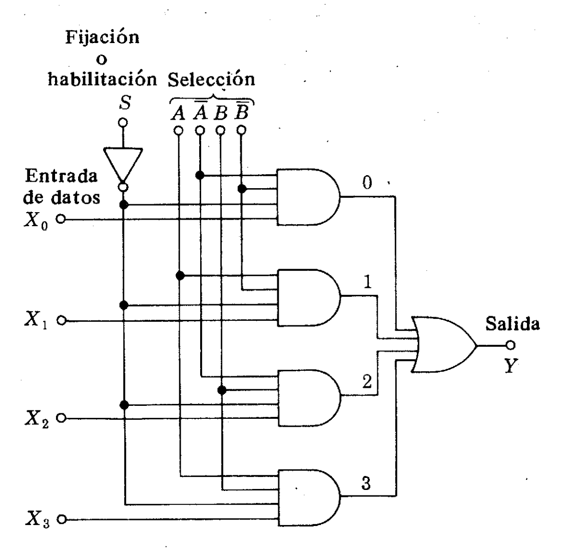


Fig. 17-20. Multiplex de 4 a 1 líneas

demultiplex sólo hay una entrada y el resultado aparece en una de las N salidas, en un multiplex el proceso es a la inversa.

El demultiplex de la Fig. 17-18 se convierte en un multiplex haciendo los dos cambios siguientes: (1) Añadir una puerta NAND cuyas entradas incluyan todas las N salidas de la Fig. 17-18 y (2) aumentar cada puerta NAND con una entrada individual de datos X_0, $X_1, \ldots, X_N$. El sistema lógico de un multiplex selector de datos de 4 a 1 línea está representado en la Fig. 17-20. Esta lógica Y-O es equivalente a la lógica NAND-NAND como queda descrito en los apartados 1 y 2 (ver Sec. 6-8). Obsérvese que la misma configuración de decodificador se emplea tanto en el multiplex como en el demultiplex. Si el código seleccionado es 01, entonces X_1 aparece en la salida Y, si la indicación es 11 entonces $Y = X_3$, etc., en el supuesto de que el sistema esté excitado ($S = 0$). También hay multiplex disponibles para seleccionar 1 de 8 ó 1 de 16 fuentes de datos. El más moderno (TI 74150) es un circuito integrado con 24 patillas; 16 entradas de datos, un código de selección de 4 bit, una entrada de accionamiento, una salida, una conexión para la fuente de alimentación y un terminal de tierra. Para un multiplex de 16 líneas a una, la Fig. 17-20 se aumenta desde cuatro puertas Y de cuatro entradas a dieciséis circuitos Y de 6 entradas. Se pueden interconectar dos multiplex de 16 entradas de datos para seleccionar 1 de entre 32 fuentes de información. (Prob. 17-18).

Conversión paralelo a serie. Consideremos una información de 16 bit en paralelo, de tal manera que X_0 represente el bit 2^0, X_1 el bit 2^1, etc. Mediante un contador, se puede (Sec. 17-13) cambiar el código de manera que sea 0000 durante un primer intervalo de T seg, 0001 durante el segundo intervalo T, 0010 durante el tercero, etc. Con estos cambios de código, la salida del multiplex será X_0 durante el primer período T, X_1 durante el segundo, X_2 durante el tercero, etc. La salida Y tiene una forma de onda que representa en serie los datos binarios aplicados en paralelo a la entrada. En otras palabras, ha tenido lugar una conversión paralelo-serie de la información de 16 bit; este proceso requiere 16 T seg.

Selección de datos secuenciales. Al cambiar el código con un contador en la forma indicada en el apartado anterior, se simula el funcionamiento de un conmutador electromecánico escalonado. Si la entrada de datos es un tren de impulsos, esta información aparecerá en forma secuencial en el canal de salida: dicho de otra manera, el impulso X_0 aparecerá durante T seg, seguido por X_1 durante otros T, etc. Si el número de fuentes de datos es M, entonces X_0 se selecciona nuevamente durante el intervalo $MT < t < (M + 1)T$.

17-6. CODIFICADOR

Un decodificador es un sistema que acepta una información de M bit y establece el estado 1 en una (y sólo una) de las 2^M líneas de salida (Sec. 17-4). En otras palabras, un decodificador identifica (reconoce) un código particular. Al proceso inverso se le denomina *codificación*. Un codificador tiene un determinado número de entradas, de las cuales sólo una tiene el estado 1, y se *genera* un código de N bit, que depende de cual sea la entrada excitada.

Consideremos, por ejemplo, que se requiere que un código binario se transmita con cada golpe de un teclado alfanumérico (de una máquina de escribir o de un teletipo). Hay 26 minúsculas y 26 mayúsculas, 10 números y aproximadamente 22 caracteres especiales en el teclado, o sea que el total de códigos necesarios es de unos 84. Esta condición puede satisfacerse con un mínimo de 7 bit ($2^7 = 128$, pero $2^6 = 64$). Modifiquemos el teclado de tal manera que, si se pulsa una tecla, se cierre un interruptor que conecta una alimentación de 5 V (que corresponde al estado 1) a una línea de entrada. En la Fig. 17-21 se indica un diagrama de bloques de un codificador. En el interior del bloque sombreado hay un rectángulo cruzado por conductores (o matriz), y vamos a ver ahora cómo se conectan entre sí para dar lugar a los códigos deseados.

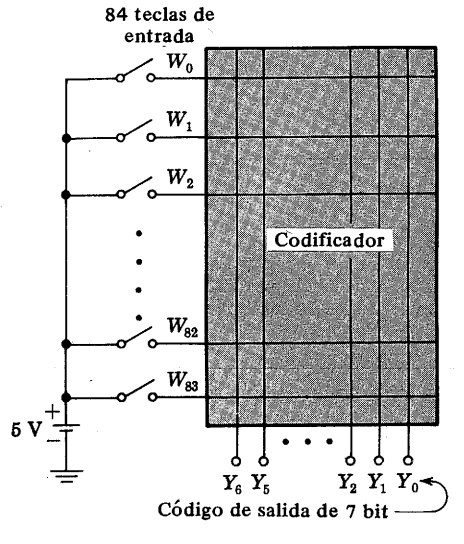


Fig. 17-21. Diagrama de bloques de un codificador para la generación de un código de salida (información) para cada carácter de un teclado

Para ilustrar el procedimiento de diseño de construcción de un codificador, vamos a simplificar el ejemplo anterior limitando el teclado a sólo 10 teclas, los números 0, 1, 2, . . . , 9. En este caso, será suficiente un código de salida con 4 bit y por esto escogeremos el sistema BCD para los códigos de salida. La tabla de la verdad que define este codificador puede verse en la Tabla 17-2. La entrada W_n ($n = 0, 1, \ldots, 9$) representa la tecla n.

TABLA 17-2 Tabla de la verdad para codificar los números decimales del 0 al 9

Entradas										Salidas			
W_9	W_8	W_7	W_6	W_5	W_4	W_3	W_2	W_1	W_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	0	0	0	1	0	0	0	0	1
0	0	0	0	0	0	0	1	0	0	0	0	1	0
0	0	0	0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	0	1	0	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	0	0	1	0	1
0	0	0	1	0	0	0	0	0	0	0	1	1	0
0	0	1	0	0	0	0	0	0	0	0	1	1	1
0	1	0	0	0	0	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	0	1	0	0	1

Cuando $W_n = 1$, está presionada la tecla n. Como suponemos que no hay más que una tecla activada simultáneamente, entonces en cualquier línea de la tabla, todas las entradas excepto una serán 0. A partir de la tabla se deduce que $Y_0 = 1$ si $W_1 = 1$ o si $W_3 = 1$ o si $W_5 = 1$ o si $W_7 = 1$ o si $W_9 = 1$. De ahí que en la notación de Boole:

$$Y_0 = W_1 + W_3 + W_5 + W_7 + W_9 \tag{17-15}$$

De forma análoga,

$$\begin{aligned} Y_1 &= W_2 + W_3 + W_6 + W_7 \\ Y_2 &= W_4 + W_5 + W_6 + W_7 \\ Y_3 &= W_8 + W_9 \end{aligned} \tag{17-16}$$

Las puertas O de las Ecs. (17-15) y (17-16) se forman con diodos en la Fig. 17-22. (Compárese con la Fig. 6-3, pero con los diodos invertidos, ya que estamos considerando una lógica positiva.) Una disposición de codificador como la de la Fig. 17-22 se denomina *matriz rectangular de diodos.*

En caso que se quiera, se puede construir también un decodificador con una matriz rectangular de diodos (Prob. 17-21). Esta premisa se puede deducir del hecho de que un decodificador está formado por puertas Y (Fig. 17-17), y es posible hacer puertas Y con diodos (Fig. 6-5*b*).

Cada diodo del codificador de la Fig. 17-22 puede ser sustituido por el diodo base-emisor de un transistor. Si el colector está unido a la tensión de alimentación V_{CC}, entonces resulta una puerta O seguidor de emisor. Esta estructura está dibujada en la Fig. 17-23*a*

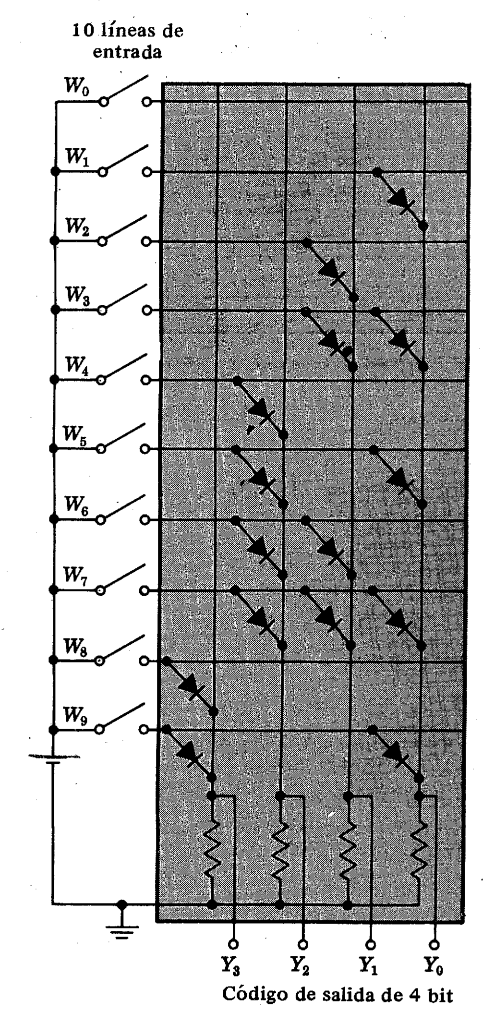


Fig. 17-22. Matriz codificadora para transformar un número decimal en un código binario (BCD)

para la salida Y_2. Obsérvese que si cualquiera de W_4 o W_5, o W_6 o W_7 están en estado alto, la salida del seguidor de emisor también estará alta, lo cual cumple que $Y_2 = W_4 + W_5 + W_6 + W_7$, como exige la Ec. (17-16).

Sólo se requiere un transistor (con emisor múltiple) por cada entrada del codificador. La base está unida a la línea de entrada, y cada emisor se conecta a una línea de salida diferente, de acuerdo con la lógica del codificador. Por ejemplo, puesto que la línea W_7 de la Fig. 17-22 está unida a tres diodos cuyos cátodos van a Y_0, Y_1 e Y_2, esta combinación puede ser sustituida por un transistor con tres emisores $Q7$ conectado como en la Fig. 17-23*b*. El número máximo de emisores que se puede necesitar es igual al número de bit del código de salida. Para el codificador particular esbozado en la Fig. 17-22, $Q1$, $Q2$,

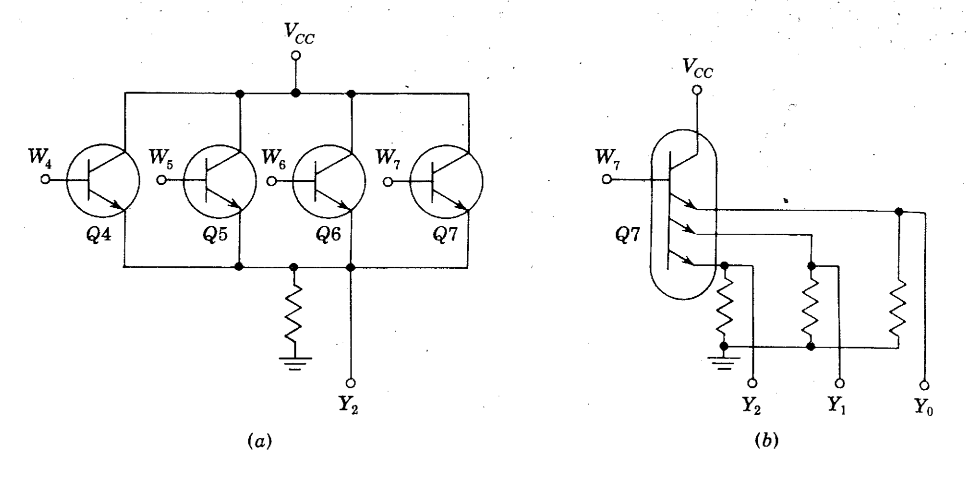


Fig. 17-23. (*a*) Puerta O seguidor de emisor. (*b*) La línea W_7 del codificador de la Fig. 17-22 se conecta a la base de un transistor de tres emisores

$Q4$ y $Q8$ tienen un emisor cada uno, $Q3$, $Q5$, $Q6$ y $Q9$ tienen dos emisores y $Q7$ tiene tres.

17-7. MEMORIA DE SOLO LECTURA (ROM)[4]

Consideremos el problema de conversión de un código binario a otro. Tal sistema de conversión de código (designado por ROM y esbozado en la Fig. 17-24*a*) tiene M entradas $(X_0, X_1, \ldots, X_{M-1})$ y N salidas $(Y_0, Y_1, \ldots, Y_{N-1})$ en las que N puede ser mayor, menor o igual a M. Cada código definido por M bit determina un código de salida específica de N bit. Esta traslación de código se realiza, como se indica en la Fig. 17-24*b*, decodificando en primer lugar las M entradas en $2^M \equiv \mu$ líneas de información $(W_0, W_1, \ldots, W_{\mu-1})$ y después codificando cada línea a la forma de salida que se desee. Si las entradas asumen todas las posibles combinaciones de 1 y 0, entonces se leerán a la salida informaciones de μN bit (no todas estas 2^M informaciones precisan ser únicas, ya que se puede pretender el mismo código de salida para varias informaciones de entrada diferentes).

La relación funcional entre las informaciones de salida y de entrada tiene lugar en el bloque codificador de la Fig. 17-24. Como esta información queda almacenada permanentemente, se dice que el sistema tiene "memoria". Los *memorizadores* o *elementos de memoria* son los diodos de la Fig. 17-22 o los emisores de los transistores de la Fig. 17-23. La información de salida para cualquier código de entrada puede leerse tantas veces como se desee. Sin embargo, puesto que la relación almacenada entre la salida y la entrada no puede modificarse sin añadir o eliminar elementos memorizadores este sistema se denomina *memoria de sólo lectura,* abreviadamente ROM.

El mayor ROM bipolar construido hasta 1971 (el MM 6280, de Monolithic Memories) tiene $M = 10$ y $N = 8$, lo que da como resultado $2^M = 2^{10} = 1\,024$ informaciones de 8 bit cada una. Este tamaño se describe como memoria de $8 \times 1\,024 = 8\,192$ bit, y

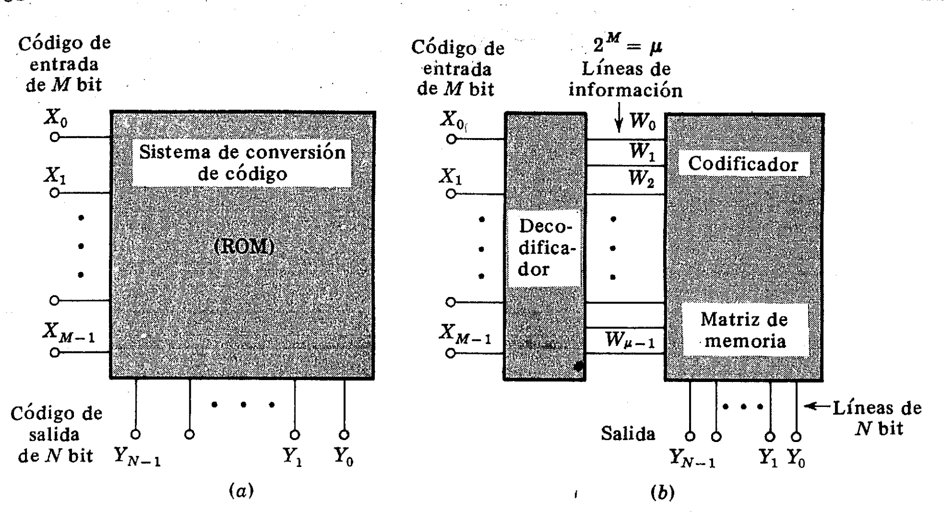


Fig. 17-24. (*a*) Diagrama de bloques de un sistema para convertir un código en otro; memoria de sólo lectura (ROM). (*b*) Una ROM se puede considerar como un decodificador del código de entrada seguido de un codificador del código de salida

constituye un ejemplo de integración a gran escala (LSI). Las memorias de sólo lectura que emplean MOSFET como elementos de memoria serán tratadas en la Sec. 17-17.

Convertidores de código. La tabla de la verdad para traducir un código binario a uno de Gray viene dada en la Tabla 17-3. En el paso de una línea a la siguiente en el código de Gray, sólo un bit cambia de 0 a 1 o viceversa. (Esta propiedad no define un código único, y por tanto se pueden construir varios códigos de Gray.) Los bit de entrada se decodifican en un ROM para formar las líneas de información $W_0, W_1, \ldots, W_{15}$, como se indica en la Fig. 17-24*b*, y seguidamente se codifican al código de Gray deseado $Y_3Y_2Y_1Y_0$. Las W son las salidas del decodificador. Por ejemplo,

$$W_0 = \bar{X}_3\bar{X}_2\bar{X}_1\bar{X}_0 \qquad W_5 = \bar{X}_3X_2\bar{X}_1X_0 \qquad W_9 = X_3\bar{X}_2\bar{X}_1X_0 \quad (17\text{-}17)$$

De la tabla 17-3, deducimos que

$$Y_0 = W_1 + W_2 + W_5 + W_6 + W_9 + W_{10} + W_{13} + W_{14} \qquad (17\text{-}18)$$

Esta ecuación se cumplimenta conectando ocho diodos con todos sus cátodos unidos a Y_0 y sus ánodos conectados a las líneas decodificadas W_1, W_2, W_5, W_6, W_9, W_{10}, W_{13} y W_{14}, respectivamente (o si se emplean los diodos base-emisor de los transistores, conectados de la misma manera para formar una puerta O seguidor de emisor, como en la Fig. 17-23*a*). Análogamente, por la Tabla 17-3 podemos escribir las expresiones de Boole para los demás bit de salida. Por ejemplo,

$$Y_3 = W_8 + W_9 + W_{10} + W_{11} + W_{12} + W_{13} + W_{14} + W_{15} \qquad (17\text{-}19)$$

Consideremos la traslación inversa de código a Gray binario. Las entradas de código Gray se disponen en el orden $W_0, W_1, \ldots W_{15}$ (correspondientes a los números decimales

TABLA 17-3 Conversión del código binario al de Gray

Entrada en código binario				Información decodificada	Salidas en código de Gray			
X_3	X_2	X_1	X_0	W_n	Y_3	Y_2	Y_1	Y_0
0	0	0	0	W_0	0	0	0	0
0	0	0	1	W_1	0	0	0	1
0	0	1	0	W_2	0	0	1	1
0	0	1	1	W_3	0	0	1	0
0	1	0	0	W_4	0	1	1	0
0	1	0	1	W_5	0	1	1	1
0	1	1	0	W_6	0	1	0	1
0	1	1	1	W_7	0	1	0	0
1	0	0	0	W_8	1	1	0	0
1	0	0	1	W_9	1	1	0	1
1	0	1	0	W_{10}	1	1	1	1
1	0	1	1	W_{11}	1	1	1	0
1	1	0	0	W_{12}	1	0	1	0
1	1	0	1	W_{13}	1	0	1	1
1	1	1	0	W_{14}	1	0	0	1
1	1	1	1	W_{15}	1	0	0	0

del 0 al 15). El código binario correspondiente a una información de entrada dada W_n, está registrado como código de salida para esa línea. Por ejemplo, vemos en la Tabla 17-3 que el código de Gray 1001 corresponde al código binario 1110, y esta relación se mantiene en la Tabla 17-4 en la línea W_9. De esta tabla obtenemos la relación entre los bit de entrada y de salida. Por ejemplo,

$$Y_0 = W_1 + W_2 + W_4 + W_7 + W_8 + W_{11} + W_{13} + W_{14} \tag{17-20}$$

Esta ecuación define como se deben disponer los elementos de la memoria en el codificador. Obsérvese que la ROM de la Tabla 17-4 emplea la misma disposición para la decodificación que la Tabla 17-3, pero los codificadores son completamente diferentes. En otras palabras, los chips integrados de ambos ROM son notablemente distintos, puesto que deben emplearse máscaras individuales para la matriz de los elementos memorizadores del codificador.

Programación de la ROM. Consideremos una memoria de sólo lectura de 256 bit (TI 7488A) dispuesta para 32 informaciones de 8 bit cada una. La entrada del decodificador es un código binario de 5 bit y sus salidas son las 32 líneas de información. El codificador está constituido por 32 transistores (cada base conectada a una línea diferente) y con 8 emisores cada transistor. El usuario rellena la tabla de la verdad que desea que la ROM satisfaga, y entonces el constructor prepara una máscara para la metalización de forma que quede conectado el emisor de cada transistor a la línea de salida apropiada, o quede la conexión flotante. Por ejemplo, para la conversión de un código de Gray a uno binario, la Ec. (17-20) determina que un emisor de cada uno de los transistores $Q1$, $Q2$, $Q4$, $Q7$, $Q8$, $Q11$, $Q13$ y $Q14$ sea conectado a la línea Y_0, en tanto que los emisores correspondientes

TABLA 17-4 Conversión de código de Gray a binario

Entradas en código de Gray				Información decodificada	Salidas en código binario			
X_3	X_2	X_1	X_0	W_n	Y_3	Y_2	Y_1	Y_0
0	0	0	0	W_0	0	0	0	0
0	0	0	1	W_1	0	0	0	1
0	0	1	0	W_2	0	0	1	1
0	0	1	1	W_3	0	0	1	0
0	1	0	0	W_4	0	1	1	1
0	1	0	1	W_5	0	1	1	0
0	1	1	0	W_6	0	1	0	0
0	1	1	1	W_7	0	1	0	1
1	0	0	0	W_8	1	1	1	1
1	0	0	1	W_9	1	1	1	0
1	0	1	0	W_{10}	1	1	0	0
1	0	1	1	W_{11}	1	1	0	1
1	1	0	0	W_{12}	1	0	0	0
1	1	0	1	W_{13}	1	0	0	1
1	1	1	0	W_{14}	1	0	1	1
1	1	1	1	W_{15}	1	0	1	0

de los transistores $Q0$, $Q3$, $Q5$, $Q6$, . . . se dejan desconectados. Este procedimiento descrito se denomina *programación según demanda,* o *máscara programada,* de un ROM. Si la demanda para un determinado código es suficiente, este ROM pasa a ser normal, disponible en stock.

Para pequeñas cantidades de un determinado ROM, el coste de la máscara puede ser prohibitivo, y el tiempo de suministro demasiado largo. De ahí que algunos constructores* hagan ROM *programables*[4,5], abreviadamente pROM, o ROMP (memoria de sólo lectura programable). Cada chip integrado tiene una matriz codificadora con todas las conexiones posibles que se pidan. Por ejemplo, la memoria de 256 bit como la que acabamos de plantear está construida con un pROM con 32 transistores, cada uno de ellos con ocho emisores (señalados E_0, E_1, . . . , E_7) y con E_0 de cada transistor unido a la salida Y_0, E_1 a Y_1, etc. En serie con cada emisor, se incorpora una pequeña tira de aluminio o de níquel cromo que actúa como fusible que abre cuando la corriente rebasa el valor máximo correspondiente a estos elementos de memoria. El usuario puede fundir fácilmente las uniones de aquellos elementos de memoria que deben abrirse para que el ROM dé la relación deseada entre la entrada y la salida.

Las matrices de diodos se construyen también con uniones fusibles, y pueden emplearse como la parte codificadora de un pROM, o como decodificador. (Prob. 17-22).

* Por ejemplo, Harris Semiconducter, Intel, Intersil, Monolithic Memories, Motorola, Signetics y Texas Instruments.

17-8. APLICACIONES DE LOS ROM

Como se ha visto en la sección precedente, un ROM es una unidad de conversión de código. Sin embargo, gran cantidad de sistemas prácticos representan una traslación de un código a otro. Vamos a ver a continuación las aplicaciones más importantes de los ROM.

Tablas de recurrencia. A veces se requieren de una calculadora cálculos de rutina tales como funciones trigonométricas, logarítmicas, exponenciales, raíces cuadradas, etc. Si esto ocurre con frecuencia suficiente, es más económico valerse de un ROM como tabla de recurrencia que emplear un programa más complicado, para realizar el cálculo. Una tabla de recurrencia para Y = sen X es un sistema de conversión entre el código de entrada representante del argumento X en notación binaria (para cualquier aproximación deseada) y un código de salida que corresponda a los valores de la función seno. Está claro que, para cualquier cálculo para el que pueda hacerse una tabla de la verdad, podrá emplearse una ROM –desde luego, una ROM diferente para cada tabla.

Generadores de secuencia. En un sistema digital (ya sea una calculadora, un sistema de comunicación de datos, etc.) se precisan a menudo varios trenes de impulsos para efectos de control (disparo). Pueden emplearse las ROM para suministrar estas secuencias binarias si la dirección se cambia por medio de un contador. Como mencionamos en la Sec. 17-5, las entradas de los codificadores cambian de W_0 a W_1 a W_2, etc., cada T segundos. Con esta excitación, la salida Y_1 de la ROM representada por la tabla 17-4 será

$$Y_1 = 1100001100111100 \quad \text{(LSB)} \tag{17-21}$$

Esta ecuación se obtiene leyendo los dígitos de la columna Y_1 de arriba abajo, e indica que, durante los primeros $2T$ seg, Y_1 permanece bajo; durante los siguientes $4T$ seg, Y_1 está alto; en los próximos $2T$ seg, bajo otra vez, en los siguientes $2T$ seg, nuevamente alto, en los $4T$ seg siguientes otra vez bajo, y en los últimos $2T$, Y_1 está alto; después de estos $16T$ seg, la secuencia se repite (mientras los impulsos alimenten al contador).

Simultáneamente con Y_1, se crean otros tres trenes de impulsos sincronizados, Y_0, Y_2 e Y_3. En general, el número de secuencias obtenidas iguala el número de salidas de la ROM. Se puede generar cualquier serie de ondas binarias deseada si se especifica adecuadamente la tabla de la verdad, o sea si el ROM se programa correctamente.

Imagen visible con siete segmentos. Es corriente hacer visible la lectura de un instrumento digital (medidor de frecuencia, voltímetro digital, etc.) mediante un indicador numérico de siete segmentos como el indicado en la Fig. 17-25*a*. Hay disponibles en el mercado gran variedad de ellos. Un indicador estático cuyos segmentos obtienen su luminosidad de unos diodos luminiscentes de galio, arsénico o fósforo (Sec. 3-15), trabaja a baja tensión y con pequeña potencia, y por tanto puede excitarse directamente desde puertas lógicas integradas.

Las diez primeras imágenes de la Fig. 17-25*b* son las cifras del 0 al 9, que en el instrumento digital se representan en forma BCD. Un código de 4 bit, tiene 16 estados posibles, y las imágenes del 10 al 15 de la Fig. 17-25*b* son símbolos empleados únicamente para identificar una condición no válida de BCD.

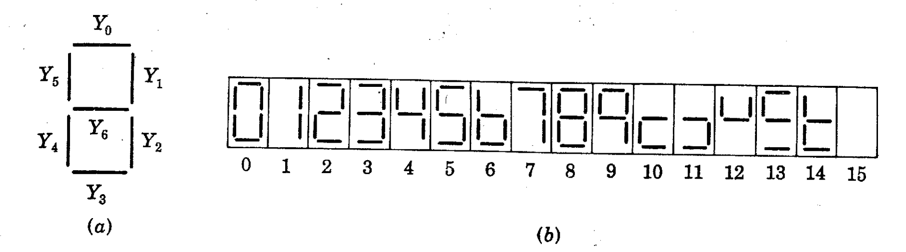


Fig. 17-25. (*a*) Identificación de los segmentos de un indicador visible de siete segmentos formados por diodos emisores de luz. (*b*) Figura que resulta para cada uno de los 16 códigos de entrada de 4 bit

Se resuelve fácilmente el problema de pasar de la entrada BCD a la salida de siete segmentos empleando un ROM. Si la excitación de un segmento (luminosidad) se identifica como estado 0 y la ausencia de luz como estado 1, entonces se obtiene la tabla de la verdad 17-5, que se comprueba de la siguiente manera. Para una información W_0 (que corresponde al número 0) vemos en la Fig. 17-25 que $Y_6 = 1$ y que todos los demás Y son 0. Para la información W_4 (que corresponde al número 4), $Y_0 = Y_3 = Y_4 = 1$ e $Y_1 = Y_2 = Y_5 = Y_6 = 0$. La ROM se programa como se ha explicado en la Sec. 17-7 para satisfacer la tabla de la verdad. Por ejemplo,

TABLA 17-5 Conversión de código BCD al indicador de siete segmentos

Entradas en código binario decimal				Información decodificada	Salidas en código para el indicador de siete segmentos						
$X_3 = D$	$X_2 = C$	$X_1 = B$	$X_0 = A$	W_n	Y_6	Y_5	Y_4	Y_3	Y_2	Y_1	Y_0
0	0	0	0	W_0	1	0	0	0	0	0	0
0	0	0	1	W_1	1	1	1	1	0	0	1
0	0	1	0	W_2	0	1	0	0	1	0	0
0	0	1	1	W_3	0	1	1	0	0	0	0
0	1	0	0	W_4	0	0	1	1	0	0	1
0	1	0	1	W_5	0	0	1	0	0	1	0
0	1	1	0	W_6	0	0	0	0	0	1	1
0	1	1	1	W_7	1	1	1	1	0	0	0
1	0	0	0	W_8	0	0	0	0	0	0	0
1	0	0	1	W_9	0	0	1	1	0	0	0
1	0	1	0	W_{10}	0	1	0	0	1	1	1
1	0	1	1	W_{11}	0	1	1	0	0	1	1
1	1	0	0	W_{12}	0	0	1	1	1	0	1
1	1	0	1	W_{13}	0	0	1	0	1	1	0
1	1	1	0	W_{14}	0	0	0	0	1	1	1
1	1	1	1	W_{15}	1	1	1	1	1	1	1

$$Y_0 = W_1 + W_4 + W_6 + W_{10} + W_{11} + W_{12} + W_{14} + W_{15} \tag{17-22}$$

Puntualicemos que una ROM puede no usar el menor número de puertas para llevar a cabo una conversión de código particular. Consideremos la Ec. (17-22) escrita como suma

de productos. Sustituyendo W_1 por $\bar{X}_3\bar{X}_2\bar{X}_1X_0. = \bar{D}\bar{C}\bar{B}A$ y empleando análogas expresiones para las salidas de los otros decodificadores, la ecuación (17-22) se transforma en

$$Y_0 = \bar{D}\bar{C}\bar{B}A + \bar{D}C\bar{B}\bar{A} + \bar{D}CB\bar{A} + D\bar{C}B\bar{A} + D\bar{C}BA + DC\bar{B}\bar{A} + DCB\bar{A} + DCBA \tag{17-23}$$

Existen técnicas algebraicas y gráficas [8,9] y programas de calculadoras para minimizar estas expresiones de Boole. Obsérvese, por ejemplo, que el segundo y tercer término pueden simplificarse

$$\bar{D}C\bar{A}\bar{B} + \bar{D}C\bar{A}B = \bar{D}C\bar{A}$$

ya que $B + \bar{B} = 1$. Procediendo de esta manera (Prob. 17-25), se obtiene la siguiente expresión minimizada de Y_0:

$$Y_0 = \bar{D}\bar{C}\bar{B}A + C\bar{A} + DB \tag{17-24}$$

Empleando las mismas expresiones minimizadas para $Y_0, Y_1, \ldots, Y_6$, resulta una cierta economía de componentes (cerca de un 20 %) de los necesarios para la ROM. Un chip fabricado de esta manera (por ejemplo TI 7446A) se denomina "decodificador de siete segmentos/excitador".

La minimización de las ecuaciones de Boole (sobre todo si el número de variables de cada producto excede de cinco) resulta arduo y lento. Hay que comparar el coste en horas empleadas para la minimización y diseño de un chip integrado especial para ahorro de componentes, con el coste de programar simplemente una ROM en existencia. Salvo el caso en el que se precise un gran número de unidades (particularmente si la matriz es muy amplia), la ROM es el procedimiento más económico.

Lógica combinatoria. Si se dan en forma canónica de suma de productos, N ecuaciones lógicas con M variables, estas ecuaciones pueden manejarse con una ROM de M entradas y N salidas. Tal como se ha explicado más arriba, resulta una solución económica si M y N son grandes (sobre todo si M es grande). Sin embargo, en el diseño lógico de una etapa de un sumador completo, en el que $M = 3$ y $N = 2$ (pequeños valores), y en el que esta unidad se emplee en cantidades considerables, resulta más económico emplear combinaciones de puertas como la Fig. 17-7 en lugar de la ROM.

Generador de caracteres. Los caracteres alfanuméricos pueden "escribirse" en la superficie de un tubo de rayos catódicos (del tipo de un tubo de TV) con ayuda de una ROM. Esta aplicación tan importante la trataremos en la Sec. 17-21.

II. SISTEMAS DIGITALES SECUENCIALES

17-9. UNA MEMORIA DE 1 BIT[10]

Todos los sistemas explicados en las secciones precedentes de este capítulo, están basados en una lógica combinatoria; las salidas en un instante dado sólo dependen de los valores de la entrada en aquel mismo momento. De este sistema se dice que no tiene memoria. Obsérvese que una ROM es un circuito combinatorio y, de acuerdo con la definición anterior, no tiene memoria. *La memoria de una ROM se refiere al hecho de que "memoriza" la relación funcional entre las variables de salida y las variables de entrada.* Esto, en realidad, no constituye un almacenamiento de bit de información.

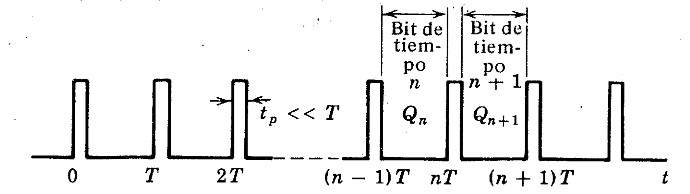


Fig. 17-26. La salida de un oscilador ordenador empleada como tren de impulsos de reloj para sincronizar un sistema secuencial digital

Sistema secuencial. Muchos sistemas digitales están temporizados, es decir, funcionan sincronizados con un tren de impulsos de período T, denominado sistema *reloj* (abreviadamente *Ck*), tal como se indica en la Fig. 17-26. La anchura del impulso t_p se supone pequeña comparada con T. Los valores binarios en cada nudo del sistema se suponen constantes en el intervalo comprendido entre dos impulsos. La transición de un estado a otro del sistema sólo puede efectuarse con la aplicación de un impulso del reloj. Sea Q_n la salida (0 ó 1) en un nudo dado durante el intervalo n-ésimo (bit de tiempo n) precediendo al n-ésimo impulso del reloj (Fig. 17-26); entonces Q_{n+1} es la salida correspondiente en el intervalo inmediatamente posterior al impulso n. Así, pues, un sistema en el que los valores $Q_1, Q_2, Q_3, \ldots, Q_n$ se obtengan con una secuencia de intervalo T, se denomina sistema lógico *secuencial* (para distinguirlo del sistema *combinatorio*). Los valores de Q_{n+1} pueden depender de los valores nodales durante el bit precedente (n). En estas circunstancias, el circuito secuencial tiene memoria.

Célula de almacenamiento de 1 bit. El circuito digital básico de memoria se obtiene por el acoplamiento mutuo de dos circuitos NO N_1 y N_2 (puertas NAND de una sola entrada) en la forma indicada en la Fig. 17-27*a*. La salida de cada puerta se conecta a la entrada de la otra, y esta combinación de realimentación se denomina FLIP-FLOP (o biestable). La propiedad más importante del FLIP-FLOP es que puede permanecer en uno de dos estados estables: ya sea el $Q = 1$ ($\bar{Q} = 0$), denominado estado 1, o el $Q = 0$ ($\bar{Q} = 1$), llamado estado 0. La existencia de estos dos estados estables se debe a las interconexiones de la Fig. 17-27*a*. Por ejemplo, si la salida de $N1$ es $Q = 1$, también lo será A_2, la

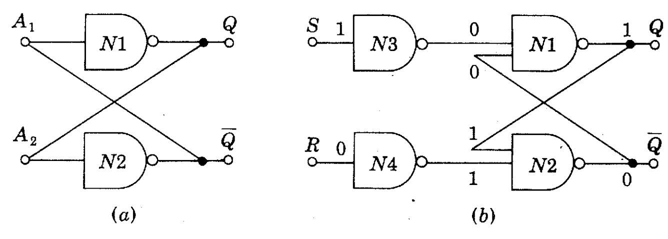


Fig. 17-27. (*a*) Memoria de 1 bit o biestable. (*b*) El FLIP-FLOP provisto de medios para poner el estado de la célula en 1 o en 0

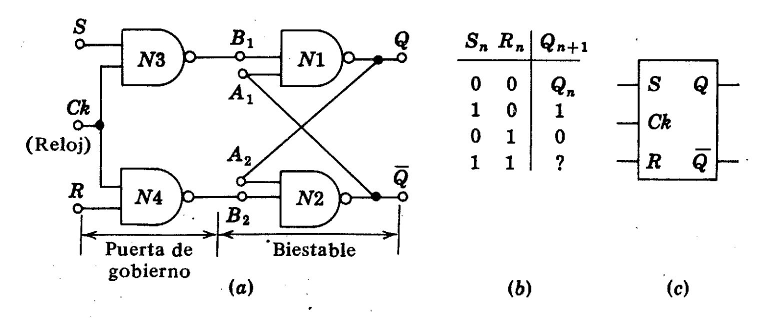
entrada de $N2$. Este inversor tiene por consiguiente el estado 0 en su salida $\bar{Q}$. Como $\bar{Q}$ está ligado a A_1, entonces la entrada de $N1$ es cero, y su salida correspondiente es $Q = 1$. Este resultado está de acuerdo con nuestra primitiva suposición de que $Q = 1$. Una argumentación similar nos lleva a la conclusión de que $Q = 0$ y $\bar{Q} = 1$ es también un estado estable. Se puede comprobar fácilmente que la situación en la que ambas salidas se hallen en el mismo estado (ambas en 1 o en 0) no es congruente con la conexión.

Puesto que el FLIP-FLOP tiene dos estados estables, se denomina también *binario, biestable* o MULTI. Como puede almacenar un bit de información (ya sea $Q = 1$ o $Q = 0$), resulta una *unidad de memoria de 1 bit,* o *célula de almacenamiento de 1 bit.* Puesto que esta información está cerrada o bloqueada en el mismo sitio, el FLIP-FLOP se denomina también *cierre.*

Supongamos que se precisa almacenar un estado específico, por ejemplo, $Q = 1$, en el biestable, o, al revés, podemos desear recordar el estado $Q = 0$. Cabe "escribir" un 1 o un 0 en la célula de memoria, cambiando las puertas NO de la Fig. 17-27*a* por dos puertas NAND de dos entradas, N_1 y N_2, y alimentando este biestable a través de dos puertas NO, N_3 y N_4, cuyas entradas son S y R, como en la Fig. 17-27*b*. Si suponemos que $S = 1$ y $R = 0$, entonces el estado de cada puerta de entrada y de salida es el indicado en el diagrama lógico. Como $Q = 1$, es evidente que poner el FLIP-FLOP en el estado 1 requiere $S = 1$ y $R = 0$. La entrada S se denomina entrada de *escritura* o *fijación.* De forma similar, cabe demostrar que para introducir 0 en la memoria es preciso que $S = 0$ y $R = 1$. Entonces R se denomina *borrado* o *eliminación.* La combinación de las entradas $R = 0$ y $S = 0$ es un estado de indeterminación (Q puede ser indistintamente 1 ó 0). También $S = R = 1$ es una indeterminación (Prob. 17-27).

FLIP-FLOP **S-R temporizado.** En un sistema secuencial se requiere escribir o borrar un FLIP-FLOP en sincronismo con impulsos temporizados, cosa que cabe realizar cambiando los $N3$ y $N4$ de la Fig. 17-27*b* por puertas NAND de dos entradas y aplicando el tren de impulsos del reloj Ck simultáneamente a $N3$ y $N4$. En la Fig. 17-28*a* se indica un FLIP-FLOP por impulsos de escritura-borrado (abreviadamente S-R o R-S). Las puertas $N1$ y $N2$ constituyen un biestable, mientras que $N3$ y $N4$ forman la puerta de *control,* o *gobierno* que programa el estado del FLIP-FLOP después de aparecer el impulso.

Obsérvese que, entre impulsos ($Ck = 0$), las salidas de $N3$ y de $N4$ son 1, independientemente de los valores de R o S. Por lo tanto, el circuito es equivalente al biestable de la Fig. 17-27*a*. Si $Q = 1$, permanece en 1, mientras que si $Q = 0$, permanece en 0. En otras palabras, *el* FLIP-FLOP *no cambia de estado entre dos impulsos del reloj*; es invariable dentro de un bit de tiempo.



S_n	R_n	Q_{n+1}
0	0	Q_n
1	0	1
0	1	0
1	1	?

Fig. 17-28. (*a*) FLIP-FLOP S-R gobernado por reloj; (*b*) tabla de la verdad (el interrogante de la última línea indica que su estado no se puede predecir); (*c*) símbolo lógico

Consideremos ahora el instante $t = nT(+)$ en el que esté presente un impulso del reloj ($Ck = 1$). Si $R = 0$ y $S = 0$, las salidas de $N3$ y $N4$ serán 1. Por la argumentación desarrollada en el párrafo anterior, el estado Q_n del FLIP-FLOP no cambia. De ahí que, una vez haya pasado el impulso (en el bit de tiempo $n + 1$), el estado Q_{n+1} sea idéntico al Q_n. Si ponemos subíndices a los valores de S y R en el intervalo inmediato anterior a $t = nT$, o sea S_n o R_n, entonces $Q_{n+1} = Q_n$ si $S_n = 0$ y $R_n = 0$. Esta relación está indicada en la primera línea de la tabla de la verdad de la Fig. 17-28*b*.

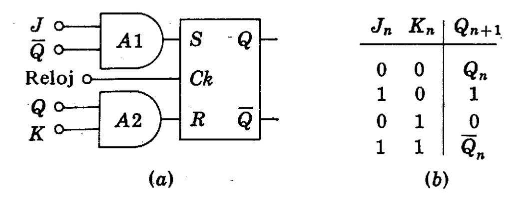
Si $Ck = 1$, $S_n = 1$ y $R_n = 0$, entonces la situación es la representada en la Fig. 17-27*b* y el estado de salida es 1. Por lo tanto, después de pasar el impulso (al bit $n + 1$), encontramos $Q_{n+1} = 1$, confirmando la segunda línea de la tabla. Si R y S se intercambian y si Q se intercambia simultáneamente con $\bar{Q}$, entonces el diagrama lógico de la Fig. 17-28*a* queda inalterado. Por lo tanto, la tercera línea de la Fig. 17-28*b* se deduce de la segunda.

Si $Ck = 1$, $S_n = 1$, y $R_n = 1$, las salidas de ambas puertas NAND $N3$ y $N4$ son 0. Por tanto las entradas B_1 de $N1$ y B_2 de $N2$ son 0, de forma que ambas salidas de $N1$ y $N2$ deban ser 1. Esta condición es lógicamente inconsistente con nuestra notación de Q y $\bar{Q}$. Debemos sacar como conclusión que el transistor de salida ($Q3$ de la Fig. 6-28) de cada puerta $N1$ y $N2$ está al corte, con el resultado de que ambas salidas están en el punto elevado (1). Al final del impulso, las entradas B_1 y B_2 aumentan de 0 a 1. Cualquiera de los dos estados estables $Q = 1$ ($\bar{Q} = 0$) o $Q = 0$ ($\bar{Q} = 1$) puede resultar, según cual de las dos entradas aumente más rápidamente o según sea la asimetría de los parámetros. Por esta razón hemos indicado con un interrogante el valor de Q_{n+1} para la cuarta línea de la tabla de la verdad de la Fig. 17-28*b*. De ese estado se dice que es *indeterminado, ambiguo* o *indefinido,* y la condición de $S_n = 1$ y $R_n = 1$ es inadecuada, por lo que es forzoso evitar que tenga lugar.

17-10. FLIP-FLOP[10]

Además del FLIP-FLOP S-R, hay otras tres variantes de memoria básica de 1 bit comercializadas: los tipos J-K, T, y D. El FLIP-FLOP J-K elimina la ambigüedad de la tabla de la Fig. 17-28*b*. El FLIP-FLOP T actúa como un interruptor y cambia los estados de salida con cada impulso del reloj; $Q_{n+1} = \bar{Q}_n$. El tipo D actúa como una unidad de retardo que motiva que la salida Q siga a la entrada D pero retrasada un bit de tiempo; $Q_{n+1} = D_n$. Vamos a plantear ahora estos tres tipos de FLIP-FLOP.

FLIP-FLOP J-K. Este bloque constructivo se obtiene añadiendo a los FLIP-FLOP S-R dos puertas Y $A1$ y $A2$ (Fig. 17-29*a*). El dato de entrada J y la salida $\bar{Q}$ se aplican a



J_n	K_n	Q_{n+1}
0	0	Q_n
1	0	1
0	1	0
1	1	$\bar{Q}_n$

Fig. 17-29. (*a*) Un FLIP-FLOP SR se convierte en un FLIP-FLOP J-K. (*b*) Tabla de la verdad

$A1$. Como su salida se aplica sobre S, entonces $S = J\bar{Q}$. De forma parecida, el dato de entrada K y la salida Q se aplican a $A2$, y por lo tanto $R = KQ$. La lógica correspondiente a este sistema viene dada en la tabla de la Fig. 17-29*b*. Esta lógica puede comprobarse refiriéndonos a la Tabla 17-6. Hay cuatro combinaciones posibles para las dos entradas de

TABLA 17-6 Tabla de la verdad de la Fig. 17-29*a*

Columna	1	2	3	4	5	6	7	8
Fila	J_n	K_n	Q_n	$\bar{Q}_n$	S_n	R_n	Q_{n+1}	
1	0	0	0	1	0	0	Q_n	Q_n
2	0	0	1	0	0	0	Q_n	
3	1	0	0	1	1	0	1	1
4	1	0	1	0	0	0	Q_n	
5	0	1	0	1	0	0	Q_n	0
6	0	1	1	0	0	1	0	
7	1	1	0	1	1	0	1	$\bar{Q}_n$
8	1	1	1	0	0	1	0	

datos J y K, y para cada una de ellas hay dos estados posibles de Q, y por tanto la Tabla 17-6 tiene ocho líneas. De los bit de cada línea J_n, K_n, Q_n y $\bar{Q}_n$ se calculan $S_n = J_n\bar{Q}_n$ y $R_n = K_nQ_n$ que forman las columnas quinta y sexta de la tabla. Empleando estos valores de S_n y R_n y refiriéndonos a la tabla de la verdad del FLIP-FLOP *S-R* de la Fig. 17-28*b*, se obtiene la séptima columna. Finalmente, la columna octava se obtiene de la columna 7, ya que $Q_n = 1$ en la línea 4, $Q_n = 0$ en la línea 5, $\bar{Q}_n = 1$ en la línea 7, y $\bar{Q}_n = 0$ en la línea 8.

Las columnas 1, 2 y 8 de la Tabla 17-6 constituyen la tabla de la verdad del FLIP-FLOP *J-K* de la Fig. 17-29*b*. Obsérvese que *las tres primeras líneas de un J-K son idénticas a las correspondientes de la tabla del S-R* (Fig. 17-28*b*). Sin embargo, la ambigüedad del estado $S_n = 1 = R_n$ se reemplaza ahora por $Q_{n+1} = \bar{Q}_n$, para $J_n = 1 = K_n$. *Si las dos entradas del* FLIP-FLOP *J-K están en el valor superior, la salida estará complementada por los impulsos del reloj.*

No es realmente necesario emplear las puertas Y $A1$ y $A2$ de la Fig. 17-29*a*, ya que cabe obtener la misma función añadiendo un terminal extra de entrada a cada puerta NAND $N3$ y $N4$ de la Fig. 17-28*a*. Esta simplificación está indicada en la Fig. 17-30. (Ignórense las entradas a trazos; es decir, supóngase que ambas son 1). Obsérvese que las entradas Q y $\bar{Q}$ se obtienen por una conexión de realimentación desde la salida (conexión representada con trazo grueso).

Puesta a 1 y a 0 (Preset and Clear). La tabla de la verdad de la Fig. 17-29*b* nos indica lo que sucede en la salida con la aplicación de un impulso del reloj, en función de los datos de entrada J y K. El valor de la salida antes de ser aplicado el impulso, es arbitrario. Al añadir las entradas señaladas a trazos en la Fig. 17-30 se consigue determinar el estado inicial del FLIP-FLOP. Por ejemplo, puede ser necesario borrar un biestable, o sea especificar que $Q = 0$ cuando $Ck = 0$.

La operación de borrar puede cumplirse haciendo que la entrada de borrado sea 0 y la de aceptación sea 1; $Cr = 0$, $Pr = 1$, $Ck = 0$. Como $Cr = 0$, la salida de $N2$ (Fig. 17-30) es

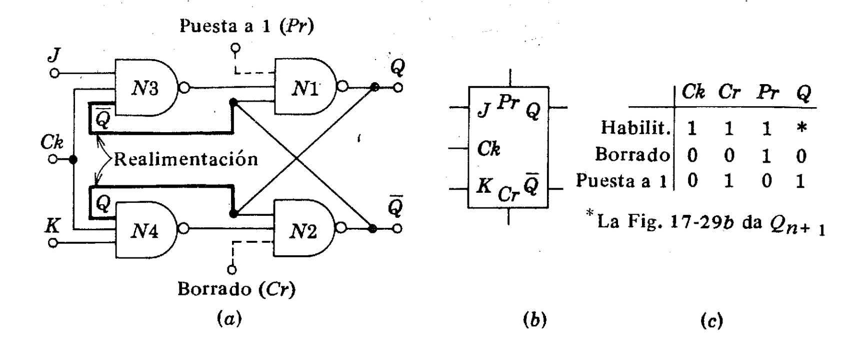


Fig. 17-30. (*a*) FLIP-FLOP *J-K*; (*b*) símbolo lógico; (*c*) condición necesaria para funcionamiento síncrono (línea 1), para borrado asíncrono (línea 2), o para puesta en 1 (línea 3)

$\bar{Q} = 1$. Como $Ck = 0$, la salida de $N3$ es 1, y por lo tanto todas las entradas de $N1$ serán 1 y $Q = 0$, tal como deseábamos. De forma parecida, si se desea que para aceptar, el biestable esté en el estado 1, es preciso escoger $Pr = 0$, $Cr = 1$, $Ck = 0$. Los datos de puesta al estado 1 ó 0 se denominan entradas *directas* o *asíncronas*, o sea que no están en sincronismo con el reloj, y pueden aplicarse en un instante cualquiera entre dos impulsos del reloj. Una vez el estado del FLIP-FLOP se establece, asincrónicamente, las entradas directas deben mantenerse en $Pr = 1$ y $Cr = 1$, antes de que llegue el próximo impulso para dejar al FLIP-FLOP en condiciones de aceptar la entrada exterior. El dato $Pr = 0$ y $Cr = 0$ no debe emplearse porque conduce a un estado de indeterminación. ¿Por qué?

El símbolo lógico del FLIP-FLOP *J-K* queda indicado en la Fig. 17-30*b*, y las entradas para un funcionamiento apropiado vienen dadas en la Fig. 17-30*c*

Condición de auto-oscilación. Puede existir una dificultad física con un FLIP-FLOP *J-K* construido como el de la Fig. 17-30. La tabla de la verdad 17-6 se basa en una combinación lógica en la que se supone que las entradas son independientes de las salidas. Sin embargo, debido a la conexión de realimentación $Q(\bar{Q})$ a la entrada $K(J)$, la entrada cambiará durante el impulso del reloj ($Ck = 1$) si la salida cambia de estado. Consideremos, por ejemplo, que las entradas en la Fig. 17-30 son $J = 1$, $K = 1$, y $Q = 0$. Cuando se aplica el impulso, la salida se convierte en $Q = 1$ (de acuerdo con la línea 7 de la Tabla 17-6), este cambio tiene lugar después de un cierto intervalo de tiempo Δt igual al retraso de propagación (Sec. 6-15) a través de dos puertas NAND en serie en la Fig. 17-30. Ahora $J = 1$, $K = 1$ y $Q = 1$, y en la línea 8 de la Tabla 17-6, encontramos que la entrada cambia nuevamente a $Q = 0$. Por tanto, debido a la duración t_p (Fig. 17-26) del impulso (mientras $Ck = 1$) la salida oscilará entre 0 y 1. Al final del impulso ($Ck = 0$), el valor de Q es ambiguo.

Esta situación se denomina *condición de auto-oscilación.* Cabe soslayar el problema si $t_p < \Delta t < T$. Sin embargo, con componentes integrados el retraso de propagación es muy pequeño, normalmente mucho menor que la anchura del impulso t_p. Por tanto, la desigualdad anterior no queda satisfecha, y la salida permanece indeterminada. Se pueden emplear líneas de retardo en serie con la realimentación de la Fig. 17-30 para aumentar el retardo del lazo t_p, y por lo tanto evitar la autooscilación. No obstante, vamos a dar a continuación una solución integrada más práctica.

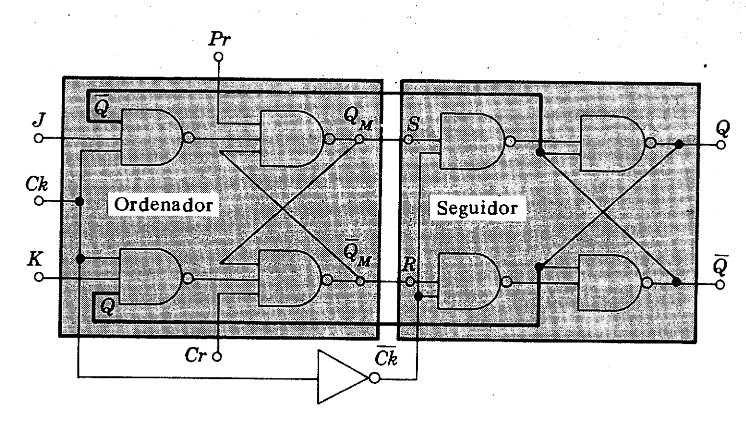


Fig. 17-31. FLIP-FLOP *J-K* ordenador-seguidor

FLIP-FLOP *J-K* **ordenador-seguidor.** En la Fig. 17-31 queda indicada una conexión en cascada de dos FLIP-FLOP *S-R* con realimentaciones de salida del segundo (llamado *seguidor*) a la entrada del primero (llamado *ordenador*). Se aplican al ordenador impulsos positivos de un reloj, que se invierten antes de excitar con ellos al seguidor. Para $Pr = 1$, $Cr = 1$ y $Ck = 1$, el ordenador está preparado para actuar según la tabla de la verdad *J-K* de la Fig. 17-29*b*. Además, como $\overline{Ck} = 0$, el FLIP-FLOP *S-R* seguidor está inhibido (no puede cambiar de estado), con lo que Q_n queda invariable durante la duración del impulso t_p. Evidentemente la dificultad de la auto-oscilación queda soslayada con la topología del ordenador-seguidor. Después de haber pasado el impulso, $Ck = 0$, el ordenador está inhibido y $\overline{Ck} = 1$, lo que da lugar a que el seguidor esté preparado para actuar. El seguidor es un FLIP-FLOP *S-R*, que sigue la lógica determinada en la Fig. 17-28*b*. Si $S = Q_M = 1$ y $R = \overline{Q}_M = 0$, entonces $Q = 1$ y $\overline{Q} = 0$. Análogamente, si $S = Q_M = 0$ y $R = \overline{Q}_M = 1$, entonces $Q = 0$ y $\overline{Q} = 1$. En otras palabras, en el intervalo entre dos impulsos de reloj, el valor de Q_M se transfiere a la salida Q. En resumen, durante un impulso del reloj, la salida Q no cambia, pero Q_M sigue la lógica *J-K*; al final del impulso, el valor de Q_M se transfiere a Q.

Subrayemos que los datos *J* y *K* deben permanecer constantes durante el impulso, de lo contrario pueden dar lugar a una salida errónea, (Prob. 17-33). Obsérvese también que algunos FLIP-FLOP comercialmente disponibles tienen puertas Y internas en las entradas para facilitar múltiples entradas *J* y *K*, con lo cual se evita la necesidad de puertas externas en las aplicaciones en las que éstas puedan ser precisas.

FLIP-FLOP **tipo** *D*. Si se modifica un FLIP-FLOP *J-K* añadiendo un inversor como en la Fig. 17-32*a*, de manera que *K* sea el complementario de *J*, la unidad se denomina FLIP-FLOP *D* (retardo). En la tabla de la verdad *J-K* de la Fig. 17-29*b*, $Q_{n+1} = 1$ para $D_n = J_n = \overline{K}_n = 1$ y $Q_{n+1} = 0$ para $D_n = J_n = \overline{K}_n = 0$, con lo que $Q_{n+1} = D_n$. La salida de Q_{n+1} después del impulso (bit $n + 1$) iguala a la entrada D_n antes del impulso (bit n), como queda indicado en la tabla de la verdad de la Fig. 17-32*c*. Si el FLIP-FLOP de la Fig. 17-32*a* es del tipo *S-R*, la unidad funcionará también como un biestable tipo *D*. En este caso no hay ambigüedad porque la situación $J = K = 1$ no es posible.

El FLIP-FLOP tipo *D* es un binario que se emplea para dar lugar a un retardo. El bit en la línea *D* se transfiere a la salida en el próximo impulso del reloj, y por lo tanto, la unidad funciona como un elemento que retrasa 1 bit. Hay disponible un encapsulado MSI (TI 74100) con dos biestables tipo *D* cuádruples independientes, por lo que en total cabe almacenar y transferir 8 bit.

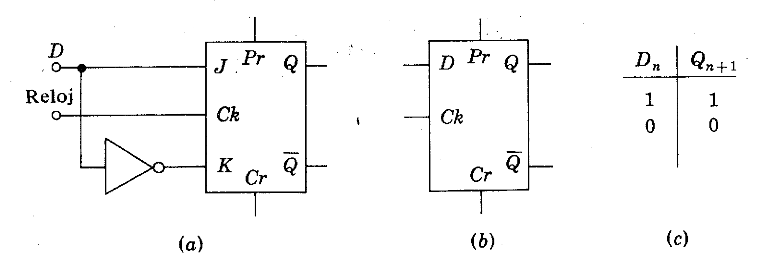


Fig. 17-32. (*a*) Un FLIP-FLOP *J-K* se convierte en un biestable del tipo *D*; (*b*) Símbolo lógico; y (*c*) tabla de la verdad

FLIP-FLOP **tipo** *T*. Esta unidad cambia el estado con cada impulso del reloj, y por lo tanto actúa como un interruptor. Si $J = K = 1$, entonces $Q_{n+1} = \overline{Q}_n$ de manera que el FLIP-FLOP *J-K* se convierte en un FLIP-FLOP tipo *T*. En la Fig. 17-33*a* está indicado un sistema como el antedicho, con una entrada de datos *T*. El símbolo lógico se muestra en la Fig. 17-33*b*, y la tabla de la verdad en la Fig. 17-33*c*. Los biestables del tipo *D* o *S-R* también pueden convertirse en FLIP-FLOP interruptores o complementarios (Prob. 17-35).

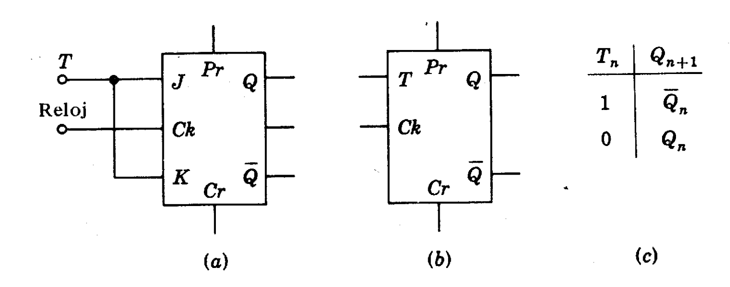


Fig. 17-33. Un FLIP-FLOP *J-K* se convierte en un FLIP-FLOP tipo *T* con una entrada de información *T*; (*b*) símbolo lógico; y (*c*) tabla de la verdad

Resumen. Hay, pues, cuatro configuraciones importantes de FLIP-FLOP: *S-R*, *J-K*, *D* y *T*. La lógica que cada uno satisface queda indicada en la Tabla 17-7 para facilitar la referencia. Un FLIP-FLOP integrado se excita sincrónicamente con un reloj, y se le pueden (o no) agregar entradas directas para el funcionamiento asincrónico, para su habilitación (preset) (*Pr*) o su borrado (clear) (*Cr*). Una entrada directa sólo puede ser 0 en el intervalo entre dos impulsos del reloj cuando $Ck = 0$. Cuando $Ck = 1$, ambas entradas asincrónicas deben ser altas; $Pr = 1$ y $Cr = 1$. Las entradas deben permanecer constantes durante la anchura del impulso, $Ck = 1$. Para un FLIP-FLOP ordenador-seguidor, la salida *Q* permanece constante durante el impulso y sólo cambia cuando *Ck* pasa de 1 a 0, en el flanco final del impulso.

TABLA 17-7 Tabla de la verdad de los FLIP-FLOP

S-R			*J-K*			*D*		*T*		Entradas directas			
S_n	R_n	Q_{n+1}	J_n	K_n	Q_{n+1}	D_n	Q_{n+1}	T_n	Q_{n+1}	Ck	Cr	Pr	Q
0	0	Q_n	0	0	Q_n	1	1	1	$\bar{Q}_n$	0	1	0	1
1	0	1	1	0	1	0	0	0	Q_n	0	0	1	0
0	1	0	0	1	0					1	1	1	*
1	1	?	1	1	$\bar{Q}_n$								
Fig. 17-28			Fig. 17-31			Fig. 17-32		Fig. 17-33					

* Se refiere a la tabla de la verdad de *S-R*, *J-K*, *D* o *T* para Q_{n+1} en función de las entradas.

El FLIP-FLOP conmutador o complementario no está disponible comercialmente porque un *J-K* puede servir como tipo *T* al conectar entre sí las dos entradas *J* y *K* (Fig. 17-33).

Se dispone de FLIP-FLOP en todas las familias digitales integradas y las máximas frecuencias de funcionamiento vienen dadas en la Tabla 6-5.

17-11. REGISTRADORES DE DESPLAZAMIENTO

Puesto que un biestable es una memoria de un bit, con *n* FLIP-FLOP cabe almacenar una información de *n* bit. Esta combinación toma el nombre de *registrador*. Los datos sucesivos de una información pueden leerse en un registrador en serie, en el que la salida de cada FLIP-FLOP se conecta a la entrada del siguiente. Este configuración, denominada

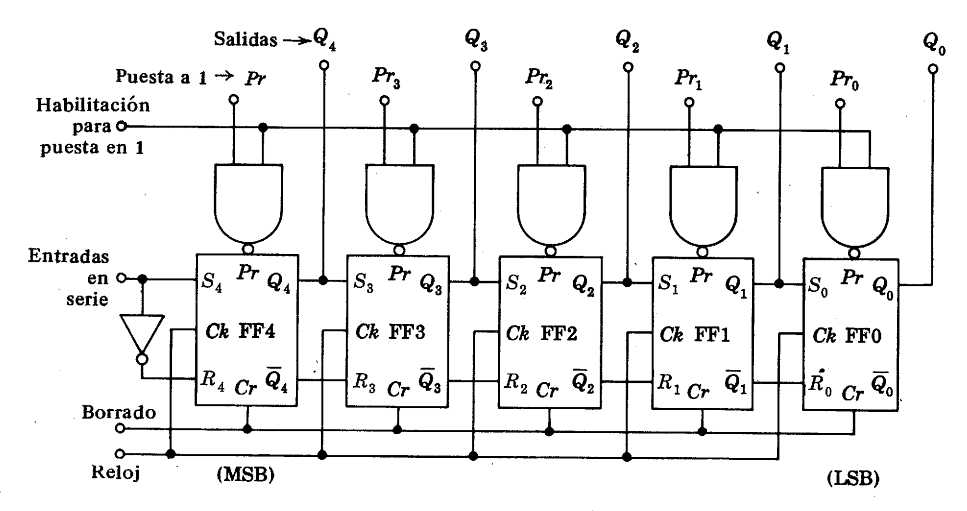


Fig. 17-34. Registrador de desplazamiento de 5 bit (TI 7496)

registrador de desplazamiento, queda expresada en la Fig. 17-34. Cada FLIP-FLOP es del tipo *S-R* (o *J-K*) ordenador-seguidor. Obsérvese que la etapa en la que se almacena el bit más significativo (MSB) se convierte en un biestable tipo *D* (Fig. 17-32) conectando *S* y *R* a través de un inversor. El registrador de desplazamiento de 5 bit indicado en la Fig. 17-34 está disponible en un solo chip con un encapsulado de 16 patillas (integración de escala media). Explicaremos ahora el funcionamiento de este sistema, suponiendo que se va a registrar la serie de datos 01011 (LSB). (El bit menos significativo es el dígito que está más a la derecha, en este caso es un 1.)

Convertidor de serie a paralelo. Los FLIP-FLOP se borran por la aplicación de un 0 en la entrada de *borrado* y así cada salida $Q_0, Q_1, \ldots, Q_4$ es 0. Luego *Cr* se pone a 1 y *Pr* permanece constantemente igual a 1 (con la ayuda del preseleccionador colocado en 0). Se aplica entonces el tren de datos en serie y los impulsos del reloj sincronizados. El bit menos significativo (LSB) se introduce en el FF4 cuando *Ck* cambia de 0 a 1 por la acción de un FLIP-FLOP tipo *D*. Después del impulso del reloj, $Q_4 = 1$ mientras todas las demás salidas permanecen en 0.

Al segundo impulso del reloj, el estado de Q_4 se transfiere al biestable ordenador de FF3 por la acción de un FLIP-FLOP tipo *S-R*. Simultáneamente, el siguiente bit (un 1 en la información 01011) entra en el ordenador de FF4. Después del segundo impulso del reloj, el bit de cada ordenador se transfiere a su seguidor y $Q_4 = 1$; $Q_3 = 1$, y las otras salidas permanecen en 0. La Tabla 17-8 da las lecturas del registrador después de cada

TABLA 17-8 Lectura del registrador de desplazamiento después de cada impulso del reloj

Impulsos del reloj	Bit de información	Q_4	Q_3	Q_2	Q_1	Q_0
1	1 →	1	0	0	0	0
2	1 →	1	1	0	0	0
3	0 →	0	1	1	0	0
4	1 →	1	0	1	1	0
5	0 →	0	1	0	1	1

impulso. Por ejemplo, después del tercer impulso, Q_3 pasa la información a Q_2, Q_4 a Q_3, y el tercer bit (0) entra en FF4, siendo entonces $Q_4 = 0$. Podemos seguir fácilmente el proceso y ver que registrando cada bit en el FLIP-FLOP MSB y pasándolo a la derecha para dejar sitio al próximo dígito, la información de entrada queda fijada en el registro al cabo del *n*-ésimo impulso del reloj (para un código de *n*-bit). Naturalmente, los impulsos deben detenerse en el momento en que la información quede registrada. Cada salida queda disponible en una línea distinta, y pueden leerse simultáneamente. El convertidor se denomina de *serie a paralelo* debido a que la información entra en serie y sale en paralelo. También puede llamarse *de entrada en serie y salida en paralelo.* Un *código temporal* (los bit dispuestos en función del tiempo) se ha transformado en un *código espacial* (información almacenada en una memoria estática).

Se precisan FLIP-FLOP ordenadores-seguidores debido a problemas de retardo entre etapas (Sec. 17-10). Si todos los FLIP-FLOP cambian de estado simultáneamente, habría ambigüedad respecto al dato a transferir de la etapa precedente. Por ejemplo, al tercer

impulso del reloj, Q_4 cambia de 1 a 0 y entonces cabría preguntar si Q_3 cambiará a 1 ó 0. De ahí que sea necesario que Q_4 permanezca en 1 hasta que este bit entre en FF3, y sólo entonces podrá cambiar a 0. La configuración de ordenador-seguidor está destinada a efectuar esta acción. Si, en la Fig. 17-31, a la entrada $J(K)$ se le llama $S(R)$ y si la conexión de realimentación se omite, resulta un FLIP-FLOP S-R ordenador-seguidor.

Registradores de entrada en serie y salida en serie. Podemos tomar la salida Q_0 y leer el registrador en serie si aplicamos n impulsos del reloj, en el caso de una información de n bit. Después del n-ésimo impulso, cada FLIP-FLOP queda en 0. Obsérvese que la cadencia del reloj puede ser mayor o menor que la frecuencia de los impulsos originales. Por tanto, éste sería un método para cambiar el espacio en tiempo de un código binario.

Convertidor de paralelo a serie. Vamos a considerar el caso en que los bit de información estén disponibles en paralelo, es decir, a la salida de un ROM (Sec. 17-7). Se desea presentar este código, por ejemplo 01011, en la forma serie.

Se aplica el bit 2^0 a Pr_0, el bit 2^1 a $Pr_1, \ldots$, de modo que $Pr_0 = 1, Pr_1 = 1, Pr_2 = 0, Pr_3 = 1$, y $Pr_4 = 0$. En primer lugar se borra el registrador con $Cr = 0$, y después se mantiene $Cr = 1$. Colocando en 1 el *mando de habilitación,* entran en actividad todas las k-ésimas puertas NAND de entrada para las que $Pr_k = 1$. La entrada Pr de los FLIP-FLOP k-ésimos es $Pr = 0$, y por tanto en la etapa correspondiente es 1 (Tabla 17-7). En el caso presente, FF0, FF1, y FF3 se activan y la información 01011 se escribe en el registro con todos los bit en paralelo, gracias al impulso de mando.

Como se ha explicado anteriormente, la información almacenada puede ser leída en serie en Q_0 aplicando cinco impulsos. Este es un *convertidor de paralelo a serie, o de espacial a temporal.*

Entrada en paralelo, salida en paralelo. Los datos se introducen, como ya hemos explicado, aplicando un 1 en el mando de habilitación, y entonces quedan disponibles en paralelo en las salidas $Q_0, Q_1, \ldots$ Si se desea *leer* el registrador en un momento determinado, se aplica cada salida Q_k a una entrada de una puerta Y de dos entradas N_k, y la segunda entrada de estas puertas se excita con un impulso que llamaremos de lectura. La salida de N_k es 0, excepto durante el impulso, en que será 1 si Q_k es 1. (Las puertas N_k no están indicadas en la Fig. 17-34.)

Obsérvese que en esta aplicación el sistema no funciona como un registrador de desplazamiento ya que no se precisa ningún reloj (no hay entrada en serie). Cada FLIP-FLOP se emplea simplemente para lectura/escritura de un bit.

Registradores de desplazamiento a izquierda y derecha. Algunos registradores comerciales están previstos para desplazar la información de derecha a izquierda o viceversa. Una aplicación de tales sistemas es la de multiplicar o dividir por potencias de 2, como ahora pasaremos a explicar. Consideremos en primer lugar un registrador de desplazamiento hacia la izquierda, como el de la Fig. 17-34, y cuya entrada en serie se mantenga baja.

Supongamos que hay un número binario almacenado en el registrador, cuya cifra menos significativa esté almacenada en FF0. Apliquemos ahora un impulso de reloj. Cada bit se traslada entonces al lugar significativo inmediato inferior, y por tanto queda dividido por 2. El número que hay ahora en el registro es justamente la mitad del número original, suponiendo que FF0 fuese en principio 0. Como el bit 2^0 se pierde en el desplazamiento hacia la derecha, si FF0 estuviese originalmente en el estado 1, lo que

correspondería al número decimal 1, después del desplazamiento habría un error respecto al número decimal de 0,5. El próximo impulso de reloj volvería a dividir por 2, y así sucesivamente.

Consideremos ahora que el sistema está construido de tal manera que cada impulso da lugar a una traslación hacia la izquierda. Cada bit se traslada entonces al dígito significativo inmediato superior y el número almacenado queda multiplicado por 2.

Línea de retardo digital. Un registrador de desplazamiento puede ser empleado para introducir un retardo de tiempo Δ en un sistema, siendo Δ un múltiplo entero del período del reloj T. Un tren de impulsos de entrada aparece en la salida de un registrador de n-etapas retrasado un tiempo $(n - 1)\, T = \Delta$.

Generador de secuencias. Una de las aplicaciones importantes del registrador de desplazamiento es la generación de una secuencia binaria. Este sistema también se denomina *generador de información,* de *código,* o de *carácter.* Los FLIP-FLOP registradores están preparados para dar un código determinado. El reloj aplica los impulsos para el desplazamiento, y la salida del registrador da una característica en función del tiempo que corresponde a una secuencia específica. Evidentemente, se ha descrito precisamente un registrador de entrada en paralelo y salida en serie. En ciertos casos, a menudo es necesario repetir el código continuamente. Esta forma de funcionamiento se puede obtener fácilmente realimentando la salida Q_0 del registro hacia la entrada en serie de tal manera que la información "vuelva a entrar en el registrador". Una configuración de este tipo se denomina *memoria dinámica o circulante,* o *memoria de registrador de desplazamiento de sólo lectura.*

Es posible obtener generadores de secuencia sin preselección[11] realimentando hacia la entrada no simplemente Q_0, sino más bien la salida de alguna combinación lógica cuyas entradas se obtengan de $Q_0, Q_1, Q_2, \ldots$. También cabe obtener la salida de alguna otra combinación lógica cuyas entradas sean $Q_0, Q_1, Q_2, \ldots$

Contador en anillo con registrador de desplazamiento.[12] Vamos a considerar un registrador de desplazamiento de 5 bit (Fig. 17-34) con Q_0 conectado a la entrada en serie. Esta memoria circulante constituye un *contador en anillo o cerrado.* Supongamos que todos los FLIP-FLOP están a cero y que FF0 está habilitado de tal manera que $Q_0 = 1$ y $Q_4 = Q_3 = Q_2 = Q_1 = 0$. El primer impulso del reloj transferirá el estado de FF0 a FF4, de manera que, después del impulso, $Q_4 = 1$ y,

$$Q_3 = Q_2 = Q_1 = Q_0 = 0$$

Los impulsos sucesivos transferirán el estado 1 progresivamente en torno al anillo. La cuenta se lee observando cuál es el FLIP-FLOP que está en estado 1, y no es preciso decodificador.

Consideremos un contador en anillo con N etapas. Si el intervalo entre impulsos es T, la salida de cualquier etapa binaria es un tren de impulsos de período NT, con una duración T en cada impulso. Los impulsos de salida de una etapa están retrasados de los de la precedente un tiempo T. Estos impulsos pueden emplearse cuando se requiera una onda secuencial de disparo. El contador en anillo cabe asimilarlo a un conmutador rotativo, en el que cada impulso de disparo provoque el avance del conmutador en un espacio.

Puesto que se obtiene un impulso de salida por cada N impulsos del reloj, el contador es también una unidad de *división por N,* o un *escalímetro N* : 1. Normalmente, los

contadores TTL de registrador de desplazamiento funcionan a frecuencias del orden de 25 MHz.

Contador de anillo de Johnson.[12] A la topología en la que $\overline{Q}_0$ (en lugar de Q_0) retorna a la entrada del registrador, se la denomina *contador de Johnson.* Este sistema es un escalímetro de $2N : 1$. Para demostrarlo, vamos a considerar que, inicialmente, todas las etapas de la Fig. 17-34 están en su estado 0. Como $S_4 = \overline{Q}_0 = 1$, el primer impulso pone FF4 al estado 1; $Q_4 = 1$ y todos los demás FLIP-FLOP permanecen en el estado 0. Como ahora $S_3 = Q_4 = 1$ y S_4 permanece en estado 1, después del próximo impulso el resultado es $Q_4 = 1$, $Q_3 = 1$, $Q_2 = 0$, $Q_1 = 0$ y $Q_0 = 0$. En otras palabras, el impulso 1 sólo provoca el cambio de estado de Q_4, y el impulso 2 sólo causa el cambio de Q_3 de 0 a 1. Continuando el análisis, vemos que los impulsos 3, 4 y 5 provocan el cambio de Q_2, Q_1 y Q_0, respectivamente, del estado 0 al 1. Al finalizar los cinco impulsos todos los FLIP-FLOP están en el estado 1.

Después del impulso 5, $S_4 = \overline{Q}_0$ cambia de 1 a 0. Por lo tanto, el sexto impulso da lugar al cambio de Q_4 a 0. El séptimo impulso pone nuevamente Q_3 a 0, y así sucesivamente, hasta que al décimo impulso todas las etapas han pasado otra vez al estado 0 y el ciclo contador ha quedado completo. Hemos demostrado que esta configuración de cinco etapas, es un contador de 10 : 1. Para leer la cuenta, se precisa un decodificador de 5 a 10 líneas, pero debido a que se genera una única forma de onda, sólo se necesitan puertas Y de dos entradas (Prob. 17-37).

En la Sec. 17-16, se consideran registradores de desplazamiento MOS.

17-12. CONTADORES ASINCRONOS[13]

Los contadores de anillo comentados en la sección precedente, no emplean los FLIP-FLOP con plena eficiencia. Con cinco etapas, se obtiene un contador de 5 : 1 (o 10 : 1 si se emplea uno de Johnson); en cambio, cinco FLIP-FLOP definen $2^5 = 32$ estados. Modificando las interconexiones entre etapas (*no* empleando la topología de un registrador de desplazamiento), demostraremos ahora que n binarios pueden funcionar como un contador $2^n : 1$.

Contador asíncrono. Vamos a considerar una cadena con cuatro FLIP-FLOP ordenador-seguidor *J-K* con la salida Q de cada etapa conectada a la entrada del reloj del siguiente binario, como en la Fig. 17-35. Los impulsos que van a ser contados se introdu-

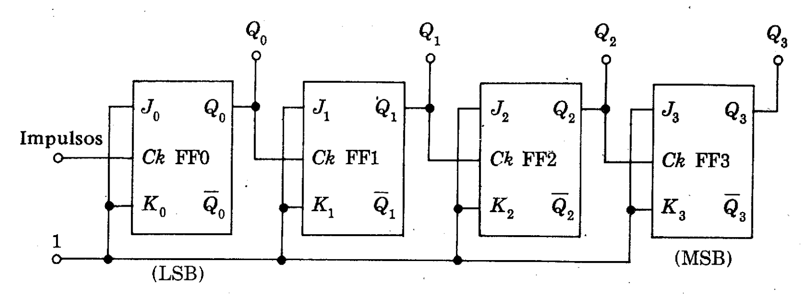


Fig. 17-35. Cadena de FLIP-FLOP conectados como contador asíncrono

cen en la entrada del reloj del FF0. En todas las etapas, J y K están conectados a la fuente de tensión para que $J = K = 1$. Esta conexión convierte cada etapa en un FLIP-FLOP tipo T (Fig. 17-33) con $T = 1$.

Debemos recordar que, para un biestable tipo T con $T = 1$, el ordenador cambia de estado cada vez que la onda en su entrada del reloj pasa de 0 a 1, y que el nuevo estado del ordenador se transfiere al seguidor cuando el reloj desciende de 1 a 0. Esta operación precisa que:

1. Q_0 cambie de estado en el borde de *caída* de cada impulso.
2. Todos los demás Q efectúen una transición cuando, y sólo cuando, la salida del FLIP-FLOP precedente cambie de 1 a 0. Esta transición negativa "fluctúa" por todo el contador desde el bit menos significativo al más significativo.

Siguiendo estas dos reglas, se obtienen las ondas de la Fig. 17-36. La Tabla 17-9 relaciona el estado de todos los binarios de la cadena en función del número de impulsos externos aplicados. Esta tabla puede comprobarse directamente por comparación con la forma de ondas de la Fig. 17-36. Obsérvese que en la Tabla 17-9 los FLIP-FLOP están ordenados en sentido contrario al de la Fig. 17-35. Cabe observar que la ordenación de los estados 0 y 1 en cualquier línea de la Tabla 17-9 constituye la representación binaria del número de impulsos de entrada dado en la Tabla 6-2. Por lo tanto, la cadena de FLIP-FLOP *cuenta* en sistema binario.

Una cadena de n binarios contará hasta el número 2^n antes de regresar por sí mismo al estado original. Una cadena de este tipo se denomina contador de *módulo* 2^n. Para leer el contador, la información de 4 bit (números) de la Tabla 17-9 se obtiene con un decodifi-

TABLA 17-9 Estado de los FLIP-FLOP en la Fig. 17-35

Número de impulsos de entrada	Salida de los FLIP-FLOP			
	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0

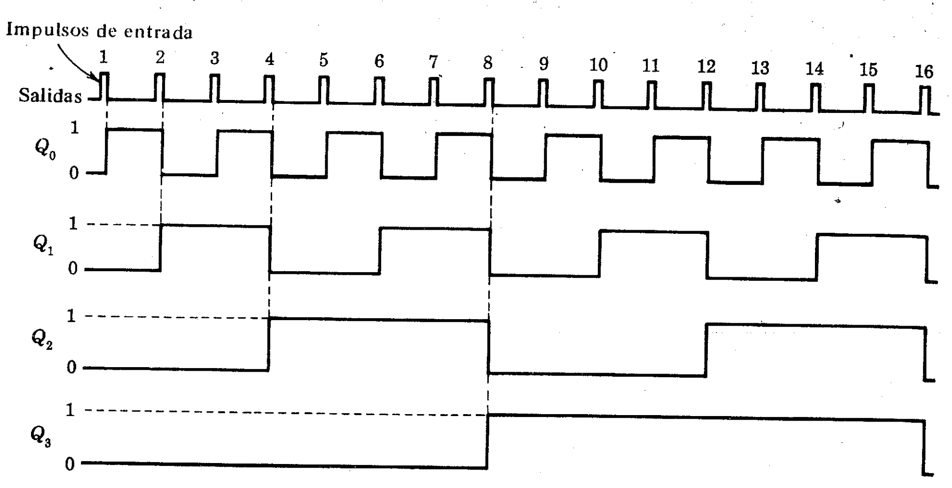


Fig. 17-36. Formas de onda de un contador asíncrono de cuatro etapas

cador, que los hace visibles en un indicador numérico (Sec. 17-4). Pueden aparecer espurias en cualquier contador salvo que cambien de estado simultáneamente todos los FLIP-FLOP. Para eliminar esta posibilidad a la salida del decodificador, se emplea un impulso de fijación (S en la Fig. 17-20) que determina que el contador sólo se lea cuando hayan desaparecido las espurias y el sistema quede estable.

Contador reversible. A un contador que pueda trabajar en los dos sentidos se le denomina contador *reversible* o *directo-inverso.* Un contador en sentido directo se logra, tal como hemos visto, conectando la entrada de disparo de un binario a la salida Q del binario precedente. El contador trabajará en sentido inverso si el acoplamiento mencionado se hace a la salida $\bar{Q}$, tal como vamos a demostrar a continuación.

Si un binario cambia del estado 0 al 1, la salida $\bar{Q}$ pasará de 1 a 0. Esta transición negativa de $\bar{Q}$ inducirá un cambio de estado del binario siguiente. Por lo tanto, para la conexión inversa, debemos aplicar las siguientes reglas:

1. El FLIP-FLOP FF0 hace una transición para cada impulso exterior aplicado.
2. Cada uno de los binarios restantes cambia de estado cuando el FLIP-FLOP precedente pasa del estado 0 al 1, y sólo en esta condición.

Si estas reglas se aplican a cualquier número de la Tabla 17-9, resulta el número inmediato inferior de la misma tabla. Por ejemplo, consideremos el número 12, que en forma binaria es 1100. En el próximo impulso, el 0 de más a la derecha (que corresponde a Q_0) pasa a ser 1. Este cambio de estado de 0 a 1 da lugar a que Q_1 cambie del estado 0 al 1, lo que a su vez hace cambiar el Q_2 de 1 a 0. Esta última transición está hecha en el sentido que no hace cambiar el siguiente binario, con lo que el Q_3 queda en estado 1. El resultado total del contador dará 1011, que representa el número 11. Como hemos comenzado con 12 y finalizamos con 11, hemos contado en sentido inverso.

El diagrama de bloques lógicos del contador reversible está indicado en la Fig. 17-37. Para simplificar el dibujo no se han indicado las conexiones de J y de K. Para un contador asíncrono, siempre se debe sobreentender que $J = K = 1$, como la Fig. 17-35. Las puertas Y-O CG1 y CG2 entre etapas, controlan la dirección del contador. Obsérvese que esta

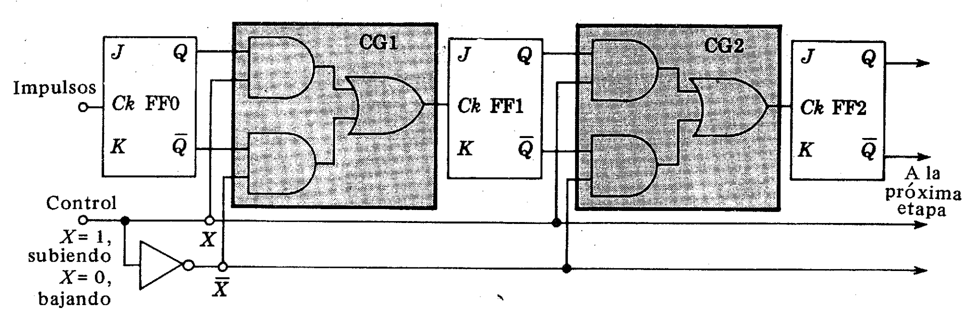


Fig. 17-37. Contador reversible. (Se entiende que $J = K = 1$)

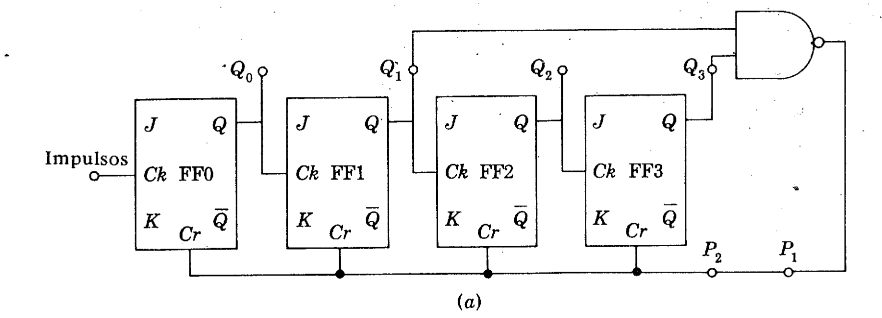
combinación lógica es equivalente a una configuración NAND-NAND (Fig. 6-22). Si la entrada X es un 1 (0), entonces Q ($\bar{Q}$) está conectada efectivamente al siguiente FLIP-FLOP y los impulsos se suman (restan). En otras palabras, $X = 1$ convierte el sistema en un contador *directo* y $X = 0$ en un contador *inverso.*

Contador divisor por N. Puede ser deseable contar en una base N que no sea una potencia de 2. Podemos preferir, por ejemplo, contar en base decimal, que nos es más familiar. Para construir un contador de este tipo, empezaremos por una cadena de n FLIP-FLOP tal que n sea el menor número para el que $2^n > N$. Añadamos una realimentación tal que, al contar N, todos los binarios queden a cero. Este circuito de realimentación consiste simplemente en una puerta NAND cuya salida alimenta todas las entradas de *borrado* en paralelo. Cada entrada de la puerta NAND es la salida Q de un FLIP-FLOP que pasa a 1 al contar N.

Vamos a explicar el procedimiento anterior para un contador de una década. Como el menor valor de n para el que $2^n > 10$ es $n = 4$, se precisan 4 FLIP-FLOP. El número decimal 10 es el binario 1010 (LSB), y por tanto $Q_0 = 0, Q_1 = 1, Q_2 = 0$ y $Q_3 = 1$. Las entradas de la puerta NAND de realimentación son Q_1 y Q_3, y el circuito completo está indicado en la Fig. 17-38*a*. Obsérvese que, después del décimo impulso Q_1 y Q_3, estarán ambos en 1, la salida de la puerta NAND será cero y todos los FLIP-FLOP se borrarán (pasarán a 0). (Obsérvese que Q_1 y Q_3 empiezan siendo 1 y vuelven a 0 después del impulso 10, generando un pico estrecho.)

Si el retardo de propagación de la entrada de borrado a la salida del FLIP-FLOP varía de etapa a etapa, la operación de borrado no resulta practicable. En el ejemplo anterior, si FF3 tiene un tiempo de borrado notablemente mayor que el FF1; entonces, cuando Q_1 vuelva a 0, la salida de la puerta NAND pasa a 1, con lo que $Cr = 1$ y Q_3 no borrará. Puede haber variaciones grandes en el tiempo de propagación si las salidas del contador están cargadas desigualmente. Un método para eliminar esta dificultad será emplear un biestable para memorizar la salida de la puerta NAND al impulso N-ésimo. La unión de la Fig. 17-38*a* entre la salida de la puerta NAND P_1 y la entrada de borrado P_2 se abre, y se intercala el circuito dibujado en la Fig. 17-38*b* entre estos dos puntos. El funcionamiento del biestable lo veremos con detalle en el Prob. 17-41.

Para obtener un contador divisor por 6 se emplea un contador con 3 bit, y como para $N = 6$, $Q_1 = Q_2 = 1$, entonces Q_1 y Q_2 son las entradas de la puerta NAND de realimentación. Análogamente, un contador divisor por 7 precisa una puerta NAND de tres entradas siendo éstas Q_1, Q_2, y Q_3.



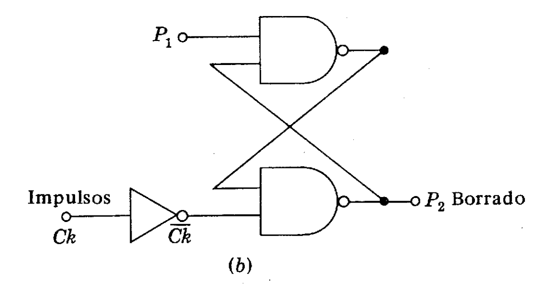


Fig. 17-38. (*a*) Contador de décadas ($J = K = 1$); (*b*) biestable para eliminar las dificultades de reposición (debidas a los desiguales retardos internos)

En algunas aplicaciones, es importante poder programar la cuenta de un contador divisor por N (el valor de N), ya sea por medio de conmutadores o a través de entradas de datos en los terminales de habilitación. En la figura del Prob. 17-42 se puede ver un contador *programable*.

Consideremos que se precisa contar hasta 10.000 con un indicador visual en el sistema decimal. Puesto que $10.000 = 10^4$, se necesita colocar en cascada cuatro unidades contadoras decimales, como en la Fig. 17-38. Se empleará un decodificador BCD a decimal/excitador de lámpara (Sec. 17-4) o un decodificador para una imagen BCD a 7 segmentos (Sec. 17-8) con cada unidad para hacer visibles los cuatro dígitos decimales que llevan la cuenta.

17-13. CONTADORES SINCRONOS[13]

El *tiempo de propagación* es el tiempo requerido en un contador para completar su respuesta a un impulso de entrada. Este tiempo en un contador asíncrono es mayor cuando cada etapa se halla en estado 1. En esta situación, el próximo impulso cambia de estado todos los FLIP-FLOP precedentes. Cualquier binario particular no responderá hasta que la etapa precedente tenga nominalmente completada la transición. El impulso del reloj se "propaga" efectivamente a través de la cadena. Por lo tanto, el tiempo de transporte es del orden de magnitud de la suma de los retrasos de propagación (Sec. 6-15) de todos los binarios. Si la cadena es larga, el tiempo de transporte puede ser mayor que el

intervalo entre dos impulsos de entrada, en cuyo caso no será posible leer el contador entre dos impulsos.

Si el funcionamiento asincrónico de un contador se transforma de tal manera que todos los FLIP-FLOP sean afectados simultáneamente (sincrónicamente) por el impulso de entrada, el tiempo de propagación puede reducirse considerablemente. La cadencia de la repetición está limitada por el retraso de uno cualquiera de los FLIP-FLOP más el tiempo de propagación de las puertas de control existentes. Normalmente, la frecuencia máxima de funcionamiento de un contador síncrono de 4 bit con lógica TTL, es de 32 MHz, que es casi el doble que la de un contador asíncrono. Otra ventaja del contador síncrono es la de que no aparecen picos de decodificación a la salida, ya que todos los FLIP-FLOP cambian de estado al mismo tiempo. Por lo tanto, no se requiere impulso de fijación cuando se decodifica un contador síncrono.

Transporte en serie. La Fig. 17-39 indica un contador síncrono de 5 bit. Cada FLIP-FLOP es del tipo T obtenido uniendo entre sí los terminales J y K de un FLIP-FLOP J-K (Fig. 17-33). Si $T = 0$, no hay cambio de estado cuando al binario le llegue un impulso del reloj; si $T = 1$, la salida del FLIP-FLOP se complementa con cada impulso.

Las conexiones a hacer en las entradas T se deducen de la forma de onda del dibujo de la Fig. 17-36.

Q_0 cambia con cada impulso:	$T_0 = 1$
Q_1 complementa sólo si $Q_0 = 1$:	$T_1 = Q_0$
Q_2 pasa a $\bar{Q}_2$ sólo si $Q_0 = Q_1 = 1$:	$T_2 = Q_0 Q_1$
Q_3 cambia sólo si $Q_0 = Q_1 = Q_2 = 1$:	$T_3 = Q_0 Q_1 Q_2$

Extendiendo esta lógica a Q_4, concluimos que $T_4 = Q_0 Q_1 Q_2 Q_3$, etc. Por tanto, la lógica T viene dada por

$$T_0 = 1 \qquad T_1 = Q_0 \qquad T_2 = T_1 Q_1 \qquad T_3 = T_2 Q_2 \qquad T_4 = T_3 Q_3 \tag{17-25}$$

Naturalmente, las puertas Y de dos entradas de la Fig. 17-39 conforman esta lógica.

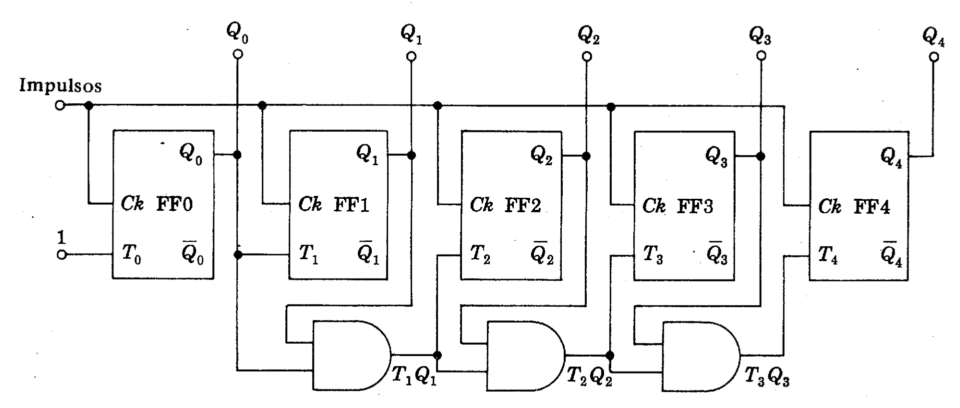


Fig. 17-39. Contador síncrono de 5 bit con arrastre en serie ($J = K = T$)

El mínimo tiempo $T_{\min}$ entre impulsos es el intervalo requerido por cada J y K para alcanzar el estado permanente y viene dado por

$$T_{\min} = T_F + (n-2)T_G \tag{17-26}$$

donde T_F es el tiempo de propagación de un FLIP-FLOP, y T_G el de una puerta Y (en la práctica, una puerta NAND más un inversor). La frecuencia máxima de los impulsos en serie es la recíproca de $T_{\min}$.

Transporte en paralelo. Puesto que el transporte pasa a través de todas las puertas de control en serie de la Fig. 17-39, tenemos un contador síncrono con *transporte en serie*. La frecuencia máxima de funcionamiento puede ser aumentada empleando el sistema en paralelo, en que el impulso de ataque de cada binario proviene de una puerta Y de múltiples entradas excitada por las salidas de los FLIP-FLOP precedentes. De la Ec. (17-25) se deduce que

$$T_1 = Q_0 \qquad T_2 = Q_0Q_1 \qquad T_3 = Q_0Q_1Q_2 \qquad T_4 = Q_0Q_1Q_2Q_3 \tag{17-27}$$

Por lo tanto, T_4 se obtiene de una puerta Y de cuatro entradas alimentada por Q_0, Q_1, Q_2 y Q_3. Naturalmente, para transportar en paralelo,

$$T_{\min} = T_F + T_G \tag{17-28}$$

lo cual es considerablemente menor que el tiempo correspondiente al transporte en serie dado por la Ec. (17-26), sobre todo si n es grande (relaciones de división altas).

Los inconvenientes del contador que transporta en paralelo son: (1) Mayor número de entradas de las puertas; la puerta que alimenta a T_k precisa k entradas. (2) La gran carga de los primeros FLIP-FLOP de la cadena; Q_0 debe alimentar las n-1 puertas transportadoras de las etapas sucesivas.

Contador síncrono reversible con transporte en paralelo. Como vimos en la sección precedente, un contador se invierte si se emplea $\bar{Q}$ en lugar de Q para el acoplamiento de etapa a etapa. De ahí que se obtenga un contador síncrono reversible si las puertas de control CG de la Fig. 17-37 se interponen entre los FLIP-FLOP de la Fig. 17-39. En la Fig. 17-40 se representa esta modificación de un contador síncrono, en el que CG se indica ahora como una puerta NAND-NAND (equivalente a la lógica Y-O de la Fig. 17-37). Obsérvese que CG1 es idéntica para las Figs. 17-37 y 17-40. Todas las puertas de control del contador asíncrono tienen dos entradas, mientras que, en el contador síncrono, las entradas de CG2 son 3, las de CG3 son 4, etc. Las entradas extra de las puertas según la Ec. (17-27), se emplean para el transporte en paralelo. En otras palabras, los bloques CG de la Fig. 17-40 cumplen ambas lógicas, la reversible y la de transporte en paralelo.

Contador síncrono de décadas. El diseño de un sistema destinado a dividir por un número no múltiplo de 2 es mucho más difícil para un contador síncrono que para uno asíncrono. Se emplean matrices de control (gráficos de Karnaugh) para simplificar el procedimiento.

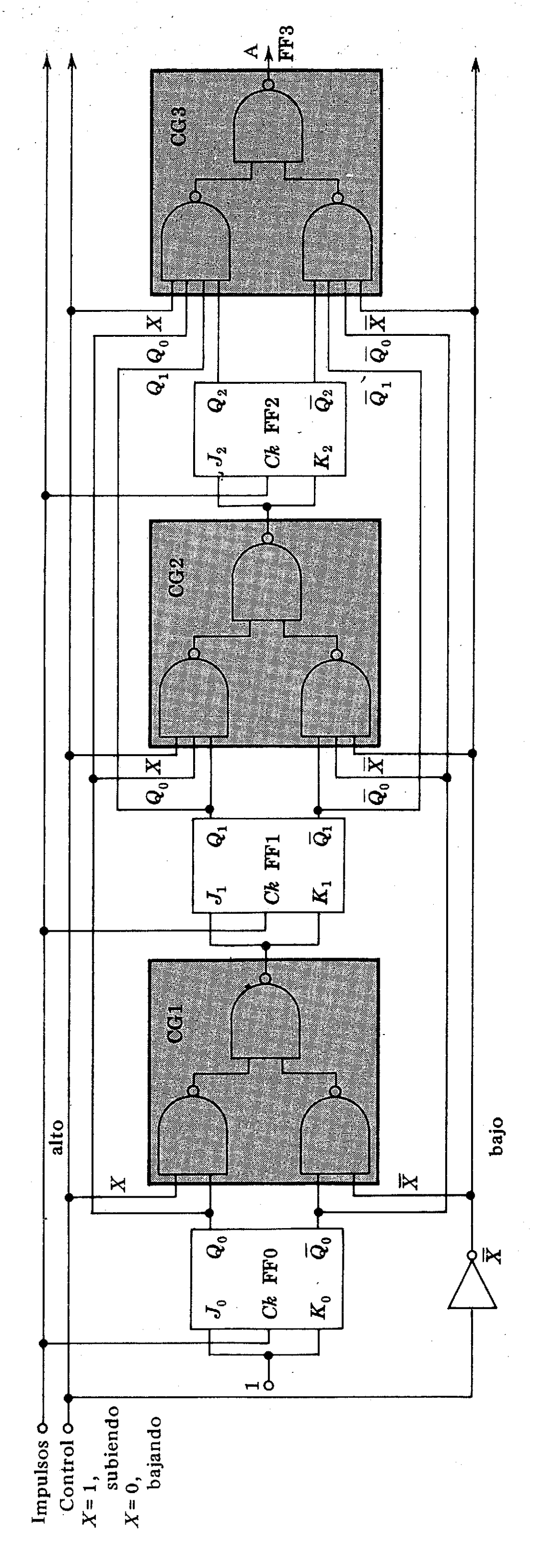


Fig. 17-40. Contador síncrono reversible con arrastre en paralelo

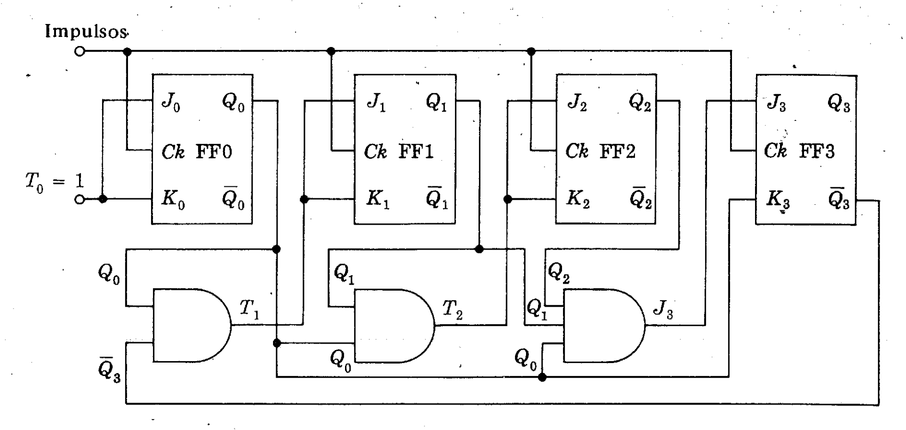


Fig. 17-41. Contador síncrono de décadas con arrastre en paralelo

Con una gran dosis de paciencia y de intuición, el diseño puede llevarse a cabo observando directamente el gráfico de la forma de onda. Consideremos, por ejemplo, la síntesis de un contador síncrono de décadas con transporte en paralelo. La forma de onda es la que da la Fig. 17-36 excepto que *después del décimo impulso todas las formas de onda vuelven a* 0. Como $Q_0 = 0$ y $Q_2 = 0$ después del décimo impulso, FF0 y FF2 se excitan como en un contador síncrono de 16 : 1. Por lo tanto, de la Ec. (17-25),

$$T_0 = J_0 = K_0 = 1 \quad T_2 = J_2 = K_2 = Q_0 Q_1 \tag{17-29}$$

Obsérvese en la Fig. 17-36 que FF1 queda fijo si $Q_0 = 1$. Sin embargo, para evitar que Q_1 pase a 1 después del décimo impulso, se inhibe por Q_3. Estas premisas son equivalentes a

$$T_1 = J_1 = K_1 = Q_0 \bar{Q}_3 \tag{17-30}$$

Finalmente, se desea que FF3 cambie de estado de 0 a 1 después del octavo impulso y vuelva a 0 luego del décimo impulso. Si

$$J_3 = Q_0 Q_1 Q_2 \qquad K_3 = Q_0 \tag{17-31}$$

se sigue la lógica deseada, ya que $Q_0 = Q_1 = Q_2 = 1$, de modo que $J_3 = 1, K_3 = 1$ antes del impulso 8, mientras que $Q_0 = 1, Q_1 = 0$ y $Q_2 = 0$, de modo que $J_3 = 0, K_3 = 1$ antes del impulso 10. La construcción de las Ecs. (17-29) a (17-31) viene dada por el diagrama lógico de bloques de la Fig. 17-41.

Los contadores de décadas síncronos reversibles están disponibles en el mercado (por ejemplo, TI 74192) en un solo chip. Tales contadores tienen la complejidad de 55 puertas equivalentes y, por lo tanto, constituyen un ejemplo de MSI. Los FLIP-FLOP están provistos de *entradas de habilitación* y de *borrado* que no se indican en la Fig. 17-41. La división por un número que no sea ni 10 ni múltiplo de 2 no suele estar disponible comercialmente, pero puede programarse como hemos explicado.

17-14. APLICACIONES DE LOS CONTADORES

Muchos sistemas, como ordenadores digitales, manipuladores de datos y sistemas de control industrial, emplean contadores. Vamos a describir brevemente algunas de sus aplicaciones más importantes.

Contador directo. El contador directo tiene muchas aplicaciones en procesos industriales. Los contadores trabajan con mayor eficiencia donde los contadores humanos fallan debido a la fatiga o a las limitaciones de velocidad. Todo ello requiere, desde luego, que cualquier cosa que deba ser contada se convierta previamente en una señal eléctrica, pero esto normalmente no impone limitaciones importantes. Por ejemplo, se pueden contar los objetos que pasan en una sola fila sobre una cinta transportadora colocada entre una célula fotoeléctrica y la fuente de luz.

La entrada de *habilitación* sirve de control para procesos industriales. El contador puede programarse de tal manera que dé un impulso de salida cuando la cuenta alcance un determinado número. Tal contador puede emplearse, por ejemplo, para contar el número de píldoras metidas en una botella. Cuando se llega a la cuenta prevista, el impulso de salida se emplea para desviar las píldoras al próximo envase y al mismo tiempo reponer el contador para que comience a contar de nuevo.

Divisor por N. Hay muchas aplicaciones en las que se desea cambiar la frecuencia de una onda cuadrada de f a f/N, donde N es algún múltiplo de 2. Por la forma de las ondas de la Fig. 17-36, hemos visto que un contador puede hacer esta función.

Si, en lugar de ondas cuadradas, se precisa emplear para un sistema de sincronización impulsos estrechos o picos, esto puede obtenerse de las ondas de la Fig. 17-36. Un pequeño acoplamiento *RC* a la salida del contador, como el de la Fig. 16-34*a*, provoca un impulso positivo en cada transición de 0 a 1 y un impulso negativo en cada transición de 1 a 0. Si ahora contamos sólo los impulsos positivos (los impulsos negativos pueden eliminarse por ejemplo con el empleo de diodos), aparecerá (Fig. 16-34*e*) que cada binario divide por dos el número de impulsos positivos que se le aplican. Los cuatro binarios juntos dan lugar a una división por $2^4 = 16$. A la salida aparecerá un solo impulso negativo por cada 16 impulsos aplicados a la entrada. Se denomina *escalímetro* a una cadena de n binarios empleada para dividir o reducir de escala el número de impulsos. Una cadena de cuatro FLIP-FLOP constituye un circuito de escala 16, etc.

Medición de frecuencia. La Fig. 17-42 muestra el principio básico por el cual se emplean los contadores para la determinación precisa de la frecuencia. La señal de entrada cuya frecuencia se quiere medir se convierte en impulsos por medio de un detector de cruce por cero y se aplica a través de una puerta Y al contador. Para determinar la frecuencia, bastará con mantener abierta la puerta para que transmita durante un intervalo de tiempo conocido. Si el tiempo de apertura de la puerta es, por ejemplo, 1 seg, el contador nos dará directamente la frecuencia en ciclos por segundo (hertz). El *reloj* que da el tiempo de apertura de la puerta es un oscilador de cristal muy exacto cuya frecuencia puede ser 1 MHz. El oscilador de cristal alimenta un circuito de escala de 10^6 que divide la frecuencia del cristal por 1 millón. La salida del divisor consiste en una señal de 1 Hz cuyo período se mantiene con tanta precisión como la frecuencia del cristal. Esta señal de salida del divisor gobierna el tiempo de accionamiento de la puerta fijando un

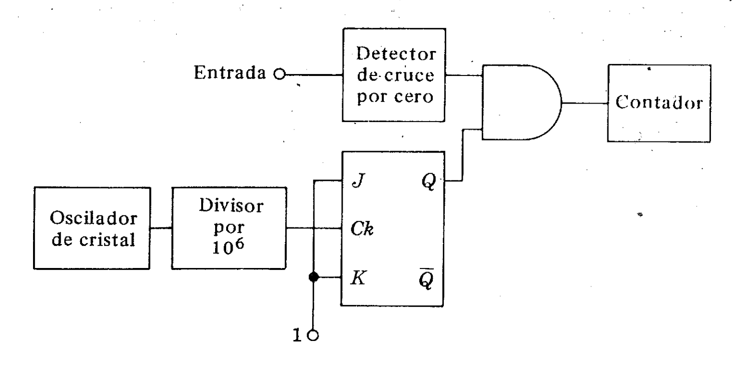


Fig. 17-42. Sistema de medición de frecuencia por medio de un contador

FLIP-FLOP en el estado 1 durante 1 seg. El sistema sólo está supeditado a pequeños errores. Una fuente de error resulta del hecho de que se puede obtener una variación de la cuenta en ± 1, dependiendo del instante de actuación del primero y del último impulso dentro del intervalo de toma de la muestra. Desde luego, la exactitud depende de la precisión del cristal oscilador.

Medición de tiempo. También se puede medir con el circuito de la Fig. 17-42 el intervalo de tiempo comprendido entre dos impulsos. Al FLIP-FLOP se aplica un primer impulso al terminal S, y un segundo al terminal R, sin conexión en Ck. Con esta estructura el primer impulso abre la puerta Y para la transmisión y el segundo la cierra. La señal del oscilador de cristal (o una frecuencia menor procedente de la cadena de división) se convierte en impulsos, y éstos pasan a través de la puerta al contador. El número de impulsos contados es proporcional al tiempo durante el cual la puerta está abierta y por lo tanto mide el intervalo de tiempo deseado.

Medición de distancia. En un sistema de radar o de sonar se transmite un impulso y el impulso reflejado se recibe con un cierto retraso T. Puesto que la velocidad de la luz (o del sonido) es conocida, la medición del intervalo T, como en el caso anterior, dará la distancia del trasmisor al objeto desde el que ha habido reflexión.

Medición de velocidad. La determinación de una velocidad puede transformarse en una medición de tiempo. Por ejemplo, si dos combinaciones de fuente de luz y fotocélula están a una determinada distancia entre sí, la velocidad media de un objeto que pasa entre estos dos puntos será inversamente proporcional al intervalo de tiempo comprendido entre los dos impulsos generados. La velocidad de los proyectiles pueden medirse de esta manera.

Ordenador digital. En un ordenador (computador) digital, un problema se resuelve sometiendo los datos a una secuencia de operaciones en concordancia con el programa de instrucciones introducido en el ordenador. Los contadores pueden emplearse para contar las operaciones a medida que se van ejecutando y poner en marcha la siguiente operación de la memoria cuando ha sido completada la anterior.

Generador de ondas. Las ondas que se producen en los colectores o en las bases de los contadores binarios pueden combinarse, ya sea directamente o conectadas con puertas lógicas, para generar ondas pulsantes del tipo deseado. Estas formas de onda se emplean para la selección secuencial de datos y para conversión de paralelo a serie, tal como se ha descrito en la Sec. 17-5.

Conversión entre informaciones analógicas y digitales. Estos sistemas se describirán en las secciones 17-19 y 17-20.

III. SISTEMAS DIGITALES MOS/LSI

17-15. CIRCUITOS MOS DINAMICOS

El primer circuito comercial MOSFET (abreviadamente MOS) apareció en 1964, y desde entonces ha crecido continuamente su popularidad debido a la alta densidad con la que se pueden encapsular, su consumo de potencia muy pequeño y su bajo coste. Se puede llegar a fabricar 5 000 MOS en un chip de unos 15 mm^2. Tal construcción de integración en gran escala posibilita la fabricación con MOS de memorias y registradores de desplazamiento muy grandes, como los descritos en las Secs. 17-16 a 17-18. Muchos de estos sistemas trabajan sincronizados, y por lo tanto, estudiaremos a continuación circuitos gobernados por reloj (llamados MOS *dinámico*). El funcionamiento de una puerta MOS digital no síncrona (estable en tensión continua) se describe en la Sec. 10-6 y convendría repasarla antes de seguir adelante. Obsérvese que los elementos de canal p se emplean con lógica negativa, de manera que el estado 0 corresponda a tensión 0 V y el estado 1 a − 10 V.

Los circuitos MOS dinámicos emplean la capacidad parásita entre puerta y sustrato para facilitar un almacenamiento temporal. Este almacenamiento puede hacerse permanente empleando operaciones de reposición mediante ondas del reloj. Como las pérdidas del circuito de puerta son extremadamente pequeñas, las constantes de tiempo son del orden de milisegundos, y para mantener los datos almacenados, el ritmo de la reposición no debe ser menor que un cierto valor dado, generalmente 1kHz.

Inversor MOS dinámico.[15,16] El circuito de la Fig. 17-43 muestra un inversor MOS dinámico que requiere un tren de impulsos ϕ para su funcionamiento apropiado. Compa-

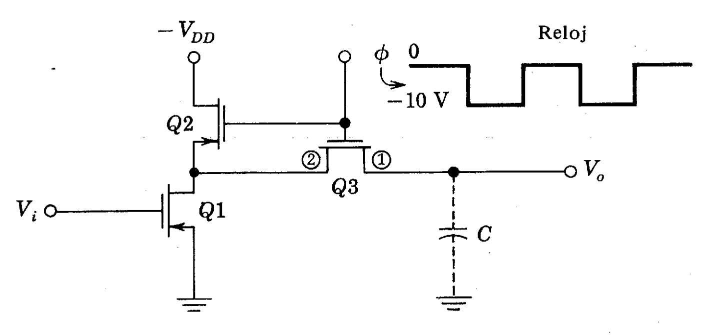


Fig. 17-43. Inversor MOS dinámico. (V_o sólo se lee cuando $\phi = -10$ V.)

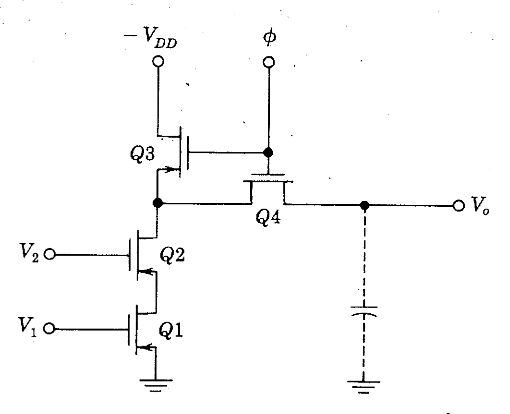


Fig. 17-44. Puerta NAND MOS dinámica

remos este circuito con el inversor MOS estático de la Fig. 10-15. Cuando el reloj ϕ está a 0 V, los transistores $Q2$ y $Q3$ están cortados y la fuente de alimentación está desconectada del circuito no suministrando prácticamente ninguna potencia. Cuando el impulso del reloj está a -10 V, los dos $Q2$ y $Q3$ están en conducción y tiene lugar la inversión de la entrada V_i. Por lo tanto, si $V_i = -10$ V, $Q1$ está en conducción y la salida es $V_o \approx 0$, mientras que si $V_i = 0$ V, entonces $Q1$ está cortado y la salida pasa a ser $V_o \approx -V_{DD}$ (digamos -10 V). Obsérvese que Q_3 es un conmutador bidireccional; ① actúa como fuente cuando C se carga hacia -10 V, mientras que ② actúa como fuente cuando C descarga a 0 V. Durante el tiempo en que el reloj está a 0 V, el condensador de salida C retiene su carga. El condensador tiene un valor característico de 0,5 pF, y representa la capacidad parásita de $Q3$ entre fuente y tierra.

El inversor que acabamos de explicar ha sido llamado *inversor de relación.* El nombre deriva del hecho de que, cuando la entrada está baja y el reloj también está bajo, los transistores $Q1$ y $Q2$ constituyen un divisor de tensión entre $-V_{DD}$ y tierra. Por tanto, la tensión de salida V_o depende de la relación entre la resistencia en conducción de $Q1$ y la resistencia efectiva de carga de $Q2$ (normalmente, $< 1 : 5$). Esta relación viene determinada por el tamaño físico de $Q1$ y $Q2$ y muchas veces se le denomina *relación de aspecto.*

La figura 17-44 presenta una puerta MOS dinámica NAND de canal p, correspondiente al NAND estático de la Fig. 10-17. Se forma un MOS dinámico NOR modificando el circuito de la Fig. 10-18 de forma parecida. El lector puede comprobar que el circuito dinámico disipa menos potencia que el circuito estático correspondiente.

MOS de dos fases. El inversor de la Fig. 17-45*a* está constituido por tres elementos de canal p enlazados y casi no disipan potencia debido a que se emplean dos trenes de impulsos de reloj en la secuencia de fase indicada en la Fig. 17-45*b*. Durante el impulso del reloj ϕ_1 (de carga previa) el condensador parásito C se carga a $-V_{DD}$. El impulso ϕ_2, que viene después del ϕ_1, provoca la inversión. Si V_i está a -10 V, $Q3$ pasa a conducción, y puesto que $Q2$ está también en conducción, el condensador se descarga a tierra y la salida vale 0 V. Si $V_i = 0$ V, entonces $Q3$ está en corte, $Q2$ en conducción, y no hay conexión a tierra para descargar C. Por lo tanto, V_o se mantiene en $-V_{DD}$. Observamos que, excepto durante la conmutación, todos los transistores $Q1$, $Q2$ y $Q3$ están siempre en corte y la disipación de potencia en reposo es del orden de 10 nW para $-V_{DD} =$

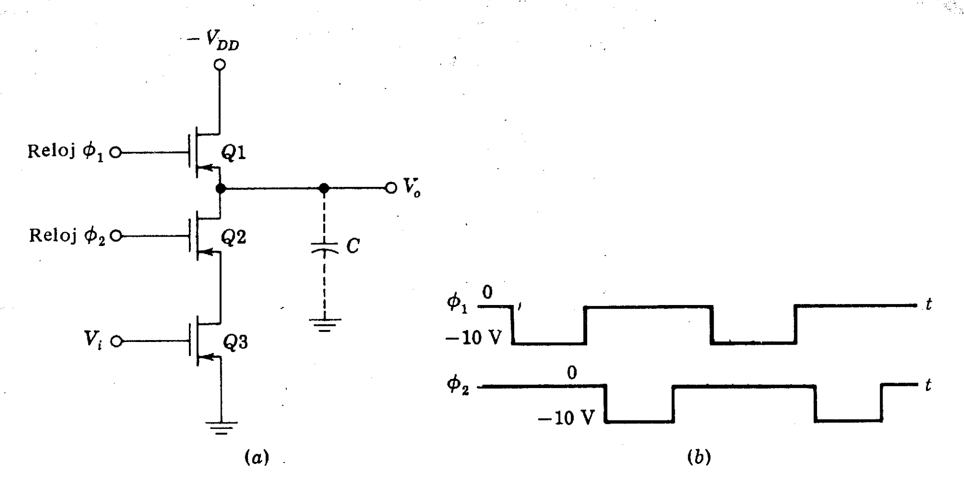


Fig. 17-45. (*a*) Inversor MOS de dos fases. (*b*) Tiempo de los impulsos de los relojes ϕ_1 y ϕ_2

10 V. El circuito no tiene conexión de continua, excepto por el estado de los relojes o por los datos almacenados en el condensador parásito C. Un circuito de este tipo tiene la ventaja de que su salida no depende de la relación de resistencias de ninguno de sus elementos; por tanto, todos los elementos pueden tener una geometría mínima, reduciendo el tamaño del chip para un número dado de puertas. El circuito que acabamos de describir se denomina *baja relación-baja potencia.*

17-16. REGISTRADORES DE DESPLAZAMIENTO MOS

Se pueden emplear registradores de desplazamiento con MOS o bipolares para el mismo propósito. No obstante, si se trata de manejar un elevado número de bit, es preferible emplear registradores de desplazamiento MOS en lugar de los bipolares, debido a su economía (en cuanto a potencia y coste) y a su menor tamaño. Los registradores MOS de desplazamiento son los aplicados generalmente en calculadoras, sistemas de representación, memorias de repaso, memorias atenuadoras de parásitos, memorias intermedias, memorias atenuadas, equipos de comunicaciones, computadores periféricos y líneas de retardo. Los registradores de desplazamiento MOS están disponibles (1971) con almacenamientos desde varios cientos a 1 024 bit y relaciones de desplazamiento que van desde 5 MHz para los elementos de canal p a más de 15 MHz para los transistores MOS de canal n. Se pueden conseguir varias configuraciones, tales como de entrada en serie, de salida o entrada en serie, de salida o entrada en paralelo, de salida en serie. En aras de la simplicidad y por su mayor popularidad, en esta sección sólo trataremos de registradores de entrada y salida en serie.

Registradores de desplazamiento MOS dinámicos.[16,17] Hay dos tipos de registradores MOS de desplazamiento, el dinámico y el estático (más propiamente llamado *estable de continua*). En el dinámico, cada bit de información se almacena en la capacidad de la puerta de un elemento y se transfiere por un impulso al inversor siguiente. En la Fig.

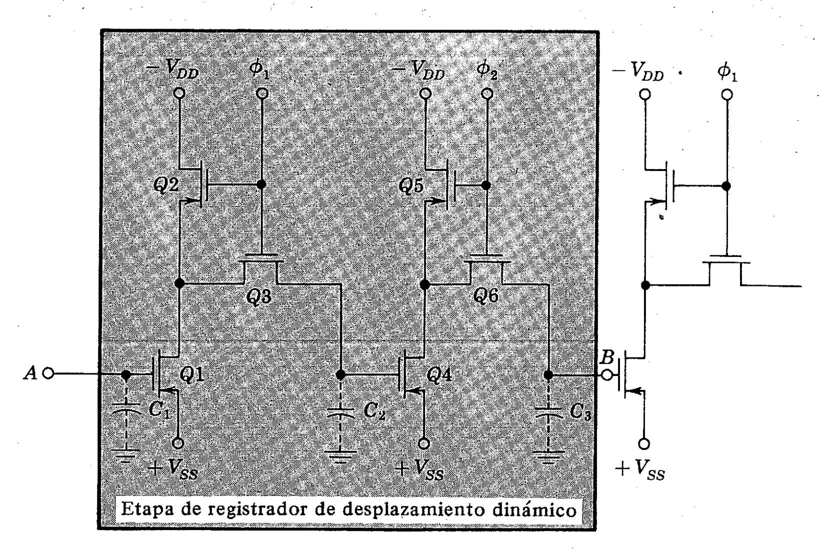


Fig. 17-46. Registrador de desplazamiento MOS dinámico de dos fases. Los impulsos de reloj tienen las formas de onda indicadas en la Fig. 17-45*b*, pero los niveles binarios son + 5 V y − 12 V.

17-46 queda indicada una etapa de registrador por desplazamiento con MOS dinámico típico. Emplea los impulsos de reloj de dos fases, como los de la Fig. 17-45*b*. Cada etapa del registrador precisa seis MOSFET. La entrada a la etapa es la carga del condensador de puerta, o sea C_1 de Q_1, depositada por la etapa previa. Cuando el reloj ϕ_1 es negativo (para los elementos de canal *p*), los transistores $Q1$ y $Q2$ forman un inversor. El nudo común de $Q1$, $Q2$ y $Q3$ se aproxima a $+V_{SS}$ si la carga de C_1 es suficientemente negativa para pasar $Q1$ a conducción, o a $-V_{DD}$ si la carga es positiva y $Q1$ está en corte. Señalemos que durante el tiempo en que ϕ_1 es negativa, $Q3$ está en conducción y la capacidad de la puerta C_2 de $Q4$ se carga hacia $+V_{SS}$ o $-V_{DD}$. Cuando se elimina ϕ_1, C_2 retiene la carga. Pulsando ϕ_2 negativo, desplaza e invierte el dato, depositando la carga en C_3. La información en C_3 es idéntica a la de C_1 en *A*, pero retrasada en un valor determinado por el período del reloj. La combinación $Q1Q2Q3$ se puede denominar inversor *ordenador*, y $Q4Q5Q6$ la sección *seguidora*. Para la retención de datos almacenados en el registro, la cadencia a la cual los datos son pasados al circuito no puede estar por debajo de un valor mínimo.

El registrador Texas Instruments TI 3401LC de 512 bit constituye un registrador característico de desplazamiento dinámico MOS de dos fases. El elemento está totalmente construido con MOS de canal *p* de bajo umbral y funciona con una cadencia mínima del reloj de 20 KHz y máxima de 5 MHz. Tanto la salida como la entrada son compatibles con los circuitos integrados TTL, y la disipación de potencia es de 0,2 mW/bit a 1 MHz.

Registradores de desplazamiento MOS estáticos. Un registrador de desplazamiento "estático" es estable en continua y puede funcionar sin mínimo en la cadencia del reloj. Es decir, puede almacenar datos indefinidamente mientras haya potencia aplicada al circuito. No obstante, las células del registrador estático son mayores que las células dinámicas y consumen mayor potencia. Como se ve en la Fig. 17-47, la etapa consiste en un par de

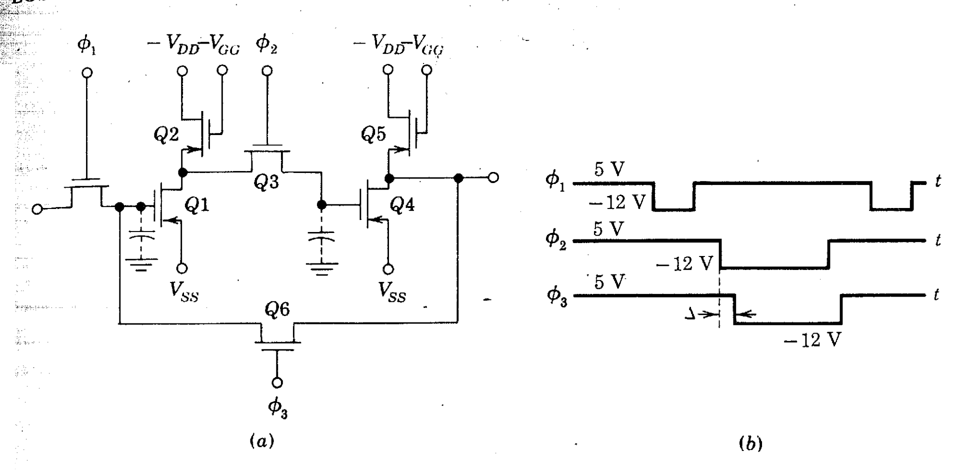


Fig. 17-47. (*a*) Célula básica de registrador de desplazamiento MOS estático; (*b*) diagrama de tiempos de los relojes del registrador de desplazamiento estático

inversores estáticos con cargas asíncronas (Fig. 10-17) interconectadas a través de dos puertas $Q3$ y $Q6$. Cuando los dos relojes ϕ_2 y ϕ_3 están bajos, el lazo de realimentación se cierra y los dos inversores constituyen un FLIP-FLOP, o *biestable* (Fig. 17-27*a*). En estas condiciones, la célula almacenará información indefinidamente.

En condiciones normales, la información se traslada por el impulso de ϕ_1 y ϕ_2 como en el registrador de desplazamiento de dos fases de la Fig. 17-46. Mientras la frecuencia del reloj es elevada, el registrador de desplazamiento estático se comporta de la misma forma que el dinámico, con el lazo de realimentación abierto (reloj ϕ_3 a un valor elevado). Cuando la frecuencia está por debajo de cierto nivel, ϕ_3 se genera en el interior (en el chip). El reloj ϕ_3 es idéntico al ϕ_2 excepto que está retrasado (ligeramente) Δ respecto a ϕ_2. Esta señal ϕ_3 se emplea para cerrar el lazo de realimentación. El TI 3101LC es un ejemplo de registrador de desplazamiento estático, que es un dual de unidad de 100 bit. Cada registrador tiene terminales de entrada y de salida independientes, relojes comunes y cables de alimentación (valores nominales $V_{SS} = +5$ V, $V_{DD} = 0$ V, y $-V_{GG} = -12$ V), y puede funcionar desde continua a 2,5 MHz. Las entradas de las puertas están protegidas con diodos Zener y pueden ser excitadas directamente con niveles de tensión DTL/TTL, y las salidas del registrador pueden excitar circuitos DTL/TTL sin agregar componentes exteriores. Para este funcionamiento, se precisan dos relojes exteriores ϕ_1 y ϕ_2. Los datos son transferidos al registro cuando el impulso del reloj ϕ_1 está a nivel bajo, y se desplazan cuando ϕ_1 es vuelto al nivel elevado (típicamente + 5 V) y el reloj ϕ_2 a bajo nivel. Para el almacenamiento a largo plazo, el reloj ϕ_1 debe ser mantenido a nivel elevado, y los relojes ϕ_2 y ϕ_3 a bajo nivel.

Registrador de desplazamiento de cuatro fases.[17] Los registradores de desplazamiento de 4 fases se emplean cuando se trabaja con circuitos de gran densidad y a velocidades muy elevadas. La Fig. 17-48 muestra la célula básica de un registrador dinámico de desplazamiento de cuatro fases. Cuando el reloj ϕ_1 está bajo, $Q1$ está en conducción y el condensador C_1 se carga fundamentalmente al valor bajo del reloj. El impulso del reloj ϕ_2 pone el transistor $Q2$ en conducción, polarizado por la tensión continua del condensador

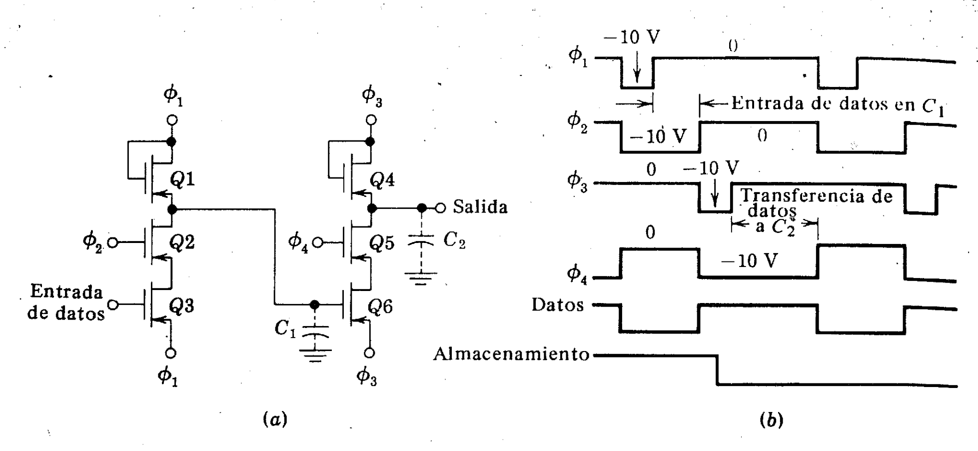


Fig. 17-48. (*a*) Registrador de desplazamiento MOS de cuatro fases. (*b*) Diagrama de tiempos de los relojes (la entrada de almacenamiento se refiere a la Fig. 17-49)

C_1. En presencia de una señal de entrada de dato, la salida del condensador C_1 alcanza un nivel de tensión que corresponde al complemento de la entrada. El proceso anterior es repetido por la sección seguidora $Q4Q5Q6$, de modo que la información del condensador C_1 es transferida al C_2 en la salida, después del impulso ϕ_3 del reloj y durante el impulso ϕ_4 del mismo. El lector comprobará que, aun cuando los relojes estén sobrepuestos, no hay conexión de tensión continua en el circuito. La única potencia disipada procede de la carga y descarga de las diversas capacidades parásitas. El TI 3309JC es un ejemplo de registrador de desplazamiento MOS dinámico de cuatro fases y está representado en la Fig. 17-49. Este dispositivo consiste en dos registradores de 512 bit construidos en un chip monolítico en el que se emplean transistores de acumulación de canal p. Este chip contiene por cada registrador controles lógicos independientes para recircular la información y líneas de reloj separadas. Puede funcionar a una cadencia repetitiva de 10 kHz a 5 MHz, y la potencia disipada es menor que 90 μW/bit a 1 MHz. El diagrama de temporización de los relojes, los datos y el almacenamiento (ver más abajo) vienen dados en la Fig. 17-48. Los datos de entrada son transferidos al registro después del final del impulso del reloj ϕ_1 y antes del final del impulso ϕ_2. Los datos de salida aparecen después del final del impulso del reloj ϕ_3 y antes de finalizar el impulso ϕ_4. Los datos almacenados pueden

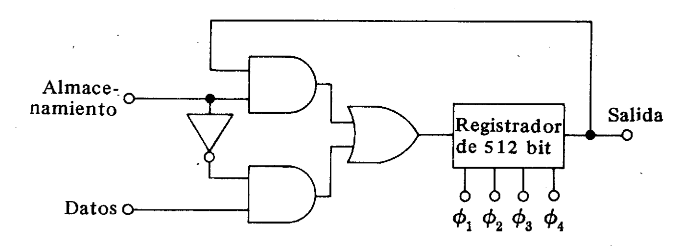


Fig. 17-49. Diagrama funcional del TI 3309JC; registrador dinámico doble de desplazamiento de 512 bit y cuatro fases. (Hay otra sección idéntica.)

hacerse recircular durante el intervalo de tiempo T_s, si se aplica un impulso de almacenamiento de duración T_s en el terminal de *almacenamiento* (Fig. 17-49), siempre que tal impulso recubra el frente de salida del impulso ϕ_3 del reloj. El TI 3309JC va montado en un encapsulado hermético de 16 patillas. Es interesante observar que este elemento monolítico contiene 2 X 512 X 6 = 6 144 MOSFET, sin incluir los circuitos de control.

17-17. MEMORIA MOS DE SOLO LECTURA[17]

En la Sec. 17-7 se ha comentado un ROM y hemos visto (Fig. 17-24) que está constituido por un decodificador, seguido de un codificador (matriz memoria). Consideremos, por ejemplo, un código de entrada de 10 bit, lo que da como resultado 2^{10} = 1 024 líneas de información, y con código de salida de 4 bit. La matriz de memoria de este sistema está constituida por 1 024 X 4 intersecciones, tal como se indica esquemáticamente en la Fig. 17-50. La conversión de código a efectuar por el ROM está permanentemente programada durante la fabricación empleando una máscara diseñada para cada objeto, con el fin de construir u omitir un transistor MOS en cada intersección de la matriz. En la Fig. 17-50 se indica un codificador de este tipo, que muestra cómo se conectan los FET de memoria entre las líneas de *información* y de *bit*.

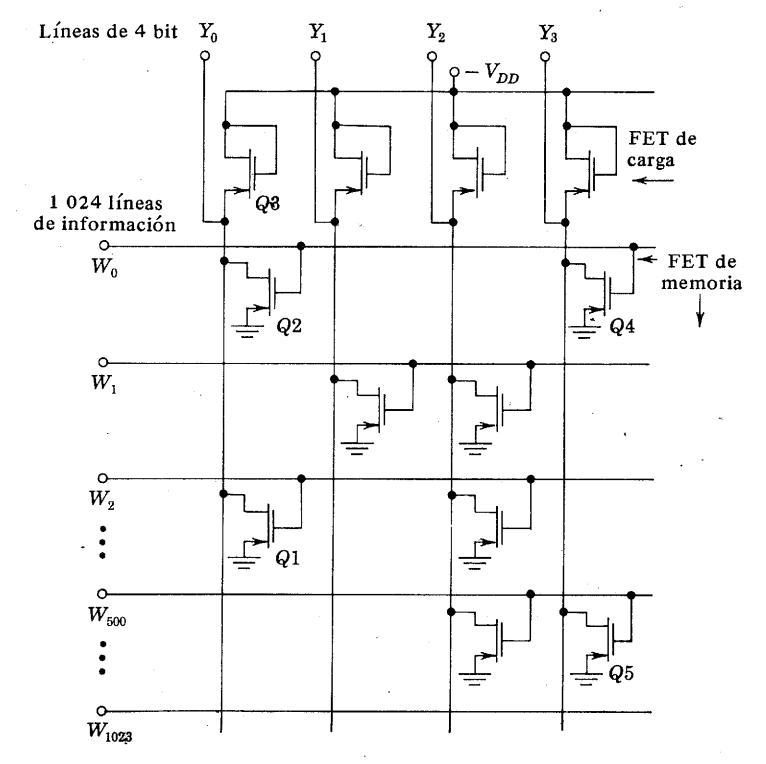


Fig. 17-50. Codificador MOS de memoria de sólo lectura. (En su constitución, hay un total de 1 024 líneas de información, pero sólo se indican 5.)

En la Sec. 17-7 se demuestra que la relación entre los bit de salida Y y las líneas de información W queda satisfecha por la función lógica O. Consideremos, por ejemplo, que se requiere un código de conversión que cumpla:

$$\overline{Y}_0 = W_0 + W_2 \qquad \overline{Y}_1 = W_1$$
$$\overline{Y}_2 = W_1 + W_2 + W_{500} \qquad \overline{Y}_3 = W_0 + W_{500} \tag{17-32}$$

Estas relaciones se satisfacen con las conexiones de la Fig. 17-50. La puerta NOR para $\overline{Y}_0$ de la Ec. (17-32) es precisamente la dibujada en la Fig. 10-18, con $Q3$ como FET de carga y con las señales W_0 y W_2 aplicadas a las puertas de $Q2$ y $Q1$, respectivamente.

La presencia o ausencia de células de memoria MOS en una intersección de la matriz, se determina durante la fabricación con la máscara de óxido de la puerta. Si el MOSFET tiene una puerta con poco espesor de óxido, la tensión umbral V_T es baja; si la capa de óxido es gruesa, V_T será elevada. En respuesta a un impulso negativo de la línea de información, los elementos de bajo umbral conducirán, y en la línea de bit se detectará una lógica 0 (debido a la acción del inversor). Por otra parte, si se aplica un impulso negativo a las puertas de óxido grueso (elementos de alta tensión umbral), éstos no conducirán, lo cual equivale, efectivamente, a su ausencia del circuito. En otras palabras, formar una puerta de gruesa capa de óxido en un lugar de la matriz equivale a *no* construir un MOSFET en esta posición, tal como muestra la Fig. 17-51.

En un ROM estático no se necesitan relojes. El tiempo requerido para que una salida válida aparezca en la línea de bit desde el momento en que la orden de entrada se aplica a la memoria, se define como tiempo de acceso (~ 300 nseg a 5 μseg). En un ROM estático, la salida está disponible mientras la orden de entrada permanezca válida. El TI 2800JC es un ejemplo de un ROM MOS estático (encapsulado de 16 patillas en doble línea) el cual puede admitir una información de 256 X 4 bit, o sea un total de 1 024 bit, y con un tiempo máximo de acceso de 900 nseg.

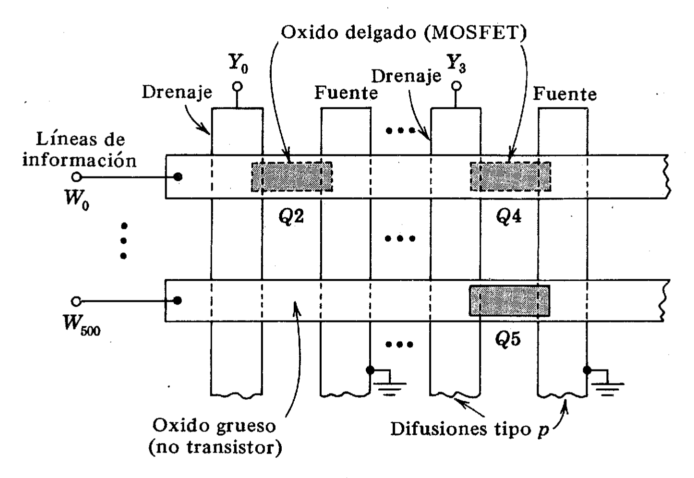


Fig. 17-51. Matriz de una memoria MOS de sólo lectura. (Solamente se indican las líneas de información W_0 y W_{500} y las líneas de bit Y_0 e Y_3 correspondientes a la Fig. 17-50.)

El decodificador de un MOS ROM estático (Fig. 17-24) contiene puertas NAND que son estáticas. La potencia de disipación resultante es relativamente alta. En el caso del TI 2800JC, la disipación de potencia típica es de 170 mW si todas las salidas están al potencial más positivo (lógica 0). Un ROM dinámico emplea inversores temporizados o dinámicos en el decodificador y requiere una cadencia mínima del reloj, pues de lo contrario la información se pierde. Por otra parte, la potencia disipada es menor que la de los ROM estáticos. Los ROM estáticos son los más empleados debido a la ventaja de no necesitar relojes y de que la salida se mantiene mientras se mantenga la entrada.

17-18. MEMORIA DE ACCESO ALEATORIO (RAM)[17,18]

La memoria de acceso aleatorio, abreviadamente RAM*, es una disposición de células de almacenamiento que memoriza la información en forma binaria. Una memoria de este tipo, en contraste con la ROM, puede ser indistintamente escrita o leída a partir de cualquier elemento de almacenamiento, y de ahí su nombre de *acceso aleatorio* o *memoria de lectura/escritura.* La célula de almacenamiento monolítica básica es el biestable, o FLIP-FLOP, comentado en la Sec. 17-9.

Selección lineal. Para comprender como funciona un RAM, examinemos el circuito FLIP-FLOP S-R simple de 1 bit, como el de la Fig. 17-52, con entrada de datos y líneas de salida. En la Fig. vemos que, para leer o escribir datos en la célula, es preciso excitar la *línea de información* (X = 1). Para poder escribir, también se debe excitar la *línea de habilitación de escritura.* Si la entrada es un sistema de lógica 1 (0), entonces S = 1 (0) y R = 0 (1). De ahí que Q = 1 (0) y el dato leído es 1 (0), de acuerdo con lo que se ha escrito.

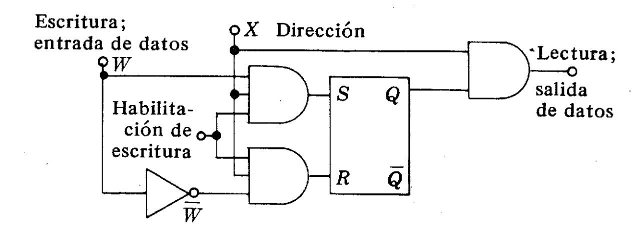


Fig. 17-52. Memoria de lectura/escritura de 1 bit

Supongamos que deseamos leer/escribir 16 informaciones de 8 bit cada una. Este sistema precisa ocho entradas de datos y ocho líneas de salida de datos. Se debe emplear un total de 16 X 8 = 128 células de almacenamiento. De este total, 8 células están colocadas en una línea horizontal, todas ellas excitadas por la misma línea de orden. Hay 16 líneas como ésta, excitada cada una de ellas por diferentes órdenes. En otras palabras, las órdenes provienen de la excitación de 1 de las 16 líneas. Este tipo de órdenes se denominan de *selección lineal* (Prob. 17-51).

* Siglas de Random-Acces-Memory. (*N. del T.*)

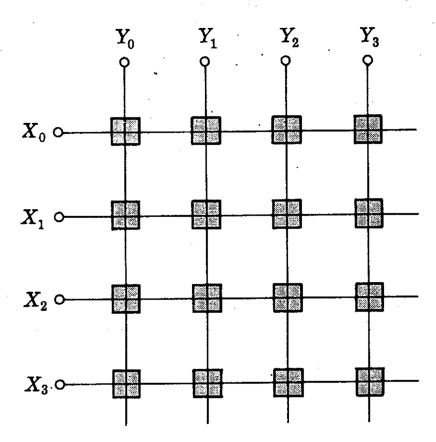


Fig. 17-53. Ilustración de dirección por coincidencia para localizar 1 bit en una memoria de 16 informaciones. Los cuadrados representan esquemáticamente las células de almacenamiento, o unidades de memoria

Selección coincidente. Una memoria ROM de cieciséis informaciones de 8 bit tiene 16 líneas con 8 células de almacenamiento por línea, si se emplean órdenes lineales. La topología más empleada es la que coloca 16 elementos de memoria en una ordenación rectangular de 4 × 4; cada célula almacena 1 bit de una información. Se requieren ocho matrices planas como la anterior; una por cada uno de los 8 bit de cada información.

La Fig. 17-53 muestra un plano de células ordenadas como acabamos de explicar. Cada bit (indicado por un cuadrado) se selecciona mediante una de las líneas X y otra de las líneas Y; la intersección de las dos líneas localiza un punto en la matriz de dos dimensiones, identificando por tanto la célula de almacenamiento considerada. Un sistema de dos dimensiones, como el indicado, se denomina de selección X-Y o *por coincidencia.*

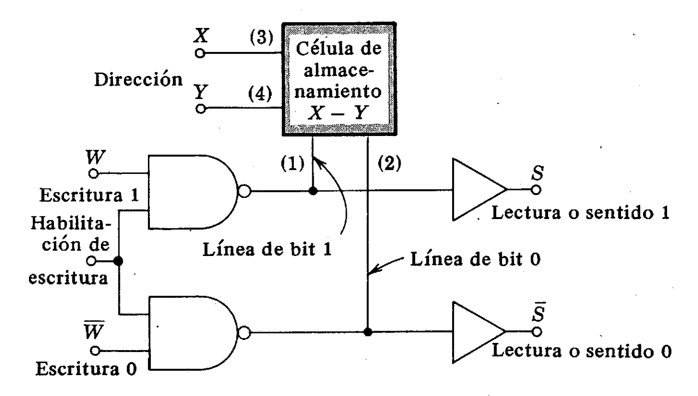


Fig. 17-54. Célula básica de almacenamiento que se puede construir con entradas y salidas complementarias y con amplificadores de escritura y de sentido, concurrentes a un nudo común (1) para los datos reales y (2) para los datos complementarios

Elementos RAM básicos. En la memoria de 1 bit de la Fig. 17-52 se requieren conductores separados para la escritura y la lectura. Tanto para el RAM bipolar como para el MOS, es posible construir un FLIP-FLOP (como demostramos en las figuras 17-56 y 17-57) que tenga un terminal común tanto para la escritura como para la lectura, como los terminales 1 y 2 de la Fig. 17-54. Esta configuración no sólo requiere el uso del dato de escritura W (escribir 1), sino también su complemento $\overline{W}$ (escribir 0). En el terminal de la célula a la que se le aplica W ($\overline{W}$), se obtiene la lectura o sentido del dato de salida S ($\overline{S}$). Una unidad de memoria de este tipo queda indicada en forma esquemática en la Fig. 17-54, en la que observamos que se requiere un total de cuatro entradas/salidas para las células de almacenamiento, dos para la dirección X-Y, y dos para los datos de escritura/lectura (el directo y el complemento).

En la Fig. 17-55 se indican los elementos básicos con los que se construye un RAM. Este incluye una ordenación rectangular de células de almacenamiento, los decodificadores X e Y, los amplificadores de escritura para excitar la memoria, y el amplificador de sentido para detectar (leer) la información digital almacenada. Algunos RAM tienen una entrada para posibilitar la escritura. Por cada unidad, los amplificadores de escritura de la Fig. 17-55 son puertas Y de dos entradas como en la Fig. 17-54. Cada información se

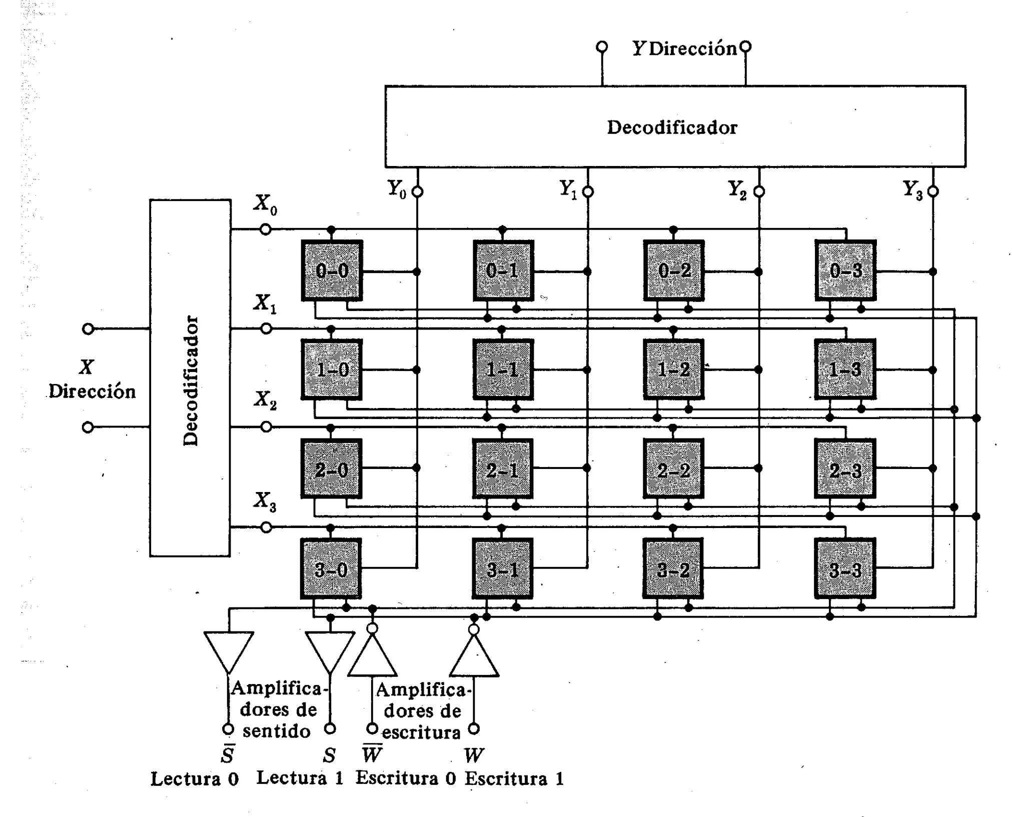


Fig. 17-55. Memoria de acceso aleatorio (RAM) con selección por coincidencia y 16 informaciones de 1 bit. Los cuadrados sombreados dan la localización de memoria de 1 bit de cada información

identifica por el número X-Y de la matriz en la célula de memoria (sombreada). Para información de M bit, habrá M planos como el de la Fig. 17-55.

Durante años se han empleado núcleos magnéticos para almacenar, pero las memorias a semiconductores alcanzan hoy mayor popularidad. Los RAM monolíticos se fabrican empleando la tecnología de los circuitos integrados y utilizando transistores bipolares o bien MOS para los circuitos de almacenamiento y de soporte. Las ventajas de los semiconductores sobre los elementos magnéticos cabe resumirlas en su bajo costo, su pequeño tamaño y la lectura no destructiva de la matriz. Por otra parte, los inconvenientes incluyen la *labilidad del almacenamiento,* lo que significa que toda la información se pierde cuando la alimentación falla, y la potencia de disipación necesaria para mantener la información almacenada en un FLIP-FLOP.

RAM bipolar. En un RAM bipolar, los FLIP-FLOP suelen ser circuitos TTL de alta velocidad. La Fig. 17-56 muestra la célula de almacenamiento RAM bipolar básica, que consiste en dos transistores de tres emisores interacoplados. Uno de los emisores del transistor de la derecha sirve para detectar o escribir una lógica 1 (Q2 en conducción). Análogamente, un emisor del transistor de la izquierda sirve para leer o escribir una lógica 0 (Q1 en conducción). Los dos emisores restantes de cada transistor están conectados a las líneas X e Y, respectivamente, como indican las figuras 17-55 y 17-56. Las líneas directrices están normalmente bajas (lógica 0) y las corrientes de todos los transistores que conducen fluyen a través de ellas.

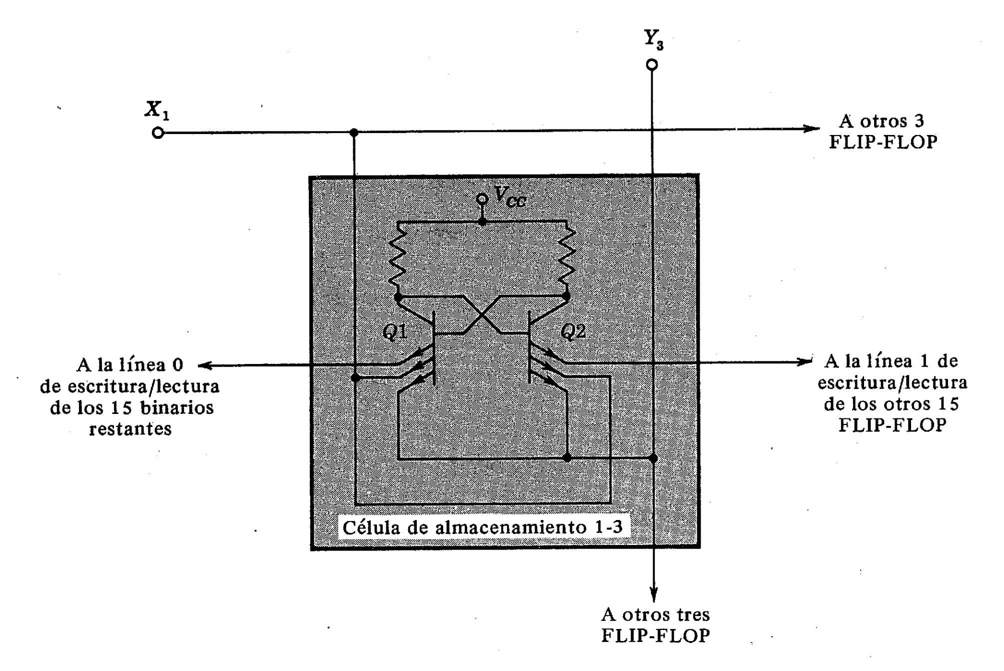


Fig. 17-56. Célula RAM bipolar de almacenamiento mostrando las líneas de dirección X_1 y Y_3, así como las líneas de lectura/escritura para la configuración de la Fig. 17-55. Las dos puertas NO interacopladas forman un biestable de 1 bit (Fig. 17-27). Se almacena una lógica 1 si Q2 conduce

Para activar un determinado FLIP-FLOP en la ordenación matricial, las correspondientes líneas X e Y han de tener lógica 1. A excepción del FLIP-FLOP excitado, todos los demás deberán tener al menos una línea con lógica 0 y no se producirá ningún cambio en ellos. En la célula activada, la corriente en el transistor que conduce se desvía desde la línea directriz (que en ese preciso instante ha pasado de 0 a 1) a la línea de lectura apropiada y seguidamente a uno de los amplificadores de lectura. Por lo tanto, según que el bit almacenado sea 0 ó 1, se activará el amplificador de lectura correspondiente. Cuando esto sucede, la salida del amplificador activado indica un nivel de lógica 1.

Para escribir un 1 o un 0 en un determinado FLIP-FLOP, es preciso dirigir y aplicar una lógica 1 a la entrada del amplificador de escritura apropiado. La salida de este amplificador caerá entonces al nivel de lógica 0. Una tensión lógica 0 a la salida de un amplificador de lectura aplicará la misma tensión baja a todos los emisores del FLIP-FLOP conectados a este amplificador. Esta baja tensión no afectará a los binarios que no estén dirigidos, ya que al menos uno más de los emisores de estos FLIP-FLOP se mantiene a una tensión baja (lógica 0) por las líneas directrices. Para el binario que está siendo dirigido, hay dos posibilidades. El FLIP-FLOP puede hallarse ya en el estado deseado, y por tanto no sucederá ningún cambio. Si el binario no está en el estado deseado y debe cambiarse a él, la tensión baja aplicada al emisor del transistor que está en corte lo pasará a conducción, lo que motivará que el otro transistor se corte. *En resumen,* si $W = 1$ (0), entonces el emisor de escritura 1 (0) del FLIP-FLOP es mantenido a tensión baja, lo que causará que Q2 (Q1) conduzca. Esta acción sirve para almacenar un 1 (o un 0) en el FLIP-FLOP seleccionado.

Puesto que en la Fig. 17-54 la salida del amplificador de escritura se conecta a la entrada del amplificador de lectura, está claro que no deben ser empleados los amplificadores de sentido para suministrar información del estado de una célula de memoria mientras un amplificador de lectura esté excitado.

El TI 7481 es un ejemplo de RAM bipolar de 16 bit con la constitución de la Fig. 17-55. La potencia de disipación media es de 275 mW y el retraso en la propagación de la lectura es normalmente de 20 nseg. El IM 5503 (Intersil Memory Corporation) es un ejemplo de un gran RAM que tiene $16 \times 16 = 256$ informaciones con la organización de 1 bit. Tiene un tiempo de acceso de 75 nseg.

RAM MOS estático.[5] Los FLIP-FLOP MOS mostrados en la Fig. 17-57 se emplean para almacenar información binaria, y no se necesitan relojes. Mientras se mantiene la alimentación, los datos permanecen almacenados. Los elementos Q1 y Q4 constituyen un biestable interacoplado, mientras que Q5 y Q8 forman la red de puerta mediante la cual los nudos interiores N1 y N2 se conectan a la línea de bit UNO y a la línea de bit CERO. Obsérvese que los elementos Q5 y Q6 o Q7 y Q8 forman puertas Y, en las que las directrices X e Y se aplican para la *selección por coincidencia* de cada célula. Si se emplea el esquema de la *selección lineal*; se omiten los elementos Q6 y Q8 y la línea directriz X representa la línea de la información.

En el estado de reposo, las líneas directrices X e Y están ambas al potencial de tierra, aislando los FLIP-FLOP de almacenamiento de las líneas de bit. Supongamos que Q2 esté en conducción y Q1 en corte, de modo que el nudo N1 esté a $-V_{DD}$ y N2 a 0 V. Para leer la célula, se pulsan ambas líneas directrices (negativamente para los elementos MOS de canal-*p*), excitando los elementos Q5-Q8. La corriente fluirá hacia la línea de bit UNO, que se mantiene a $-V_{DD}$ mediante los elementos Q7 y Q8, y el elemento Q2 en conducción. Muy poca corriente, o prácticamente nada, pasará por la línea de bit CERO,

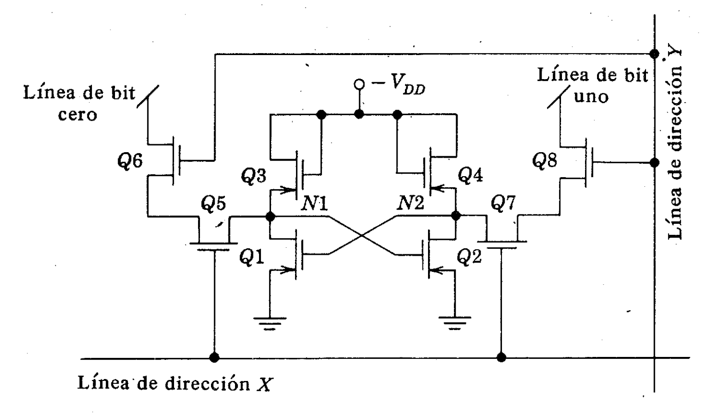


Fig. 17-57. Célula MOS RAM simple, que incluye puerta de dirección. El inversor $Q1$-$Q3$ está interacoplado al inversor $Q2$-$Q4$ para formar un biestable de 1 bit. Se almacena una lógica 1 si $Q2$ conduce

que también permanece a $-V_{DD}$ ya que el elemento $Q1$ está cortado. El estado de las células de almacenamiento viene determinado, por lo tanto, por la detección de la línea de bit por la que fluye la corriente.

Para escribir 1 en una célula, las líneas directrices se pulsarán nuevamente y la línea de bit UNO se conecta a tierra. Como la línea de bit UNO se pulsa de $-V_{DD}$ a tierra esto se interpreta en el sentido de que deseamos escribir un 1 en la célula. Por otra parte, la célula se halla siempre en el estado en el que fue escrita, y no hay cambio ya que $Q2$ está siempre en conducción. Si la línea de bit CERO se conecta a tierra, el nudo N1 está también a tierra, cortando el elemento $Q2$ y poniendo en conduccion $Q1$ a través de un proceso regenerativo del FLIP-FLOP. Por lo tanto, la célula cambia de estado, y hemos escrito la lógica 0 en el FLIP-FLOP. Observemos que el proceso de lectura no es destructivo.

El tiempo típico del ciclo total del decodificador organizado en MOS generalmente abarca de los 500 nseg a 1 μseg. El MK 4002P es un ejemplo de un MOS RAM estático (Mostek, Inc.). La unidad constituye un RAM de 256 bit, formado por 64 informaciones de 4 bit cada una. Es compatible con TTL/DTL, ya que emplea elementos MOS de canal p de umbral bajo. La decodificación tiene lugar en el chip mediante una directriz binaria de 6 bit que determinará cada información de 4 bit. Las fuentes de alimentación precisas son $+5$ V y -12 V, y el elemento está disponible en un encapsulado de 24 patillas en dos líneas.

RAM MOS dinámico.[17] En lugar de emplear una célula de ocho elementos, se puede utilizar una célula más simple, de tres elementos de almacenamiento, en la que la información se almacena en la capacidad parásita entre puerta y sustrato. Por lo tanto, a expensas de necesitar una operación de reposición de la carga perdida por las capacidades de almacenamiento se consigue aumentar el número de células en la misma área del chip.

El 1103 fabricado por Intel Corp. es un ejemplo de RAM MOS/LSI dinámico. Esta memoria de 1 024 bit está decodificada y organizada como un sistema de 1 024 informaciones de 1 bit. La renovación de todos los bit se precisa cada 2 mseg y el tiempo de ciclo es de 580 nseg. Este dispositivo existe en un encapsulado de 18 patillas, dos en línea. La potencia de disipación a temperatura ambiente es de 400 mW.

IV. SISTEMAS D/A y A/D

17-19. CONVERTIDORES DIGITALES A ANALOGICOS[19]

Muchos sistemas aceptan una información digital como señal de entrada y la transforman o convierten en una tensión o corriente analógica. Estos sistemas se denominan *convertidores digitales-analógicos o D/A*. La información digital se puede presentar en infinidad de códigos, siendo los más comunes el binario puro o el decimal codificado-binario (BCD).

La salida V_o de un convertidor D/A de N bit viene dada por la siguiente ecuación:

$$V_o = (a_{N-1}2^{-1} + a_{N-2}2^{-2} + a_{N-3}2^{-3} + \ldots + a_0 2^{-N})V_R \qquad (17\text{-}33)$$

en la que los coeficientes a_n representan la información binaria siendo $a_n = 1$ (0) si el n-ésimo bit es 1 (0). La tensión V_R es una tensión de referencia estable empleada en el circuito. El bit más significativo es el que corresponde a a_{N-1}, y su valor ponderado es $V_R/2$, mientras que el bit menos significativo corresponde a a_0 y su valor ponderado es $V_R/2^N$.

Consideremos, por ejemplo, una información de 5 bit ($N = 5$) tal que la Ec. (17-33) se transforme en

$$V_o = (16a_4 + 8a_3 + 4a_2 + 2a_1 + a_0) \times \frac{V_R}{32} \qquad (17\text{-}34)$$

Para mayor simplicidad, supongamos que $V_R = 32$ V. Entonces, si $a_0 = 1$ y todas las demás a son cero, tendremos $V_o = 1$. Si $a_1 = 1$ y todas las demás a son cero, obtenemos $V_o = 2$. Si $a_0 = a_1 = 1$ y todas las otras a son cero, $V_o = 2 + 1 = 3$, etc. Evidentemente, V_o es una tensión analógica proporcional a la entrada digital.

En la Fig. 17-58 se representa esquemáticamente un convertidor D/A. Los bloques S_0, S_1, S_2, . . . , S_{N-1} de la Fig. 17-58 son conmutadores electrónicos gobernados digitalmente. Por ejemplo, cuando hay un 1 presente en la línea del bit más significativo, el conmutador S_{N-1} conecta la resistencia de 10 K a la tensión de referencia $-V_R$ (-10 V); a la inversa, cuando hay un 0 presente en dicha línea, el interruptor conecta la resistencia a la línea de tierra. Por lo tanto, este conmutador es un conmutador electrónico unipolar de dos direcciones (SPDT)*. El amplificador operacional actúa como un convertidor de corriente a tensión (Sec. 16-1). Empleando los valores numéricos mostrados en la Fig. 17-58, vemos que si el bit más significativo es 1 y todos los demás bit son 0, entonces la corriente que atravesará la resistencia de 10 K será 1 mA y la tensión de salida será $V_o = 5 = 16 \times 5/16$ V. Análogamente, vemos que el valor ponderado del bit menos significativo (si $N = 5$) será $V_o = (10/160) \times 5 = 1 \times (5/16)$ V. Si los cinco bit son 1, la salida será

$$V_o = (1 + \tfrac{1}{2} + \tfrac{1}{4} + \tfrac{1}{8} + \tfrac{1}{16}) \times 5 = 31 \times \tfrac{1}{16}$$

Por tanto, la salida analógica V_o es proporcional a la entrada digital; el factor de proporcionalidad es 5/16 para el circuito de la Fig. 17-58.

* Siglas de: Single-Pole Double-Throw. (*N. del T.*)

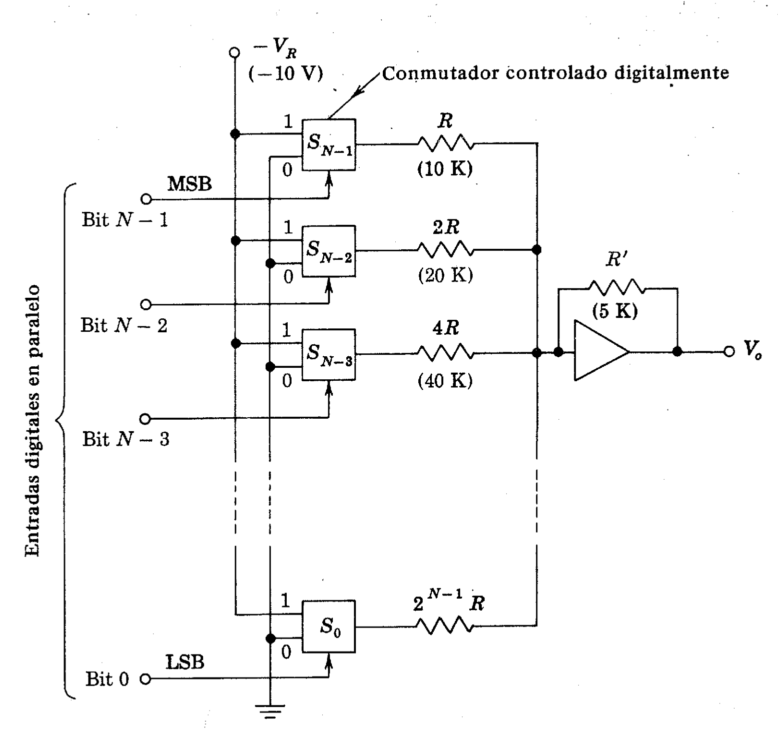


Fig. 17-58. Convertidor D/A con resistencias

En la Fig. 17-59, se indica la construcción de un conmutador empleando transistores MOS de canal *p*. Los FLIP-FLOP también están construidos con MOSFET y mantienen el bit en la línea de bit correspondiente. Vamos a suponer que la lógica 1 corresponda a − 10 V y la lógica 0 corresponda a 0 V (lógica negativa). Un 1 en la línea de bit pone el FLIP-FLOP a $Q = 1$ y $\bar{Q} = 0$, y por ende el transistor $Q1$ está en conducción, conectando la resistencia R_1 a la tensión de referencia $-V_R$, mientras que el transistor $Q2$ permanece cortado. Análogamente, un cero en la línea de bit de entrada conectará la resistencia al terminal de tierra. La precisión y estabilidad de este convertidor D/A depende en primer lugar de la precisión de las resistencias y de su variación con la temperatura. Puesto que todas las resistencias son distintas y la mayor es de $2^{N-1}R$, donde R es la resistencia menor, sus valores llegan a ser excesivamente grandes, siendo dificultoso y caro obtener resistencias precisas y estables de estos valores.

Convertidor D/A tipo escalera. La Fig. 17-60 muestra un circuito en el que se utiliza el doble número de resistencias que en la Fig. 17-58 para el mismo número de bit (*N*), perc los valores de las resistencias sólo son R y $2R$. La escalera empleada en este circuito es un sistema divisor de corriente, y por lo tanto, la relación entre resistencias es más crítica que su valor absoluto. Observamos en la figura que, desde cualquier nudo, la resistencia es $2R$, ya sea mirándolo hacia la izquierda, hacia la derecha, o hacia el interruptor. Por lo tanto, la corriente se distribuirá igualmente hacia la derecha o hacia la izquierda, y esto ocurre en cada nudo. Considerando el nudo $N-1$ y suponiendo que MSB esté cerrado, la

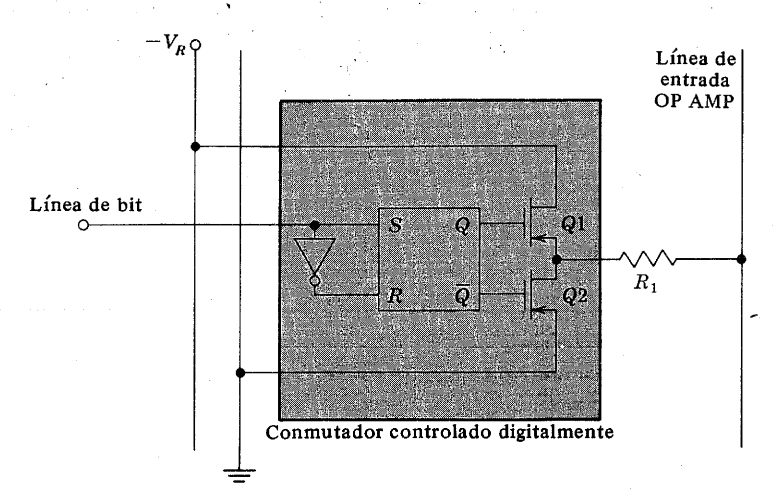


Fig. 17-59. Un FLIP-FLOP MOS y un par de MOSFET forman el conmutador de un solo polo y dos direcciones de la Fig. 17-58. La resistencia R_1 depende del bit que se considere. Por ejemplo, para el bit N-3, $R_1 = 4R$ (Fig. 17-58)

tensión en este nudo será $-V_R/3$. Puesto que la ganancia del amplificador operacional en el nudo $N-1$ es $-3R/2R$, el valor ponderado de MSB será

$$V_o = (-V_R/3)(-3R/2R) = V_R/2$$

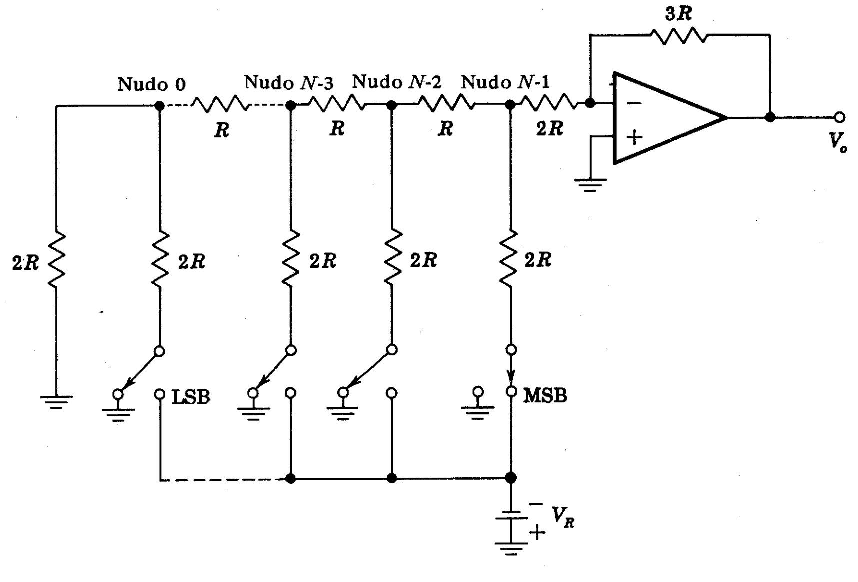


Fig. 17-60. Convertidor de D-A utilizando la escalera R, $2R$

En forma parecida, vemos en el Prob. 17-54 que, cuando el segundo MSB está cerrado y todos los demás cortados, la salida será $V_o = + V_R/4$, el tercer bit da $+ V_R/8$, y el LSB da $+ V_R/2^N$.

Los circuitos explicados hasta el momento emplean tensiones de referencia negativas y dan una tensión de salida analógica positiva. Si hay que convertir números binarios negativos, se agrega un bit extra a la información binaria pare representar el signo, y este bit puede ser empleado para seleccionar la polaridad de la tensión de referencia.

La casa Zeltex Inc encapsula un convertidor D/A típico de 8 bit en un módulo de 48 X 43 X 10 mm incluido el amplificador operacional, la tensión de referencia, la red en escalera, y los conmutadores. El convertidor D/A 3750 (de Fairchild Semiconductor) es un MOS/LSI de 10 bit que emplea transistores de acumulación de canal *p*. La información digital puede entrar en serie o en paralelo, y la salida es asequible a través de 10 conmutadores SPDT MOS. El usuario debe proveer la red resistiva en escalera que se conecta a los polos de los 10 conmutadores. El 3750 contiene un registrador de desplazamiento de entrada en el que se almacenan los datos y un registro de mantenimiento que retiene el estado de los 10 bit de entrada de información precedentes y excita los conmutadores de salida. El sistema está disponible en un encapsulado de 36 patillas de 2 en línea.

Convertidor D/A multiplicador. Un convertidor D/A que emplea una señal analógica variable en lugar de una tensión fija de referencia se denomina *convertidor D/A multiplicador.* Por la Ec. (17-34) vemos que la salida es el producto de la información digital y la tensión analógica V_R, y este valor depende de la información binaria (que representa un número menor que la unidad). Esta ordenación es llamada a menudo *atenuador programable,* ya que la salida V_o es una fracción de la entrada V_R y la posición del atenuador puede ser gobernada por un computador.

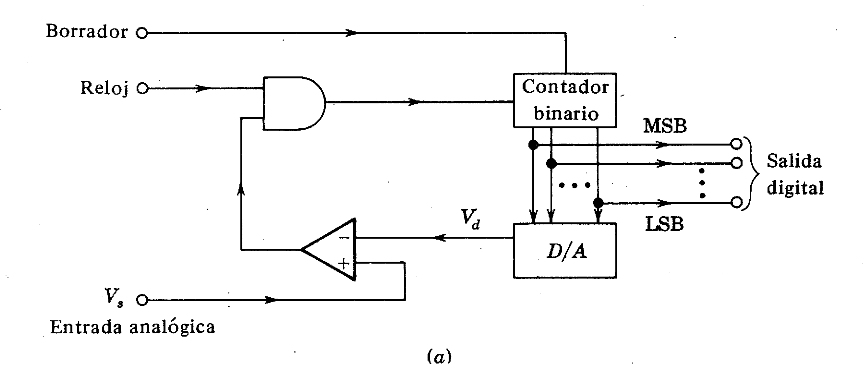
17-20. CONVERTIDOR ANALOGICO A DIGITAL[19]

Muy a menudo es necesario que datos obtenidos de un sistema físico se transformen en forma digital. Estos datos aparecerán normalmente en forma eléctrica analógica. Por ejemplo, una diferencia de temperatura puede ser representada por la salida de un termopar, el esfuerzo de un elemento mecánico se representará por el desequilibrio de un puente medidor de esfuerzos, etc. Por ello se necesita un elemento que convierta esta información analógica en digital, y en realidad se han inventado un gran número de dispositivos que cumplen tal función. A continuación, vamos a considerar un tipo de convertidor A/D.

En este sistema, una secuencia de impulsos igualmente espaciados pasa a través de una puerta que permanece normalmente cerrada, y se abre en el instante en que empieza una rampa lineal. Dicha puerta permanece abierta hasta que la tensión lineal de barrido alcanza el potencial de referencia de un comparador, regulado a un nivel igual a la tensión analógica a convertir. El número de impulsos del tren que pasa por la puerta es por tanto proporcional a la tensión analógica. Si esta tensión analógica varía con el tiempo, es evidente que no será posible convertir los datos analógicos continuamente, sino que será necesario tomar los datos analógicos por muestreo con ciertos intervalos. El valor máximo de la tensión analógica vendrá representado por un número de impulsos *n*. Es evidente que *n* se debe hacer lo más grande que sea posible, compatible con la necesidad de que el intervalo de tiempo entre dos impulsos sucesivos sea mayor que el error del modulador de tiempo. La frecuencia de aparición de los impulsos es igual, como mínimo, al producto de *n* por el ritmo de muestreo. En realidad, será mayor debido al tiempo necesario para restablecer el circuito entre dos muestras.

Un tipo de voltímetro digital emplea el convertidor analógico-digital descrito en el párrafo anterior. El número de impulsos que pasan a través de la puerta es proporcional a la tensión que se mide. Estos impulsos van a un contador cuya lectura se indica visualmente mediante alguna forma de señalización luminosa. (Sec. 17-8 y 17-21).

En el convertidor A/D de la Fig. 17-61*a* se emplean los principios comentados anteriormente. Un impulso de *borrado* lleva el contador a cero. El contador registra, en forma binaria, el número de impulsos de la línea del reloj. El reloj es una fuente de impulsos igualmente espaciados en el tiempo. Como el número de impulsos contados aumenta linealmente con el tiempo, la información binaria que representa esta cuenta se emplea como entrada de un convertidor D/A cuya salida es la de la Fig. 17-61*b*. Mientras la entrada analógica V_s sea mayor que V_d, la salida del comparador es alta y la puerta Y está abierta para la transmisión de los impulsos del reloj al contador. Cuando V_d sobrepase a



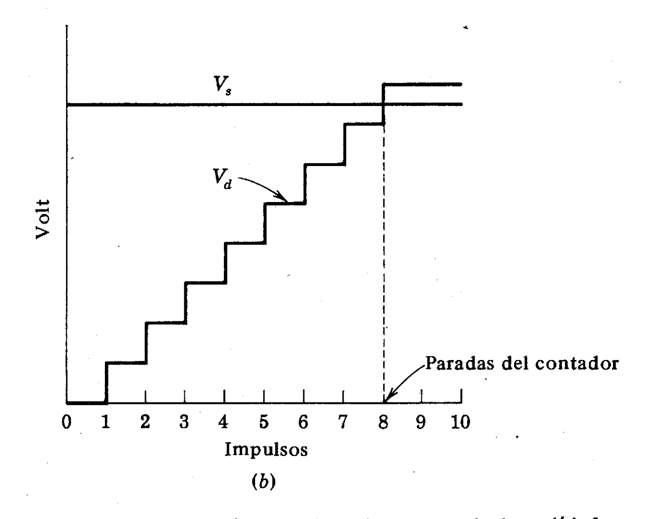


Fig. 17-61. (*a*) Convertidor A/D empleando un contador; (*b*) forma de onda en rampa del contador

V_s, la salida del comparador cambia al valor inferior, y la puerta Y se cierra. Esto para la cuenta en el momento en que $V_s \approx V_d$, y en el contador puede leerse un dato digital que representa la tensión analógica de entrada.

Convertidor A/D por aproximaciones sucesivas.[19] La técnica de las sucesivas aproximaciones es otro método para establecer un convertidor A/D. En lugar de un contador binario como el de la Fig. 17-61*a*, se emplea un programador. El programador pone el bit más significativo (MSB) a 1, con todos los demás bit a 0, y el comparador coteja la salida del D/A con la señal analógica. Si la salida de D/A es mayor, el 1 se elimina del bit más significativo y se pasa al inmediato inferior. Si la entrada analógica es mayor, el 1 permanece en su lugar. Posteriormente, se va tanteando un 1 en cada lugar del decodificador D/A, siguiendo el mismo proceso hasta que se obtiene un equivalente binario a la señal analógica. El circuito 3751 MOS/LSI (Fairchild Semiconductor) es un convertidor monolítico A/D de 12 bit que emplea la técnica de las aproximaciones sucesivas. La red en escalera se dispone aparte; eligiendo adecuadamente el valor de las resistencias de la escala, la salida puede obtenerse en forma digital binaria o BCD. El componente es asequible en un encapsulado de dos en línea de 36 patillas.

17-21. GENERADOR DE CARACTERES[20,21]

Este capítulo termina con una explicación sobre generación de caracteres alfanuméricos bidimensionales y su representación en imagen. Muchos de los bloques constructivos presentados en las secciones precedentes están implicados en este sistema bastante complicado. Por ejemplo, están incluidos un ROM, un decodificador, un registrador de desplazamiento paralelo-serie, convertidores D/A, contadores divisores por N y memorias de registro.

La formación de una imagen conveniente de la información es quizás la parte más importante de un sistema electrónico. Computadores, calculadoras, información de oficinas y sistemas similares emplean comúnmente, para dar la información, caracteres alfanuméricos en tubos de rayos catódicos (CRT), imágenes de siete segmentos, tubos indicadores, dispositivos de lámparas, o en copia impresa, etc. En muchas de estas aplicaciones, los caracteres se generan con ROM y registradores de desplazamiento. Las memorias MOS de sólo lectura ofrecen un sistema muy versátil para la generación de caracteres, debido a que la facilidad de programación permite al diseñador elegir los caracteres y formatos que desee.

Matriz de puntos de un carácter. Existen numerosos formatos de caracteres que se pueden diseñar con un generador de caracteres ROM. El formato de la matriz de puntos 5 × 7 es muy fácil de manejar y aparece en muchos sistemas de indicación. Consideremos la letra E de la Fig. 17-62*a* en matriz de puntos de 5 × 7. Si cada uno de los puntos corresponde a una fuente de luz o una lámpara, los puntos negros de la letra E son lámparas encendidas, y los puntos vacíos son fuentes de luz apagadas. Las lámparas apagadas corresponden a salida de lógica 0 de una ROM con una información de salida de 5 × 7 = 35 bit, en tanto que las lámparas encendidas corresponden a una lógica 1. Para almacenar 64 caracteres alfanuméricos y otros símbolos, un ROM requiere 64 × 7 × 5 = 2 240 bit de almacenamiento. Construir estas memorias con diodos o transistores bipolares resulta caro y voluminoso. Las memorias MOS/LSI de sólo lectura ofrecen ventajas significativas, tanto en coste como en consumo, tamaño y peso.

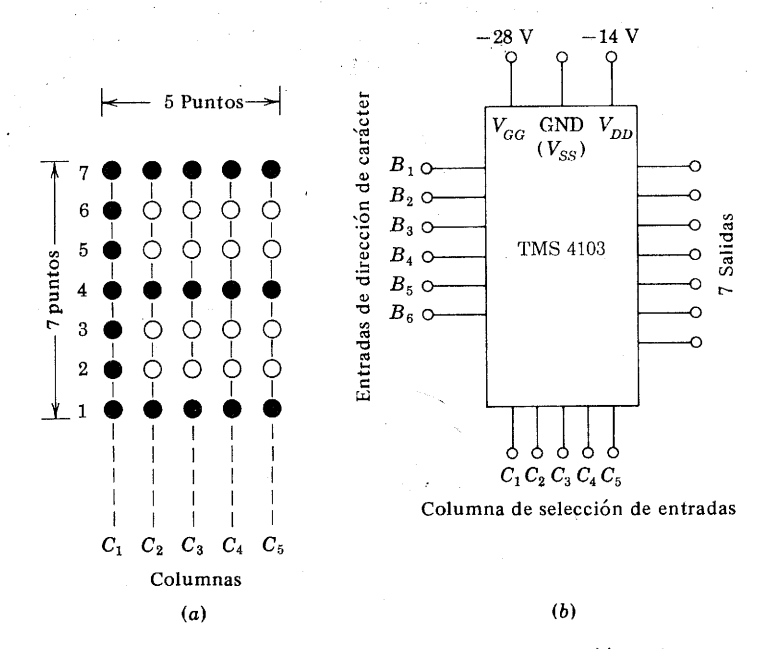


Fig. 17-62. (*a*) Letra E en una matriz de puntos de 5 × 7. (*b*) Funciones de las patillas del generador de caracteres TMS 4103. (Cortesía de Texas Instruments Inc.)

La Fig. 17-62*b* da las funciones de las patillas del generador de caracteres ROM TMS 4103 (Texas Instruments Inc.). Esta unidad, admite lo que se conoce con el nombre de código de entrada USASCII, como información binaria de 6 bit, y da lugar a 64 caracteres alfanuméricos normalizados en una ordenación de 5 × 7 puntos (una columna cada vez). Por ejemplo, para la letra E, la orden será

$$B_1B_2B_3B_4B_5B_6 = 101000$$

Como en el TMS 4103 sólo hay siete salidas, en un momento determinado se obtendrá una sola columna del carácter. Si se ha seleccionado para la imagen la tercera columna, la entrada de selección de columnas será:

$$C_1C_2C_3C_4C_5 = 00100$$

y la información de siete bit en paralelo que aparecerá en la salida valdrá

$$\text{Salida} = 1001001$$

La potencia total disipada por el TMS 4103 es del orden de 400 mW, y se puede tener acceso a ella en menos de 1,0 μ seg. Para introducir una lógica 1, ya sea en una orden o en la selección de una columna, la tensión de entrada necesaria en la patilla correspondiente es de $V_i = -V_{DD} = -14$ V. A la inversa, para una lógica 0 la entrada debe estar a tierra.

Impresión de caracteres. Para imprimir caracteres se puede emplear un generador de caracteres de 7 bit de salida en paralelo, conectando las siete salidas a una columna de siete diodos emisores de luz (LED, Sec. 3-15). Estos diodos actúan sobre una tira de papel o un film sensible a la luz, en movimiento. Los caracteres se forman exponiendo el film a las radiaciones de los diodos encendidos y el espaciado se logra por el movimiento uniforme del film o del papel sensible, a medida que los impulsos de selección de columna van pasando de C_1 hasta C_5.

Forma de onda para un solo carácter en un tubo de rayos catódicos. Se pretende tener la imagen de un carácter, por ejemplo la E, en un tubo de rayos catódicos. Como la pantalla se ilumina ("da luz") en la pequeña región en la que hace impacto el haz de electrones, sólo se puede generar un punto de la matriz de caracteres en un instante dado. Por lo tanto, el haz se mantiene en la posición de un punto durante un tiempo T, pasado el cual se mueve rápidamente el haz a la posición del próximo punto, en donde se mantiene un nuevo período T pasando luego a la tercera posición, y así sucesivamente. Por consiguiente, el sistema está sincronizado por un reloj de período T.

En una posición horizontal dada ($X = 1$ en la Fig. 17-63), el haz barre la pantalla en sentido vertical, en sincronismo con el reloj, en siete escalonamientos ($Y = 1, 2, \ldots, 7$ de la Fig. 17-63). En cada posición, el control de intensidad (la reja del tubo de rayos catódicos) excita el haz de electrones si el punto correspondiente a esta posición debe ser visible o lo anula si no lo debe ser. El control de intensidad, llamado *eje Z*, obtiene esta información de la salida del ROM. Por tanto, las siete salidas en paralelo, que corresponden a los siete puntos de una columna vertical, deben ponerse en serie. Esta onda en serie se emplea para modular la intensidad del eje Z. La sucesión de bit de la primera y segunda columna de la E de la Fig. 17-62 aparecen en la Fig. 17-63 como onda de Z. La onda del eje Z se mantiene en la parte inferior, mientras el haz pasa de un punto a otro, mediante el circuito de borrado.

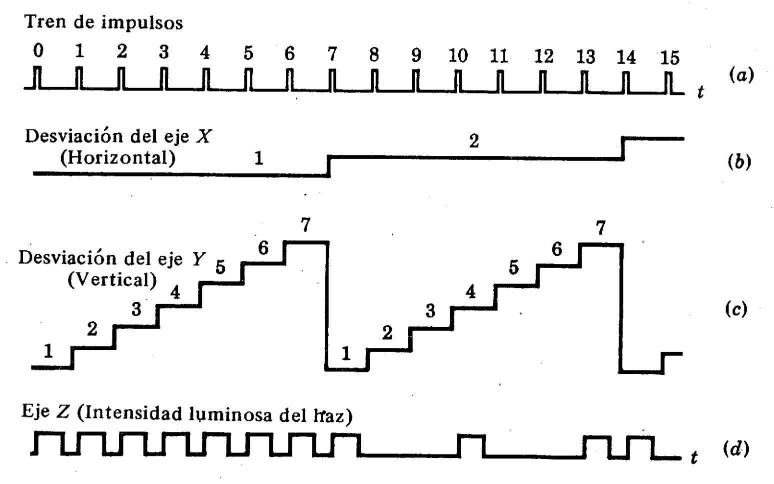


Fig. 17-63. (*a*) Tren de impulsos; (*b*) forma de onda de la deflexión horizontal; (*c*) forma de onda de la deflexión vertical; (*d*) forma de onda de la intensidad de luz para el sistema generador de caracteres de la Fig. 17-64

Representación de un carácter. Para comprender la forma de generar las ondas de X, Y y Z, vamos a referirnos al diagrama de bloques de la Fig. 17-64. Nos concentraremos primero en la parte derecha de la línea sombreada, que corresponde al subsistema que se precisa para representar un carácter.

La frecuencia del reloj es aquella en la que actúa la salida del registrador paralelo-serie. Esta cadencia del reloj se denomina también *cadencia del punto* porque la salida de los impactos de los bit corresponde a los puntos de la representación. Como hay siete puntos por columna, se emplea un contador de 3 bit para dividir la *cadencia de punto* por 7. Los peldaños de la onda de salida del convertidor D/A conectado al contador de selección de

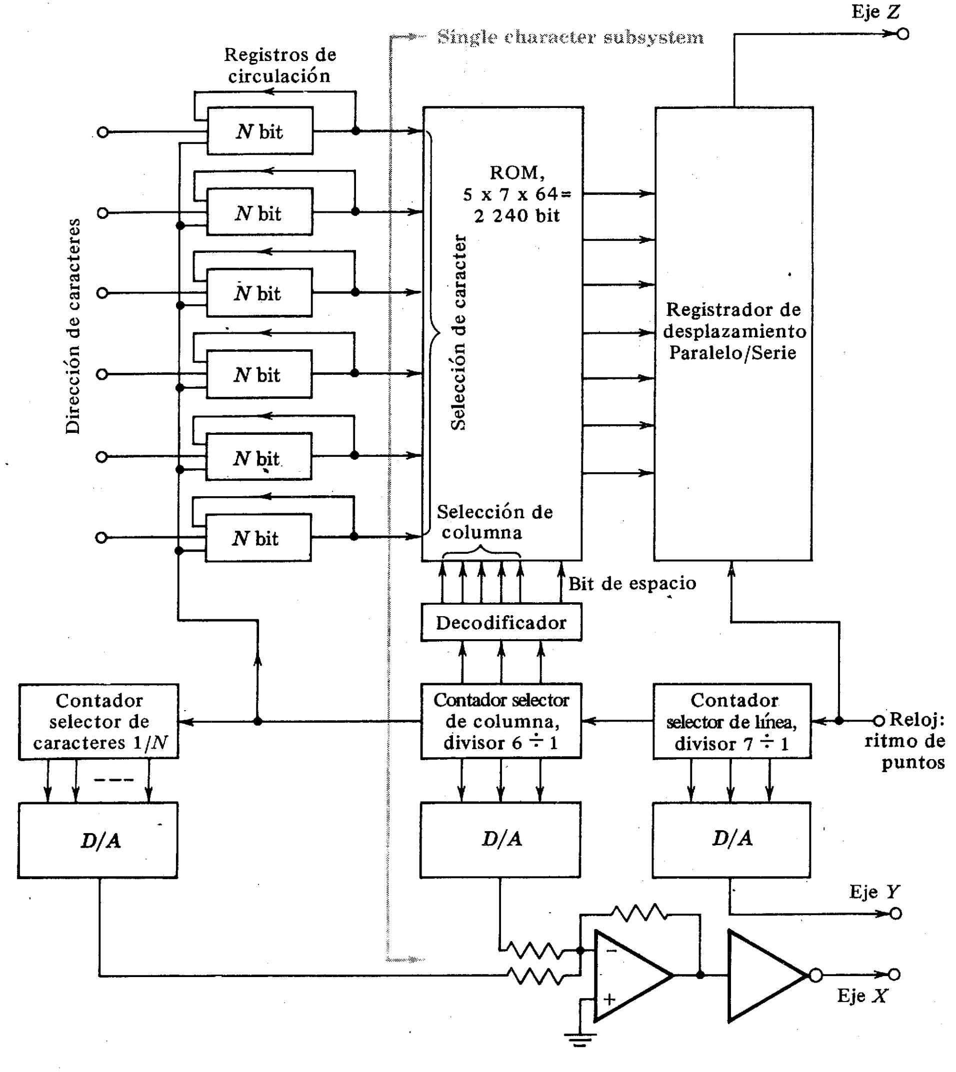


Fig. 17-64. Diagrama lógico del sistema de representación sobre el tubo de rayos catódicos, de N caracteres en una sola línea

línea suministran los siete estados de la posición de los puntos en el eje Y. Contando las líneas del carácter, el contador da un impulso de salida cada vez que tal cuenta llega a siete y ha sido explorada la columna entera. Este impulso entra en un segundo contador de tres bit que cuenta las cinco columnas más un espacio entre caracteres; en total 6. La tensión de salida en escalera del bloque D/A conectada al contador seleccionador de columna, provee las 6 posiciones en el eje X, una por cada columna. Después de cada sexta desviación de la X, se puede generar un nuevo carácter.

Representación de una línea de caracteres. Supongamos que deseamos representar en un tubo de rayos catódicos N caracteres en una línea horizontal. Vamos a tener en cuenta ahora los bloques de la izquierda de la línea sombreada de la Fig. 17-64. El impulso de salida del divisor 6 : 1 se emplea para introducir la orden en la ROM para que el nuevo carácter sea representado; es decir, para promover la entrada de los registradores en los que tenemos almacenadas las órdenes de los N caracteres de la línea. El contenido de los seis registradores de entrada recircula al ritmo de 60 Hz, de tal forma que puede renovarse la representación completa a esta misma cadencia. En el caso de 30 caracteres por línea se deben recorrer $7 \times 6 \times 30 = 1\ 260$ puntos, con suficiente rapidez para que no aparezca parpadeo en la imagen. La frecuencia de 60 Hz se considera adecuada para todos los tubos de rayos catódicos normalizados y todos los niveles de luz. El impulso de salida del contador selector de columna significa que se ha generado ya un carácter entero (más espacio). Este impulso de salida entra en un tercer contador que divide por N, siendo N el número de caracteres por línea.

Las salidas de cada contador alimentan a un convertidor D/A. Las salidas del convertidor de carácter D/A y de la unidad de columna D/A se suman y excitan el amplificador del eje horizontal del tubo de rayos catódicos. El D/A conectado al contador de caracteres da N escalones, cada uno de ellos con una altura igual a seis escalones del D/A selector de columnas. El convertidor D/A conectado al contador selector de línea da un número de escalones igual al número de líneas del carácter o sea siete peldaños para un formato de 5×7. En la figura 17-63 están dibujadas las ondas de los ejes X, Y y Z que corresponden a las dos primeras columnas de la letra E de la Fig. 17-62.

El sistema explicado puede extenderse a la representación de una página entera de caracteres alfanuméricos en toda la superficie del tubo de rayos catódicos (Prob. 17-56)

REFERENCIAS

1. "The Integrated Circuits Catalog for Design Engineers", Texas Instruments Inc., 1971.

2. Texas Instruments Staff: "Designing with TTL Integrated Circuits", cap. 9, McGraw-Hill Book Company, Nueva York, 1971.

3. Ref. 2, Cap. 8.

4. Rostky, G.: "On Semiconductor Memories", *Electron Design,* vol. 19, pp. 50-63, 16 de septiembre de 1971.

5. Vimari, D. C.: "Field-programable Read-only Memories and Applications", *Computer Design,* vol. 9, pp. 49-54, diciembre de 1970.

6. Sifferlen, T. P. y V. Vartanian: "Digital Electronics with Engineering Applications", pp. 216-218, Prentice-Hall, Inc., Englewood Cliffs, N. J., 1970.

7. Baasch, T. L.: "Selecting Alphanumeric Readouts", *Electron. Prod.,* 21 de diciembre de 1970, pp. 31-37.

8. McCluskey, E. J., Jr.: "Introduction to the Theory of Switching Circuits", McGraw-Hill Book Company, Nueva York, 1965.
   Wickes, W. E.: "Logic Design with Integrated Circuits", cap. 3, John Wiley & Sons, Inc., Nueva York, 1968.
   Ref. 6, cap. 1.

9. Peatman, J. B.: "The Design of Digital Systems", cap. 3, McGraw-Hill Book Company, Nueva York, 1971.

10. Ref. 2, cap. 7.
    Ref. 6, cap. 3.
    Ref. 9, cap. 4.
    Millman, J. y H. Taub: "Pulse, Digital and Switching Waveforms", cap. 10, McGraw-Hill Book Company, Nueva York, 1965.

11. Ref. 6, cap. 8.

12. Ref. 2, sec. 11-2.

13. Ref. 2, cap. 10.

14. Ref. 9, cap. 5.
    Wickers, W. E.: Ref. 8, cap. 9.

15. Cobbold, R. S. C.: "Theory and Applications of Fied Effect Transistors", Wiley-Interscience, Nueva York, 1970.

16. Crawford, R. H.: "MOSFETs in Circuit Design", McGraw-Hill Book Company, Nueva York, 1967.

17. Terman, L. M.: "MOSFET Memory Circuits", *Proc. IEEE,* vol. 59, n.º 7, pp. 1044-1057, julio de 1971.

18. Talbert, C. D.: "Simplify Random-access Memory Selection", *Electronics,* vol. 18, n.º 17, pp. 70-74, 16 de agosto de 1970.

19. Hoeschele, D. F., Jr.: "Analog-to-digital and Digital-to-analog Conversion Techniques", John Wiley & Sons, Inc., Nueva York, 1968.

20. "MOS Character Generators", *Texas Instruments Inc. Apl. Rept.* CA-145.

21. Carter, G., y D. Mrazek: "The Systems Approach to Character Generators", *Natl. Semiconductor Appl. Note* AN-40, junio de 1970.

TEMAS DE REPASO

17-1 (*a*) ¿Cuántos conductores de entrada necesita un chip conteniendo cuatro puertas NOR de dos entradas? Explicarlo. (*b*) Repetir el apartado (*a*) para un chip con dos AOI de dos bandas y doble entrada.

17-2 Definir qué se entiende por SSI, MSI y LSI.
17-3 Dibujar la configuración del circuito de una puerta AOI TTL integrada. Explicar su funcionamiento.
17-4 (*a*) Hallar la tabla de la verdad del *semisumador.* (*b*) Indicar su estructura para el dígito D y el arrastre C.
17-5 (*a*) Indicar el sistema de un *sumador binario paralelo* de tres bit hecho con semisumadores. (*b*) Explicar su funcionamiento.
17-6 Indicar un sistema sumador binario paralelo de 4 bit, construido a base de sumadores de 1 bit.
17-7 (*a*) Escribir la tabla de la verdad de un sumador de tres entradas. Explicar claramente el significado de los símbolos de entrada y de salida en la tabla. (*b*) Escribir las expresiones de Boole para la suma y el arrastre. (Sin simplificarlas.)
17-8 (*a*) Indicar el sistema para un sumador total binario *serie.* (*b*) Explicar el funcionamiento.
17-9 (*a*) Considerar dos números A y B de 4 bit siendo $B > A$. Comprobar que, para restar A de B, se necesita solamente sumar B, $\bar{A}$ y 1. (*b*) Indicar en forma sencilla un sustractor de 4 bit obtenido a partir de un sumador.
17-10 Considerar dos números A y B de 1 bit. ¿Cuáles son las puertas lógicas necesarias para probar que (*a*) $A = B$, (*b*) $A > B$, y (*c*) $A < B$?
17-11 Considerar dos números A y B de 4 bits. Si $E = 1$ representa la igualdad $A = B$, escribir la expresión de Boole para E. Explicarlo. (*b*) Si $C = 1$ representa la desigualdad $A > B$, escribir la expresión de Boole para C. Explicarlo.
17-12 Indicar el sistema para comprobar una paridad impar de 4 bit.
17-13 (*a*) Indicar un sistema para aumentar la fiabilidad de transmisión de una información binaria, empleando un comprobador y un generador de paridad. (*b*) Explicar el funcionamiento de este sistema.
17-14 Escribir el número decimal 749 en el sistema BCD.
17-15 (*a*) Definir un *decodificador.* (*b*) Indicar cómo se decodifica un código 1011 (LSB) de 4 bit.
17-16 (*a*) Definir un *demultiplex.* (*b*) Indicar cómo se convierte un decodificador en un demultiplex. (*c*) Indicar cómo se añade una señal de cebado a este sistema.
17-17 (*a*) Definir un *multiplex*. (*b*) Dibujar un diagrama de bloques lógico de un *multiplex* de 4 a 1 líneas.
17-18 Indicar de qué manera puede emplearse un *multiplex* como (*a*) *convertidor paralelo serie,* (*b*) un *selector secuencial de datos.*
17-19 (*a*) Definir un *codificador.* (*b*) Indicar un codificador de matriz de diodos para transformar un número decimal a código binario.
17-20 (*a*) Indicar una matriz codificadora empleando seguidores de emisor. En el caso particular de un codificador para transformar un número decimal a un código binario, indicar las conexiones (*b*) a la salida Y_1 y (*c*) a la línea W_5.
17-21 (*a*) Definir una *memoria de sólo lectura.* (*b*) Dibujar un diagrama de bloques de un ROM. (*c*) ¿Qué se almacena en la memoria? (*d*) ¿Cuáles son los elementos de memoria?
17-22 (*a*) Escribir la tabla de la verdad de conversión de un código binario a uno de Gray. (*b*) Escribir las seis primeras líneas de la tabla que convierta un código de Gray a uno binario.
17-23 Explicar qué se entiende por *máscara programada* en un ROM.
17-24 (*a*) Explicar qué se entiende por un pROM (o ROMP). (*b*) ¿Cómo se prepara el programa?
17-25 Cítense tres aplicaciones del ROM y explíquense muy brevemente.
17-26 (*a*) ¿Qué es un *visualizador de siete segmentos*? (*b*) Mostrar las dos siguientes líneas en la tabla de conversión de BCD al código de siete segmentos: 0011 y 1001.
17-27 (*a*) Definir un sistema *secuencial.* (*b*) ¿En qué difiere del sistema *combinacional*?
17-28 (*a*) Definir un *biestable.* (*b*) Indicar cómo se construye esta unidad a partir de puertas NO. (*c*) Comprobar que el circuito del apartado *b* tiene dos estados estables.
17-29 (*a*) Esbozar el sistema lógico de un biestable con entradas de habilitación S (*preset*) y de borrador C (*clear*). (*b*) Comprobar que si $S = 1$ y $R = 0$, el FLIP-FLOP está en $Q = 1$.

17-30 (*a*) Esbozar el sistema lógico para un FLIP-FLOP *S-R* gobernado por reloj. (*b*) Verificar que el estado del sistema no cambia entre dos impulsos del reloj. (*c*) Dar la tabla de la verdad. (*d*) Justificar las entradas de dicha tabla.
17-31 (*a*) Incrementar un FLIP-FLOP *S-R* con dos puertas Y para formar un FLIP-FLOP *J-K*. (*b*) Determinar la tabla de la verdad. (*c*) Verificar el apartado *b* haciendo una tabla de J_n, K_n, Q_n, $\bar{Q}_n$, S_n, R_n y Q_{n+1}.
17-32 Explicar cuál es el significado de la condición de auto-oscilación, en relación con el FLIP-FLOP *J-K* del ejercicio 17-31.
17-33 Dibujar un sistema de FLIP-FLOP *J-K* con reloj e incluir las *entradas* de habilitación (Pr) y el *borrado* (Cr). (*b*) Explicar la operación de borrado.
17-34 (*a*) Dibujar un *ordenador-seguidor*. (*b*) Explicar su funcionamiento y demostrar que ha eliminado la auto-oscilación.
17-35 (*a*) Mostrar cómo se convierte un FLIP-FLOP *J-K* en una unidad de retardo (tipo *D*). (*b*) Dar la tabla de la verdad. (*c*) Verificar esta tabla.
17-36 Repetir el tema 17-35 para un *interruptor* (tipo *T*).
17-37 Dar la tabla de la verdad de cada tipo de FLIP-FLOP: (*a*) *S-R*, (*b*) *J-K*, (*c*) *D*, y (*d*) *T*. ¿Cuáles son las entradas directas Pr y Cr y la del reloj *Ck* para (*e*) escribir, (*f*) borrar, y (*g*) para funcionamiento normal con reloj?
17-38 (*a*) Definir un registrador. (*b*) Construir un registrador de desplazamiento con FLIP-FLOP *S-R* (*c*) Explicar su funcionamiento.
17-39 (*a*) Explicar por qué puede haber una auto-oscilación en un registrador de desplazamiento. (*b*) ¿Cómo se soslaya esta dificultad?
17-40 Explicar de qué manera un registrador de desplazamiento se emplea como convertidor de (*a*) datos de *serie a paralelo*, (*b*) datos de paralelo a serie.
17-41 Explicar cómo se emplea un registrador de desplazamiento como *generador de secuencia.*
17-42 Explicar de qué manera un registrador de desplazamiento se emplea como *memoria de sólo lectura.*
17-43 (*a*) Explicar de qué modo se emplea un registrador de desplazamiento como *contador de anillo.* (*b*) Dibujar la forma de onda de salida de cada FLIP-FLOP de una unidad de tres etapas.
17-44 (*a*) Esbozar el diagrama de bloques de un contador de Johnson. (*b*) Dibujar la forma de onda de salida de cada FLIP-FLOP de una unidad de tres etapas. (*c*) ¿Por qué número N divide este sistema?
17-45 (*a*) Dibujar el diagrama de bloques de un *contador asíncrono.* (*b*) Esbozar la forma de onda de la salida de cada FLIP-FLOP de un contador de tres etapas. (*c*) Explicar cómo se obtiene el dibujo de la forma de onda. (*d*) ¿Por qué número N divide este sistema?
17-46 (*a*) Dibujar el diagrama de bloques de un *contador reversible.* (*b*) Explicar su funcionamiento.
17-47 Explicar cómo se modifica un contador asíncrono para que divida por N, cuando N no es una potencia de 2.
17-48 (*a*) Dibujar el diagrama de bloques de un contador asíncrono de décadas. (*b*) Explicar su funcionamiento.
17-49 Repetir el tema 17-48 para un contador asíncrono divisor por 6.
17-50 ¿Cuál es la ventaja de un contador síncrono con respecto a uno asíncrono?
17-51 (*a*) Dibujar el diagrama de bloques de un contador síncrono de cuatro etapas con arrastre en serie. (*b*) Explicar su funcionamiento. (*c*) ¿Cuál es la frecuencia máxima de funcionamiento? Definir los símbolos de la ecuación.
17-52 (*a*) Repetir el ejercicio 17-51 si el contador emplea *arrastre en paralelo.* (*b*) ¿Cuáles son las ventajas y desventajas de un contador de arrastre en paralelo?
17-53 Explicar cómo se mide la frecuencia mediante un contador.
17-54 Mencionar seis aplicaciones de los contadores (sin dar explicaciones).
17-55 (*a*) Dibujar el circuito de un *inversor MOS dinámico de una sola fase.* (*b*) Explicar su funcionamiento.
17-56 Repetir el tema 17-55 para una puerta NAND MOS.
17-57 Repetir el tema 17-55 para un inversor MOS de dos fases. Dibujar la forma de onda de los impulsos del reloj.

17-58 (*a*) Dibujar el circuito de una etapa de un *registrador de desplazamiento MOS dinámico de dos fases.* (*b*) Dibujar la forma de onda de los impulsos del reloj y explicar el funcionamiento del circuito.

17-59 (*a*) Dibujar el circuito de una etapa de un *registrador de desplazamiento MOS estático.* (*b*) Trazar la forma de onda de los impulsos del reloj. (*c*) Explíquese el funcionamiento del circuito.

17-60 Repetir el ejercicio 17-59 para una etapa de un registrador MOS de cuatro fases. Identificar las secciones del *ordenador* y del *seguidor.*

17-61 (*a*) Dibujar el circuito del *codificador* de una memoria MOS de sólo lectura. (*b*) Explicar su funcionamiento.

17-62 Explicar cómo se *programa* el ROM MOS.

17-63 (*a*) Dibujar el diagrama de bloques de una *memoria de lectura/escritura* de 1 bit. (*b*) Explicar su funcionamiento.

17-64 Explicar qué se entiende por *selección lineal* en un RAM.

17-65 Repetir el tema 17-64 para la *selección por coincidencia.*

17-66 (*a*) Dibujar en forma de diagrama de bloques los elementos básicos de un RAM con selección por coincidencia empleados para almacenar cuatro informaciones de 1 bit cada una. (*b*) ¿Cómo se amplía el sistema para informaciones de 3 bit? (*c*) ¿Cómo se amplía hasta 25 informaciones de 3 bit cada una?

17-67 Citar las ventajas y los inconvenientes de un RAM MOS.

17-68 (*a*) Esbozar el circuito de una célula de almacenamiento RAM bipolar. (*b*) Explicar su funcionamiento.

17-69 Repetir el tema 17-68 para una célula de memoria RAM MOS.

17-70 (*a*) Dibujar el esquema de un convertidor D/A. Emplear valores de resistencia cuyas relaciones sean múltiplos de 2. (*b*) Explicar el funcionamiento del convertidor.

17-71 Repetir el ejercicio 17-70 para una red en escalera cuyas resistencias tengan uno de los dos valores, R o $2R$.

17-72 Indicar el circuito del conmutador MOS en un convertidor D/A.

17-73 (*a*) Dibujar un diagrama de bloques de un convertidor A/D. (*b*) Explicar el funcionamiento de este sistema.

17-74 (*a*) Consideremos una matriz 5 X 7 para representar un carácter alfanumérico. Dibujar el diagrama de bloques de un sistema para generar estos caracteres y escribirlos en un tubo de rayos catódicos. (*b*) Indicar las formas de onda horizontal (X), vertical (Y) y de intensidad (Z) para un cierto carácter. (*c*) Explicar el funcionamiento del sistema.

17-75 (*a*) ¿Cómo es modificado el sistema del tema 17-74 para que escriba una línea de N caracteres en un tubo de rayos catódicos? (*b*) Calcular la frecuencia del reloj si cada línea tiene 40 caracteres y es recorrida a una frecuencia de 60 Hz.

18

Sistemas y circuitos de potencia

En este capítulo se trata de amplificadores de potencia, reguladores de tensión, sistemas y circuitos de control de potencia mediante Rectificadores Gobernados de silicio (SCR)* o tiristores.

Un sistema amplificador consiste normalmente en varias etapas en cascada. La etapa de entrada y las intermedias funcionan con pequeña señal en clase A. Su función es la de amplificar una pequeña señal de excitación hasta un valor suficientemente grande para atacar la etapa de salida. Esta etapa alimenta un transductor, ya sea un tubo de rayos catódicos, un altavoz, un servomotor, etc., y por lo tanto debe ser capaz de suministrar una gran tensión, o corriente, o una apreciable potencia. En este capítulo estudiaremos los amplificadores para grandes señales. En los amplificadores de potencia, son muy importantes las consideraciones sobre la polarización y su estabilización y las limitaciones debidas a las condiciones térmicas. Estos puntos han sido comentados en el capítulo 9, y por tanto no los consideraremos aquí.

Casi todos los circuitos electrónicos requieren una fuente de potencia de tensión continua. Para sistemas transportables de baja potencia, se pueden emplear baterías. No obstante, los equipos electrónicos adquieren la energía más frecuentemente de una fuente de alimentación, que es un circuito que convierte la corriente alterna de la red de potencia a tensión continua de amplitud constante. El proceso de conversión de corriente alterna a continua se examinó en el capítulo 4. En este capítulo, veremos el sistema de regulación empleado para el control de la amplitud de la tensión continua de una fuente de alimentación. Estos circuitos pueden ser considerados como una clase especial de amplificadores realimentados.

Finalmente también se examinará el empleo de los conmutadores de estado sólido, tales como los tiristores, los diodos *p-n-p-n*, y los triacs en los circuitos de control de potencia.

* Siglas de Silicon - Controlled - Rectifier. (*N. del T.*)

18-1. AMPLIFICADORES CLASE A PARA GRANDES SEÑALES

En la Fig. 18-1, se indica un amplificador con un solo transistor que alimenta una carga resistiva pura R_L. Empleando la notación de la Tabla 8-1, i_C representa la corriente instantánea total de colector, e i_c designa la variación instantánea respecto al valor de reposo I_C de la corriente del colector. Análogamente, i_B, i_b e I_B representan las correspondientes corrientes de base. La diferencia de tensión total instantánea colector-emisor viene dada por v_C, y la variación instantánea respecto al valor de reposo V_C se representa por v_c.

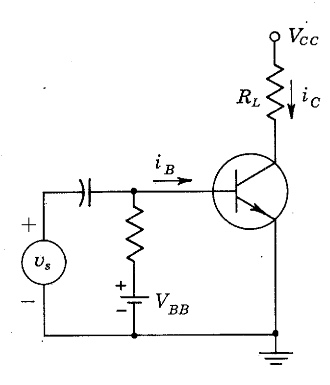


Fig. 18-1. Diagrama esquemático de un amplificador de un solo transistor alimentado en serie

Supongamos que las características estáticas de salida son equidistantes para incrementos iguales de la corriente de base de entrada i_b, como indica la Fig. 18-2. Entonces, si la señal de entrada i_b es senoidal, la corriente y la tensión de salida son también senoidales, como puede verse. En estas circunstancias, la distorsión no lineal es despreciable, y la potencia de salida cabe hallarla gráficamente como sigue:

$$P = V_c I_c = I_c^2 R_L \tag{18-1}$$

en la que V_c e I_c son los valores eficaces de la tensión de salida v_c y de la corriente i_c, respectivamente, y R_L es la resistencia de carga. Los valores numéricos de V_c y de I_c pueden determinarse gráficamente en función de los valores máximos y mínimos de la corriente y de la tensión, como indica la Fig. 19-2. Si I_m (V_m) representa la variación de pico de la corriente (tensión) senoidal, vemos que

$$I_c = \frac{I_m}{\sqrt{2}} = \frac{I_{max} - I_{min}}{2\sqrt{2}} \tag{18-2}$$

y

$$V_c = \frac{V_m}{\sqrt{2}} = \frac{V_{max} - V_{min}}{2\sqrt{2}} \tag{18-3}$$

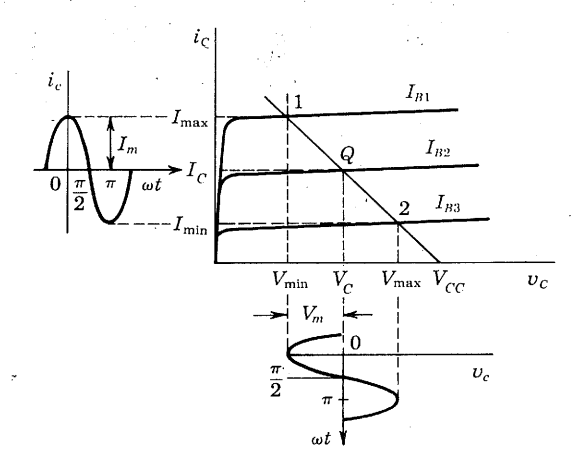


Fig. 18-2. Características de salida y formas de onda de la corriente y de la tensión, para una carga alimentada en serie de un amplificador de un transistor

y la potencia será:

$$P = \frac{V_m I_m}{2} = \frac{I_m^2 R_L}{2} = \frac{V_m^2}{2R_L} \tag{18-4}$$

que también puede escribirse de la forma

$$P = \frac{(V_{max} - V_{min})(I_{max} - I_{min})}{8} \tag{18-5}$$

Esta ecuación permite que la potencia de salida pueda calcularse de forma muy sencilla. Todo lo que se precisa es dibujar la línea de carga sobre las características tensión-corriente del sistema y leer los valores de V_{max}, V_{min}, I_{max} e I_{min}.

18-2. DISTORSION DEL SEGUNDO ARMONICO

En la sección precedente se ha idealizado el elemento activo considerándolo como perfectamente lineal. Sin embargo, en general, la característica de transferencia dinámica (Sec. 4-1) no es una línea recta. La falta de linealidad es debida a que las características estáticas de salida no son líneas rectas equidistantes para incrementos constantes de la excitación de entrada. Si la curva característica dinámica no es lineal en el margen de trabajo, la onda de la tensión de salida difiere de la de la señal de entrada. La distorsión de este tipo se denomina *no lineal*, o *de amplitud.*

Para hallar el valor de esta distorsión, supondremos que la curva dinámica con respecto al punto de reposo Q pueda representarse por una parábola en lugar de una línea recta. Por lo tanto, en lugar de relacionar la corriente alterna de salida i_c con la excitación de

entrada i_b, mediante la ecuación $i_c = Gi_b$, que es resultado del circuito lineal, supondremos que la relación entre i_c e i_b viene dada con mayor precisión por la expresión:

$$i_c = G_1 i_b + G_2 i_b^2 \quad (18\text{-}6)$$

en la que las G son constantes. En principio, estos dos términos son el comienzo de un desarrollo en serie de i_c en función de i_b.

Si la onda de entrada es senoidal y del tipo

$$i_b = I_{bm} \cos \omega t \quad (18\text{-}7)$$

la sustitución de esta expresión en la Ec. (18-6) nos conduce a

$$i_c = G_1 I_{bm} \cos \omega t + G_2 I_{bm}^2 \cos^2 \omega t$$

Puesto que $\cos^2 \omega t = ½ + ½ \cos 2\omega t$, la expresión de la corriente total instantánea i_C queda reducida a

$$i_C = I_C + i_c = I_C + B_o + B_1 \cos \omega t + B_2 \cos 2\omega t \quad (18\text{-}8)$$

donde los coeficientes B son constantes que pueden ponerse en función de las G. El significado físico de esta ecuación es evidente. Demuestra que, al aplicar una señal senoidal a una característica dinámica parabólica, resultará una corriente de salida que contendrá, además de un término de la misma frecuencia que la entrada, otro término del segundo armónico, así como una corriente constante. Este término constante B_o se añade al valor original de la corriente continua I_C para dar lugar a una componente continua total de corriente $I_C + B_o$. *La distorsión no lineal parabólica introduce en la salida una componente cuya frecuencia es doble de la de entrada. Asimismo, como una señal de entrada senoidal cambia el valor medio de la corriente de salida, tiene lugar una rectificación.*

Las amplitudes B_o, B_1 y B_2 para una resistencia de carga dada están determinadas por cualquiera de las dos características; la estática o la dinámica. De la Fig. 18-2 obtenemos:

$$\begin{aligned} &\text{Cuando } \omega t = 0: \quad i_C = I_{max} \\ &\text{Cuando } \omega t = \frac{\pi}{2}: \quad i_C = I_C \\ &\text{Cuando } \omega t = \pi: \quad i_C = I_{min} \end{aligned} \quad (18\text{-}9)$$

Sustituyendo estos valores en la Ec. (18-8), resulta:

$$\begin{aligned} I_{max} &= I_C + B_o + B_1 + B_2 \\ I_C &= I_C + B_o - B_2 \\ I_{min} &= I_C + B_o - B_1 + B_2 \end{aligned} \quad (18\text{-}10)$$

Este sistema de tres ecuaciones determina los tres coeficientes B_o, B_1 y B_2 desconocidos.

Por la segunda se deduce que:

$$B_o = B_2 \quad (18\text{-}11)$$

Restando la tercera ecuación de la primera, resulta:

$$B_1 = \frac{I_{max} - I_{min}}{2} \quad (18\text{-}12)$$

Con este valor de B_1, el valor de B_2 se puede hallar de la primera o de la última de las ecuaciones (18-10):

$$B_2 = B_o = \frac{I_{max} + I_{min} - 2I_C}{4} \quad (18\text{-}13)$$

La distorsión de segundo armónico se define como:

$$D_2 \equiv \frac{|B_2|}{|B_1|} \quad (18\text{-}14)$$

(Para hallar el porcentaje del segundo armónico, se multiplica D_2 por 100). Las cantidades I_{max}, I_{min} e I_C que aparecen en estas ecuaciones, se obtienen directamente de las curvas características del transistor y de la línea de carga.

Si la característica dinámica viene dada por la forma parabólica (18-6) y si la entrada contiene dos frecuencias ω_1 y ω_2, entonces la salida tendrá un término de continua y componentes senoidales de frecuencias ω_1, ω_2, $2\omega_1$, $2\omega_2$, $\omega_1 + \omega_2$ y $\omega_1 - \omega_2$ (Prob. 18-1). Las frecuencias suma y diferencia se denominan frecuencias de *intermodulación* o de *combinación.*

18-3. GENERACION DE ARMONICOS DE ORDEN SUPERIOR

En el análisis del apartado anterior hemos supuesto unas características dinámicas parabólicas. Esta aproximación suele ser suficiente para amplificadores cuya variación sea pequeña. Para amplificadores de potencia con variaciones de entrada grande, será necesario expresar la curva de transferencia dinámica con respecto al punto Q por una serie de la forma:

$$i_c = G_1 i_b + G_2 i_b^2 + G_3 i_b^3 + G_4 i_b^4 + \dots \quad (18\text{-}15)$$

Si suponemos que la onda de entrada es una simple función cosenoidal del tiempo de la forma de la Ec. (18-7), la corriente de salida vendrá dada por:

$$i_C = I_C + B_o + B_1 \cos \omega t + B_2 \cos 2\omega t + B_3 \cos 3\omega t + \dots \quad (18\text{-}16)$$

Esta ecuación es el resultado de sustituir la ecuación (18-7) en la Ec. (18-15) y de hacer las transformaciones trigonométricas apropiadas.

Dando un vistazo a la Fig. 18-2, es evidente que la forma de onda de la ecuación de salida se puede expresar de la forma indicada. Se ve por la figura que la curva de la corriente de salida debe poseer *simetría respecto al eje cero,* o sea que es una función *par* del tiempo. Expresado matemáticamente, $i(\omega t) = i(-\omega t)$. Físicamente, significa que la forma de onda para cada cuarto de ciclo de la corriente de salida, cuando el punto de funcionamiento va pasando desde Q a 1, es igual a la forma de onda que se obtiene cuando se pasa desde 1 a Q. De igual manera, la onda de la corriente generada cuando el punto de funcionamiento se mueve desde Q a 2 es simétrica con la de retorno desde el punto 2 al Q. Estas condiciones son ciertas independientemente de la curvatura de las características. Puesto que i_C es una función par del tiempo, la serie de Fourier de la Ec. (18-16), que representa una función periódica que posee esta simetría, contiene solamente términos en coseno. (Si hubiera algún término en seno no tendríamos simetría, ya que son funciones impares y no pares del tiempo.)

Si suponemos, como es un hecho frecuente en la literatura, que la excitación es función senoidal en lugar de cosenoidal del tiempo, la corriente de salida resultante no puede expresarse con términos en coseno solamente. A pesar de que la función seno difiere de la coseno sólo en el desplazamiento del eje de tiempos en $\omega t = \pi/2$, esta diferencia elimina la simetría respecto al eje cero. En este caso encontramos que la serie de Fourier representativa de la corriente de salida contiene términos impares (senos) y términos pares (cosenos).

Cálculo de las componentes de Fourier. Cabe emplear varios métodos[1] para obtener los coeficientes B_o, B_1, B_2, etc. El método de Espley es una simple ampliación del método de la sección anterior y vamos a utilizarlo seguidamente. Antes hemos supuesto que sólo había tres términos B_o, B_1 y B_2 de la serie de Fourier distintos de cero. Estos tres componentes se hallan en función de los tres valores de corrientes, I_{max}, I_{min}, e I_C. Para mayor aproximación, vamos a suponer que sólo hay cinco términos B_o, B_1, B_2, B_3 y B_4 en el desarrollo en serie de Fourier. Para hallar estos cinco coeficientes, se necesitarán cinco valores de corriente para diferentes i_b. Los elegiremos a intervalos iguales de la señal de entrada. Por tanto, I_{max}, $I_{½}$, I_C, $I_{-½}$ e I_{min} corresponden respectivamente a los siguientes valores de i_b: el máximo valor positivo, la mitad del máximo valor positivo, cero, la mitad del máximo valor negativo, y el máximo valor negativo. La Fig. 18-3 representa estos valores, y está de acuerdo con la Fig. 18-5 para $R'_L = 10\ \Omega$.

Suponiendo que la señal de entrada es de la forma $i_b = I_{bm} \cos \omega t$, como está representada; entonces:

$$\begin{aligned} &\text{Cuando } \omega t = 0: && i_C = I_{max} \\ &\text{Cuando } \omega t = \frac{\pi}{3}: && i_C = I_{½} \\ &\text{Cuando } \omega t = \frac{\pi}{2}: && i_C = I_C \\ &\text{Cuando } \omega t = \frac{2\pi}{3}: && i_C = I_{-½} \\ &\text{Cuando } \omega t = \pi: && i_C = I_{min} \end{aligned} \qquad (18\text{-}17)$$

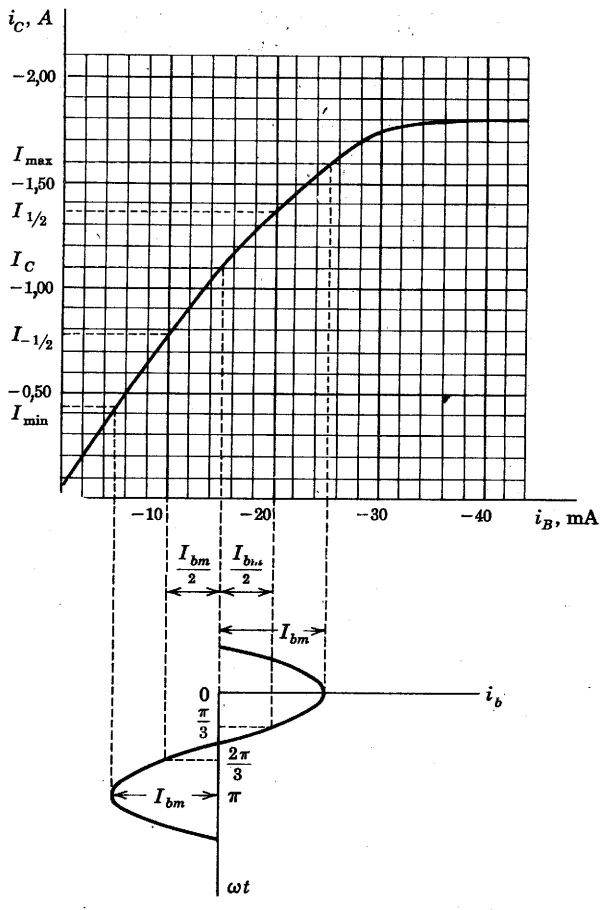


Fig. 18-3. Valores de la señal de excitación y los correspondientes valores de la corriente de salida empleados en el método de los cinco puntos para determinar las componentes de Fourier B_0, B_1, B_2, B_3 y B_4 de la corriente

Combinando estas condiciones con la Ec. (18-16), se obtendrán cinco ecuaciones con cinco incógnitas. La solución de estas ecuaciones es:

$$\begin{aligned} B_o &= \tfrac{1}{6}(I_{max} + 2I_{½} + 2I_{-½} + I_{min}) - I_C \\ B_1 &= \tfrac{1}{3}(I_{max} + I_{½} - I_{-½} - I_{min}) \\ B_2 &= \tfrac{1}{4}(I_{max} - 2I_C + I_{min}) \\ B_3 &= \tfrac{1}{6}(I_{max} - 2I_{½} + 2I_{-½} - I_{min}) \\ B_4 &= \tfrac{1}{12}(I_{max} - 4I_{½} + 6I_C - 4I_{-½} + I_{min}) \end{aligned} \qquad (18\text{-}18)$$

La distorsión de los armónicos se define como:

$$D_2 \equiv \frac{|B_2|}{|B_1|} \qquad D_3 \equiv \frac{|B_3|}{|B_1|} \qquad D_4 \equiv \frac{|B_4|}{|B_1|} \tag{18-19}$$

siendo D_s ($s = 2, 3, 4, \ldots$) la distorsión del s-ésimo armónico.

Potencia de salida. Si la distorsión no es despreciable, la potencia a la frecuencia fundamental será:

$$P_1 = \frac{B_1^2 R_L}{2} \tag{18-20}$$

En cambio, el total de potencia de salida será

$$P = (B_1^2 + B_2^2 + B_3^2 + \ldots)\frac{R_L}{2} = (1 + D_2^2 + D_3^2 + \ldots)P_1$$

o

$$P = (1 + D^2)P_1 \tag{18-21}$$

donde la *distorsión total*, o *factor de distorsión*, se define como

$$D \equiv \sqrt{D_2^2 + D_3^2 + D_4^2 + \ldots} \tag{18-22}$$

Si la distorsión total es un 10 % de la fundamental, entonces:

$$P = [1 + (0{,}1)^2]P_1 = 1{,}01P_1$$

La potencia total de salida es sólo un 1 % mayor que la potencia fundamental en el caso del 10 % de distorsión. Debido al error tan pequeño que se comete, cabe emplear solamente el término fundamental P_1 para calcular la potencia de salida. Sin embargo se puede cometer un error considerable si se emplea la Ec. (18-5) en lugar de la (18-20) para el cálculo de la potencia. La primera fórmula se basa en que el cálculo de B_1 puede hacerse por la Ec. (18-12); en lugar de la más exacta Ec. (18-18).

Vamos a indicar de pasada que la distorsión armónica total no es necesariamente indicativa de una audición molesta de la música. Normalmente, para el mismo valor de distorsión será tanto más molesta cuanto mayor sea el orden del armónico.

18-4. AMPLIFICADOR DE POTENCIA DE AUDIO CON ACOPLAMIENTO POR TRANSFORMADOR

Si la resistencia de carga se conecta directamente al circuito de salida de la etapa de potencia, como se ve en la Fig. 18-1, la corriente de reposo pasa a través de dicha resistencia. Esta corriente representa un considerable derroche de potencia, puesto que no

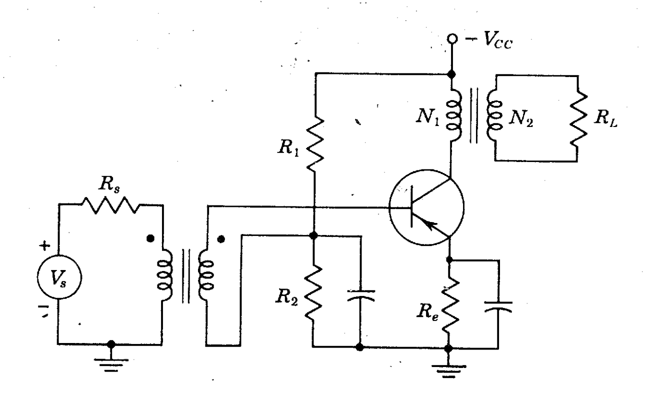


Fig. 18-4. Etapa de salida de un transistor, acoplada por transformador

contribuye a la componente alterna (señal) de potencia. Por otra parte, no es aconsejable hacer pasar la componente continua de la corriente por el elemento de salida, por ejemplo por la bobina de un altavoz, por cuya razón se emplea un transformador de salida como en la Fig. 18-4. Aunque el circuito de entrada también tiene un transformador, se puede excitar la etapa de potencia mediante un acoplamiento *RC*.

Adaptación de impedancias. Para transferir una cantidad significativa de potencia a una carga tal como la de un altavoz con una bobina de impedancia de 5 a 15 Ω, se precisa un transformador de adaptación a la salida. La razón es que la resistencia interna del dispositivo puede ser mucho mayor que la del altavoz, y por lo tanto la mayor parte de la potencia generada se perdería en el elemento activo.

La propiedad de acoplar impedancias de un transformador ideal se obtiene de las relaciones de transformación:

$$V_1 = \frac{N_1}{N_2} V_2 \qquad \text{e} \qquad I_1 = \frac{N_2}{N_1} I_2 \tag{18-23}$$

en que V_1 (V_2) = tensión del primario (secundario)
I_1 (I_2) = intensidad del primario (secundario)
N_1 (N_2) = número de espiras del primario (secundario)

Cuando $N_2 < N_1$, la ecuación demuestra que el transformador reduce la tensión en una proporción igual a la relación de espiras $n = N_2/N_1$ y aumenta la intensidad en la misma proporción. Dividiendo estas relaciones tendremos:

$$\frac{V_1}{I_1} = \frac{1}{n^2} \frac{V_2}{I_2}$$

Como, por otra parte, V_1/I_1 representa la resistencia efectiva de entrada R'_L, mientras V_2/I_2 es la resistencia de salida R_L, entonces:

$$R'_L = \frac{1}{n^2} R_L \tag{18-24}$$

Potencia de salida máxima. Se presenta ahora el problema práctico de hallar la relación de espiras n del transformador (para un valor dado de R_L), para que la potencia de salida sea la máxima con la menor distorsión posible. Este problema se resuelve gráficamente de la siguiente forma: en primer lugar, se localiza el punto de reposo Q, considerando las condiciones restrictivas discutidas en la Sec. 9-1 e indicadas en la Fig. 9-2. La corriente de reposo será $I_C = P_C/V_C$, donde P_C es el valor de la disipación de colector especificada por el constructor, y V_C es el valor de la tensión del colector en reposo que localiza el punto

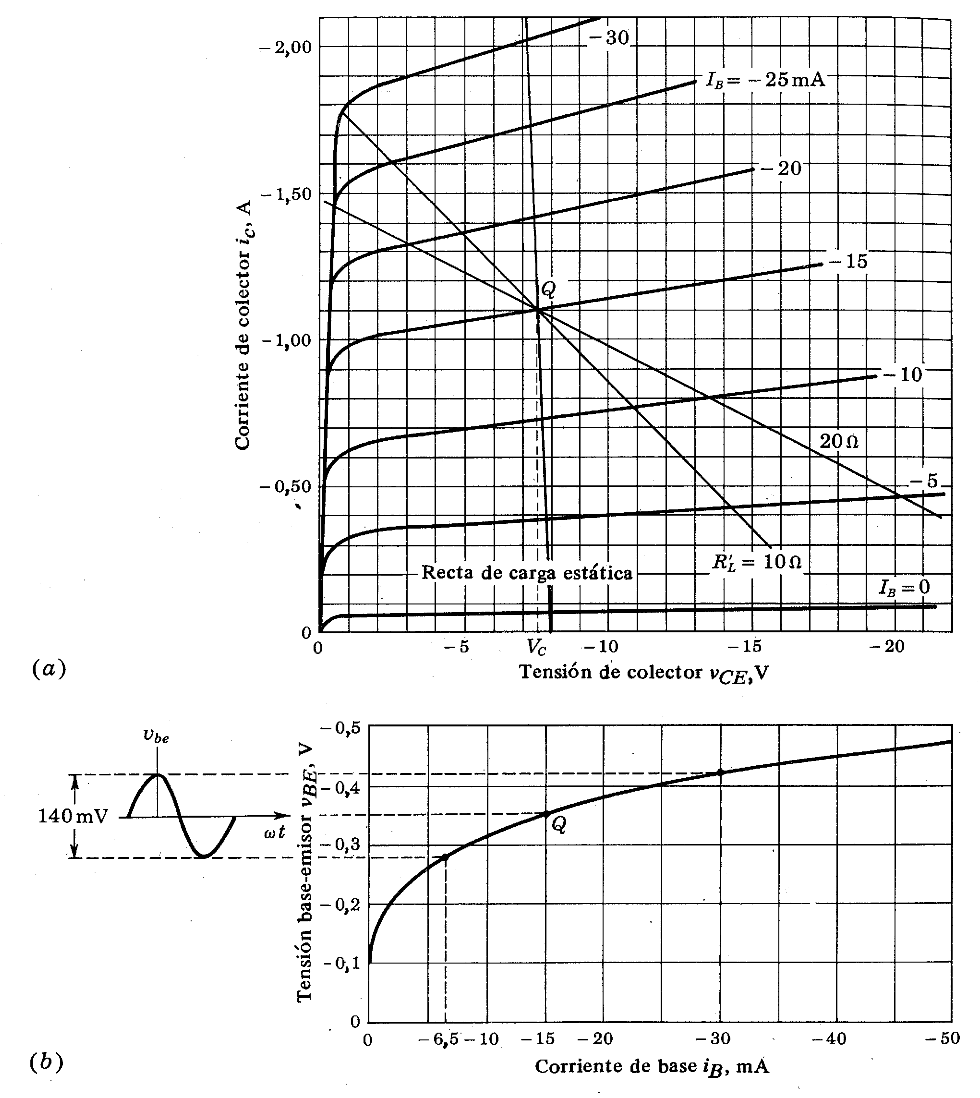


Fig. 18-5. (*a*) Características de colector de un transistor de potencia. Se indica una recta de carga estática para una carga acoplada por transformador. También se indican las rectas de carga para resistencias dinámicas de 10 y de 20 Ω. (*b*) Característica de entrada

Q cerca del centro de la escala V_{CE}. La elección de V_C es un tanto arbitraria, pero sujeta a la restricción de que V_{CE} sea menor que $V_{C\text{max}}$ aun cuando el transistor se lleve al corte. Para un transistor de las características de la Fig. 18-5, el fabricante especifica P_C = 10 W y $V_{CE,\text{max}} = 30$ V. Puede considerarse razonable un punto de reposo Q determinado por $V_C = -7{,}5$ V e $I_C = -1{,}1$ A. La Fig. 18-5*a* muestra una recta de carga estática que pasa por este punto Q con una pendiente correspondiente a la pequeña resistencia en continua del primario del transformador más el pequeño valor de R_e. La intersección de esta línea con el eje de las tensiones determina la tensión de alimentación V_{CC} necesaria.

La corriente de base en el punto de reposo Q, es de −15 mA. Si excitáramos el transistor hasta muy próximo al corte, obtendríamos una distorsión inaceptable. Por lo tanto, la variación de tensión de pico a pico v_{be} queda limitada a 140 mV. Estamos suponiento que el transformador de entrada de la Fig. 18-4 representa una excitación por tensión para el transistor de potencia y que la resistencia R_s de la fuente reflejada en el secundario del transformador de entrada es despreciable. Por la característica de entrada de la Fig. 18-5*b*, vemos que las correspondientes corrientes de base extremas son $I_{b,\text{max}} = -30$ mA e $I_{b,\text{min}} = -6{,}5$ mA. Obsérvese que la variación de corriente de entrada no es simétrica respecto al punto de reposo $I_B = -15$ mA. En la Sec. 8-1 demostramos que la falta de simetría de la corriente de base se compensa por la no simetría de la variación de tensión de colector, y por lo tanto tenemos menos distorsión con excitación por tensión que por corriente. Si el efecto de R_s no es despreciable, la característica de entrada de la Fig. 18-5*b* debe ser modificada construyendo la característica de entrada dinámica correspondiente a la R_s dada, tal como se ha comentado en la Sec. 4-1 y la Fig. 4-2.

Se traza una serie de rectas de carga para distintos valores de R'_L pasando por Q. Las dos indicadas en la Fig. 18-5 corresponden a R'_L = 10 y 20 Ω. Para cada recta se construye la característica de transferencia dinámica de la Fig. 18-3 empleando la Fig. 18-5*a* y *b*, y la potencia de salida y la distorsión se calculan empleando las fórmulas de la Sec. 18-3. Por ejemplo, vemos en la Fig. 18-5*b* que, cuando la tensión de excitación de entrada está en su máximo, la corriente de base es $I_B = -30$ mA, y en la Fig. 18-5*a*, y recta de carga R'_L = 20 Ω, que la corriente de colector máxima será $I_{C,\text{max}} = -1{,}45$ A. De manera parecida, obtenemos el valor de $I_{C½} = -1{,}35$ A estimando por la Fig. 18-5*b* que $I_b = -21$ mA cuando la tensión de excitación de entrada está en la mitad positiva de

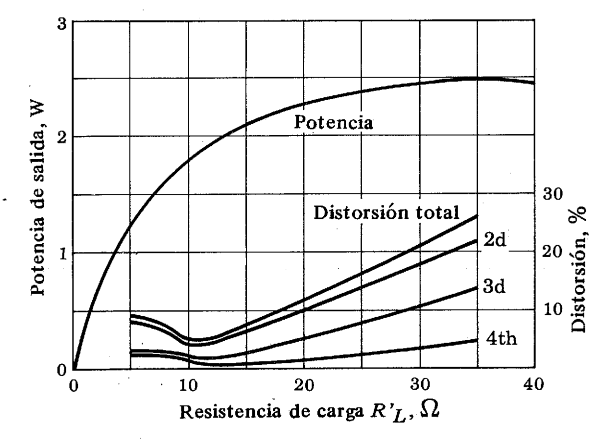


Fig. 18-6. Potencia de salida y distorsión para el transistor de la Fig. 18-5, en función de la resistencia de carga

su variación, o sea 35 mV por sobre el punto Q. La intersección de la línea de carga $R'_L = 20\ \Omega$ con la línea de corriente de base $I_b = -21$ mA en la Fig. 18-5*a*, nos da $I_{C½} = -1{,}35$ A. El resultado de estos cálculos queda representado en la Fig. 18-6.

Para una R'_L muy pequeña, la variación de tensión, y por lo tanto la potencia de salida P, se aproxima a cero. Para R'_L muy grande, la variación de corriente es pequeña, y P se aproxima nuevamente a cero. Por lo tanto, en la Fig. 18-6 la curva de P en función de R'_L tiene un máximo. Observaremos que este máximo es ancho. Al elegir $R'_L = 15\ \Omega$, la distorsión total es menor del 10 % con una potencia de salida de 2,1 W, valor que sólo es un 20 % menor que 2,5 W, que es el valor de pico de la potencia.

18-5. RENDIMIENTO

Vamos a examinar ahora las distintas componentes de la potencia en un circuito amplificador. Supongamos que la etapa está suministrando potencia a una carga resistiva pura. La potencia media de entrada de la fuente de alimentación continua es $V_{CC}I_C$. La potencia absorbida por el circuito de salida es $I_C^2R_1 + I_cV_c$, donde I_c y V_c son los valores eficaces de la corriente y de la tensión de salida, respectivamente, y R_1 es la resistencia de carga *estática*. Si P_D indica la potencia media disipada por el elemento activo, entonces, de acuerdo con el principio de la conservación de la energía:

$$V_{CC}I_C = I_C^2R_1 + I_cV_c + P_D \tag{18-25}$$

Como, por otra parte

$$V_{CC} = V_C + I_CR_1$$

P_D puede escribirse de la siguiente forma

$$P_D = V_CI_C - V_cI_c \tag{18-26}$$

Si la carga no es una resistencia pura, se debe sustituir V_cI_c por $V_cI_c\ \cos\theta$, donde $\cos\theta$ es el factor de potencia de la carga.

La Ec. (18-26) expresa la cantidad de potencia que debe ser disipada por el elemento activo; representa la energía cinética de los electrones, que se convierte en calor debido al bombardeo del colector por estos electrones. Si la potencia alterna de salida es cero, es decir, si no existe señal aplicada, entonces P_D tiene su valor máximo de V_CI_C. Por otra parte, el calentamiento del dispositivo se reduce en la cantidad de potencia alterna transformada que suministra la etapa a la carga. Por lo tanto, el dispositivo estará más frío cuando ceda potencia a la carga, que cuando no haya tal transferencia. Es evidente entonces que la máxima disipación resulta con un valor cero de excitación.

Rendimiento de la conversión.[2] Se denomina *rendimiento de conversión, o rendimiento teórico,* a la medida de la capacidad de un elemento activo para convertir la potencia continua de la fuente de alimentación en potencia alterna (señal) suministrada a la carga. Este valor de mérito, designado por η, se denomina también *rendimiento del circuito del colector* del amplificador a transistores. Por definición, el rendimiento expresado en porcentaje será:

$$\eta \equiv \frac{\text{potencia de la señal dada a la carga}}{\text{potencia continua cedida al circuito de salida}} \times 100\ \% \tag{18-27}$$

En general,

$$\eta = \frac{\tfrac{1}{2}B_1^2R'_L}{V_{CC}(I_C + B_o)} \times 100\ \% \tag{18-28}$$

Si las componentes de distorsión son despreciables,

$$\eta = \frac{\tfrac{1}{2}V_mI_m}{V_{CC}I_C} \times 100\ \% = 50\frac{V_mI_m}{V_{CC}I_C}\% \tag{18-29}$$

El rendimiento del circuito del colector difiere del rendimiento total debido a que la potencia tomada por la base no está incluida en el denominador de la Ec. (18-28).

Valor máximo del rendimiento. Se puede obtener una expresión aproximada de η si se hacen ciertas idealizaciones en las curvas características. Estas suposiciones introducen errores en el análisis, pero los resultados permiten hacer una estimación rápida del valor numérico de η y, en particular, proporcionan un valor **límite superior** de este valor de mérito. Supondremos que las curvas estáticas están igualmente espaciadas en la región de la recta de carga para iguales incrementos de la excitación (corriente de base). Por lo tanto, en la Fig. 18-7 la distancia de 1 a Q es la misma que la de Q a 2. También supondremos que la excitación da una corriente mínima cero. La construccion de la Fig. 18-7 sirve para analizar un circuito con carga acoplada directamente o por medio de un transformador. La única diferencia entre los dos circuitos es que la tensión de alimentación V_{CC} es igual a V_{max} en el primer caso, e igual a la tensión de reposo V_C (en el supuesto de que la caída de potencial en condiciones estáticas sea despreciable) en el amplificador acoplado por transformador. El lector puede comparar la Fig. 18-7 con las Figs. 18-2 y 18-5.

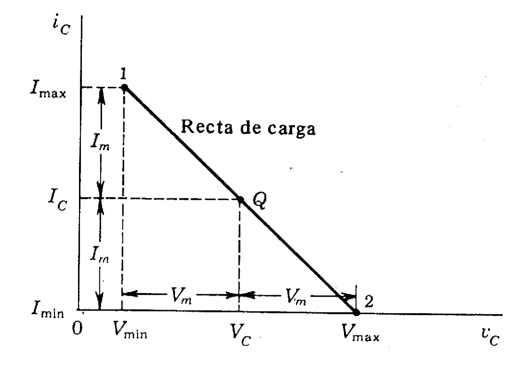


Fig. 18-7. Perteneciente al cálculo del rendimiento de conversión de un amplificador ideal sin distorsión

En las condiciones ideales anteriores:

$$I_C = I_m \quad \text{y} \quad V_m = \frac{V_{max} - V_{min}}{2}$$

de forma que la Ec. (18-29) se convierte en:

$$\eta = \frac{25\,(V_{max} - V_{min})}{V_{CC}}\,\% \qquad (18\text{-}30)$$

Debemos ahora tener en cuenta el tipo de acoplamiento. Para una carga alimentada en serie, $V_{CC} = V_{max}$, y:

$$\eta = \frac{25(V_{max} - V_{min})}{V_{max}}\% \qquad (18\text{-}31)$$

Este resultado indica que el límite superior del rendimiento de conversión es del 25 %, y éste valor bajo sólo es alcanzado en caso de que V_{min} sea despreciable comparado con V_{max}.

Si la carga se acopla a la etapa a través de un transformador, entonces:

$$V_{CC} = V_C = \frac{V_{max} + V_{min}}{2}$$

y la Ec. (18-30) se reduce a:

$$\eta = 50\,\frac{V_{max} - V_{min}}{V_{max} + V_{min}}\,\% \qquad (18\text{-}32)$$

Este resultado demuestra que el límite superior del rendimiento teórico de un amplificador de potencia acoplado por transformador, es del 50 %, o sea el doble que en el caso anterior. Para un amplificador a transistores, V_{min} está cerca de la región de saturación, y por tanto $V_{min} \ll V_{max}$, con lo que el rendimiento del circuito de colector puede aproximarse al límite superior del 50 %.

El valor numérico del rendimiento de la conversión debe calcularse a partir de la Ec. (18-28). El empleo de las Ecs. (18-31) y (18-32) puede llevar a considerables errores de η, ya que estas ecuaciones se han obtenido de las condiciones altamente ideales de la Fig. 18-7.

18-6. AMPLIFICADORES EN CONTRAFASE (PUSH-PULL)[3]

Se puede eliminar gran parte de la distorsión introducida por la falta de linealidad de la característica de transferencia dinámica, mediante el circuito de la Fig. 18-8, conocido con el nombre de *montaje en contrafase* o *push-pull*. En este circuito, la excitación se introduce mediante un transformador con toma central. Cuando la señal es positiva en el

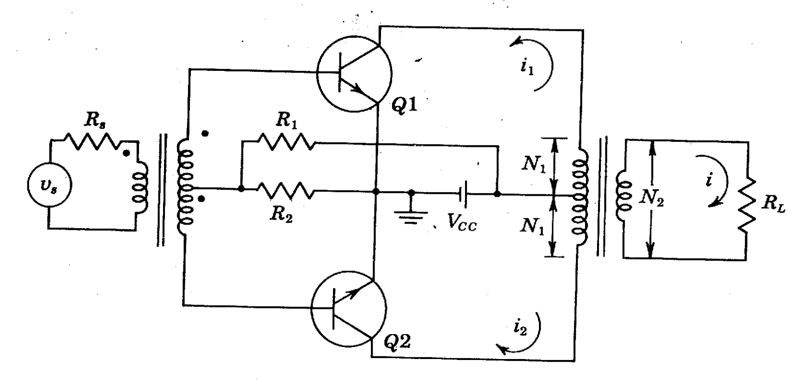


Fig. 18-8. Dos transistores conectados en contrafase (push-pull)

transistor $Q1$, la señal del $Q2$ es negativa y de igual valor Cualquier otro circuito que suministre dos tensiones iguales con diferencias de fase de 180°, puede reemplazar el transformador de entrada.

Consideremos una señal de entrada (corriente de base) de la forma $i_{b1} = I_{bm} \cos \omega t$ aplicada a $Q1$. La corriente de salida de este transistor viene dada por la Ec. (18-16), que repetiremos aquí para mayor comodidad:

$$i_1 = I_C + B_o + B_1 \cos \omega t + B_2 \cos 2\omega t + B_3 \cos 3\omega t + \dots \qquad (18\text{-}33)$$

La señal de entrada correspondiente de $Q2$ será:

$$i_{b2} = -i_{b1} = I_{bm} \cos(\omega t + \pi)$$

La corriente de salida de este transistor se obtendrá sustituyendo ωt por $\omega t + \pi$ en la expresión de i_1. Es decir:

$$i_2(\omega t) = i_1(\omega t + \pi) \qquad (18\text{-}34)$$

por lo tanto:

$$i_2 = I_C + B_o + B_1 \cos(\omega t + \pi) + B_2 \cos 2(\omega t + \pi) + \dots$$

que es

$$i_2 = I_C + B_o - B_1 \cos \omega t + B_2 \cos 2\omega t - B_3 \cos 3\omega t + \dots \qquad (18\text{-}35)$$

Como se indica en la Fig. 18-8, las corrientes i_1 e i_2 están en direcciones opuestas a través del bobinado primario del transformador de salida. La corriente de salida total es entonces proporcional a la diferencia entre las corrientes de colector de los dos transistores. Es decir:

$$i = k(i_1 - i_2) = 2k(B_1 \cos \omega t + B_3 \cos 3\omega t + \dots) \qquad (18\text{-}36)$$

Esta expresión demuestra que un circuito en contrafase compensará todos los armónicos de orden par de la salida y dejará el tercer armónico como fuente principal de distorsión. Se llega a esta conclusión en el supuesto de que los dos transistores sean idénticos. Si sus características difieren apreciablemente, cabe esperar la aparición de armónicos pares.

El hecho de que la corriente de salida no contenga armónicos pares, significa que el sistema en contrafase tiene simetría de "media onda" o "espejo", además de la del eje cero. La simetría de media onda precisa que la semionda inferior, cuando se desplaza 180° a lo largo del eje, sea como la imagen reflejada en un espejo de la semionda superior. Esta simetría se representa matemáticamente por la relación:

$$i(\omega t) = -\, i(\omega t + \pi) \tag{18-37}$$

Si ωt se sustituye por $\omega t + \pi$ en la Ec. (18-36), veremos que queda satisfecha la Ec. (18-37).

Ventajas de un sistema en contrafase. Ya que en un amplificador en contrafase no están presentes los armónicos pares, un circuito de este tipo dará, para una distorsión determinada, más salida por elemento activo. Por la misma razón, éste puede servir para dar a una potencia determinada por transistor menor distorsión.

Con un vistazo a la Fig. 18-8, se observa otra ventaja del sistema. Se aprecia que las componentes continuas de las corrientes de los colectores se oponen magnéticamente en el núcleo del transformador. Esto elimina cualquier tendencia a la saturación del núcleo y, en consecuencia, a la distorsión no lineal debida a la curvatura de las curvas de magnetización del transformador. Otra ventaja de este sistema es la de que los efectos de las tensiones de rizado que puedan proceder de la fuente de alimentación debido a un filtrado inadecuado, se compensan entre sí debido a que las corrientes producidas por ellas circulan en sentidos opuestos en el bobinado del transformador y por tanto no aparecerán en la carga. No obstante, el zumbido de la fuente de alimentación también actuará sobre las etapas del amplificador de tensión, y formará parte de la entrada de la etapa de potencia. Este zumbido no será eliminado por el circuito en contrafase.

18-7. AMPLIFICADORES CLASE B[3]

Para un sistema en contrafase de clase B, el circuito es el mismo que en el circuito clase A, excepto que los dispositivos están polarizados aproximadamente al corte. El circuito a transistores de la Fig. 18-8 trabaja en clase B si $R_2 = 0$, ya que los transistores de silicio están prácticamente al corte si la base está cortocircuitada con el emisor (Sec. 5-9). Las ventajas del funcionamiento en clase B respecto al de clase A, son las siguientes: se puede obtener mayor potencia de salida, el rendimiento es mayor, y la pérdida de potencia sin señal es despreciable. Por estas razones, en sistemas en los que la potencia de alimentación está limitada, como en el caso de funcionar con baterías o con células solares, la potencia de salida se obtiene a partir de circuitos de transistores en contrafase clase B. Los inconvenientes son: que la distorsión debida a los armónicos es mayor, que no se puede emplear autopolarización, y que la fuente de tensión de alimentación debe tener buena regulación.

Consideraciones sobre la potencia. Para determinar el rendimiento de conversión del sistema, vamos a suponer, como en la Sec. 18-5, que las características de salida están

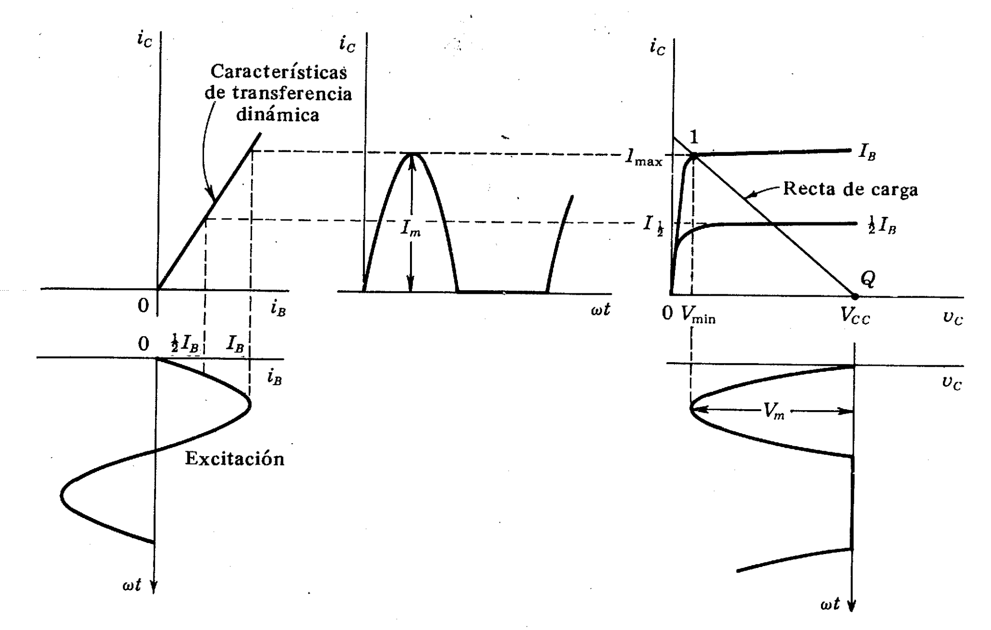


Fig. 18-9. Construcción gráfica para determinar la forma de onda de salida de una etapa con un solo transistor en clase B

igualmente espaciadas para iguales intervalos de excitación de modo que la curva de transferencia dinámica es una línea recta. Vamos a suponer también que la corriente mínima es cero. La figura 18-9 representa la construcción gráfica con la que se determina la forma de onda de la corriente y de la tensión de salida para un transistor único que trabaje en clase B. Obsérvese que, para una excitación senoidal, la salida es también senoidal durante medio período, y nula durante la otra mitad. La resistencia de carga efectiva será $R'_L = (N_1/N_2)^2 R_L$. Esta expresión de R'_L es la misma que en la Ec. (18-24), en la que ahora N_1 representa el número de espiras del primario desde la toma central a un extremo (Fig. 18-8).

Las formas de onda de la Fig. 18-9 sólo representan un transistor $Q1$. La salida de $Q2$ es una serie de impulsos senoidales defasados 180° respecto a $Q1$. La corriente de carga, que es proporcional a la diferencia entre las dos corrientes de colector, es por tanto una senoide perfecta para las condiciones ideales supuestas. La potencia de salida será:

$$P = \frac{I_m V_m}{2} = \frac{I_m}{2}(V_{CC} - V_{min}) \tag{18-38}$$

La correspondiente corriente continua de colector de cada transistor en carga es el valor medio de la semisenoide de la Fig. 18-9. Puesto que $I_{dc} = I_m/\pi$ para esta forma de onda, la potencia de entrada continua procedente de la fuente de alimentación será:

$$P_i = 2\,\frac{I_m V_{CC}}{\quad} \tag{18-39}$$

El factor 2 de esta expresión aparece porque se emplean dos transistores en el sistema de contrafase.

Dividiendo entre sí las Ecs. (18-38) y (18-39), obtenemos para el rendimiento del circuito de colector la siguiente expresión:

$$\eta \equiv \frac{P}{P_i} \times 100 = \frac{\pi}{4} \frac{V_m}{V_{CC}} = \frac{\pi}{4} \left(1 - \frac{V_{min}}{V_{CC}}\right) \times 100 \ \% \qquad (18\text{-}40)$$

Esta ecuación demuestra que el máximo rendimiento posible de la conversión es 25π = 78,5 % para el sistema en clase B, frente al 50 % con funcionamiento en clase A. Para un circuito a transistores en el que $V_{min} \ll V_{CC}$, es posible aproximarse a este límite superior del rendimiento. Este elevado valor de η proviene del hecho de que, en el sistema en clase B no hay corriente si no hay excitación, mientras que en el sistema clase A hay un consumo de energía de la fuente aún con señal nula. Observemos también que en un amplificador en clase B, la disipación de los colectores es nula en el estado de reposo y aumenta con la excitación, mientras que el calentamiento de los colectores en el sistema clase A es máximo para una entrada cero y disminuye cuando la señal aumenta. Como en un amplificador de clase B la corriente directa aumenta con la señal, la fuente de alimentación necesita una regulación excelente.

La disipación P_C de colector (en ambos transistores) es la diferencia entre la potencia de entrada al circuito de colector y la potencia suministrada a la carga. Como $I_m = V_m/R'_L$,

$$P_C = P_i - P = \frac{2}{\pi} \frac{V_{CC} V_m}{R'_L} - \frac{V_m^2}{2R'_L} \qquad (18\text{-}41)$$

Esta ecuación demuestra que la disipación del colector es nula si no hay señal ($V_m = 0$), sube cuando V_m aumenta, y pasa por un máximo a $V_m = 2\ V_{CC}/\pi$ (Prob. 18-15). La disipación máxima es:

$$P_{C,\max} = \frac{2\ V_{CC}^2}{\pi^2 R'_L} \qquad (18\text{-}42)$$

La potencia máxima que se puede entregar se obtiene para $V_m = V_{CC}$ (si $V_{min} = 0$), o sea:

$$P_{\max} = \frac{V_{CC}^2}{2R'_L} \qquad (18\text{-}43)$$

Por lo tanto,

$$P_{C,\max} = \frac{4}{\pi^2} P_{\max} \approx 0{,}4\ P_{\max} \qquad (18\text{-}44)$$

Si, por ejemplo, deseamos entregar 10 W con un amplificador en contrafase clase B, entonces $P_{C,\max}$ = 4 W, o sea que debemos seleccionar los transistores para que tengan una disipación en los colectores de aproximadamente 2 W cada uno. En otras palabras, podemos obtener una salida de cinco veces la disipación de potencia de un solo transistor. Por otra parte, si colocamos dos transistores en paralelo trabajando en clase A para tener 10 W de salida, la disipación de potencia de cada colector debe ser por lo menos de 10 W (suponiendo un 50 % de rendimiento). Esta premisa se basa en que $P_i = P_o/\eta$ = 10/0,5 = 20 W. Esta potencia de entrada debe poderse disipar totalmente por los dos colectores en ausencia de señal, o sea 10 W por transistor. Por lo tanto, cuando no hay excitación se pierden 10 W en cada transistor, mientras que en clase B no hay disipación (en ausencia de señal). Este ejemplo indica la superioridad del sistema en contrafase sobre el paralelo.

Distorsión. La salida de un sistema en contrafase siempre tiene simetría de media onda (Sec. 18-6), de modo que $I_C = 0$, $I_{max} = -I_{min}$, e $I_{½} = -I_{½}$. En estas circunstancias, la Ec. (18-8) se reduce a:

$$B_o = B_2 = B_4 = 0 \qquad B_1 = \tfrac{2}{3}(I_{max} + I_{½}) \qquad B_3 = \tfrac{1}{3}(I_{max} - 2I_{½}) \qquad (18\text{-}45)$$

Obsérvese que no hay distorsión por armónicos pares. La principal contribución a la distorsión es el tercer armónico, dado por $D_3 = |B_3|/|B_1|$. Los valores de I_{max} e $I_{½}$ se hallan como sigue. Se dibuja una recta de carga correspondiente a $R'_L = (N_1/N_2)^2 R_L$ sobre las características de colector, que pase por el punto $I_C = 0$ y $V_{CE} = V_{CC}$. Si el pico de la corriente de base es I_B, entonces la intersección de la recta de carga con la curva I_B será I_{max}, y con la $I_B/2$ será $I_{½}$ como indica la Fig. 18-9.

La potencia de salida, teniendo en cuenta la distorsión será:

$$P = (1 + D_3^2) \frac{B_1^2 R'_L}{2} \qquad (18\text{-}46)$$

Circuitos especiales.[4] En la Fig. 18-10 se observa una configuración de clase B, en la que se ha eliminado el transformador de salida. Este sistema necesita una fuente de alimentación con toma central conectada a tierra, condición que no es difícil de cumplir.

La Fig. 18-11 muestra un circuito que no precisa transformador de entrada ni de salida. Esto es debido al empleo de transistores con simetría complementaria (uno *p-n-p* y otro

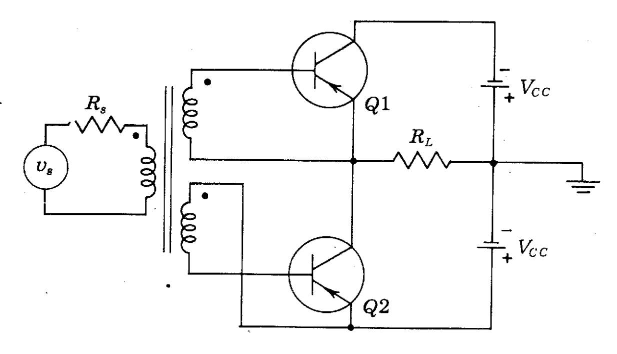


Fig. 18-10. Circuito en contrafase de clase B, que no emplea transformador de salida

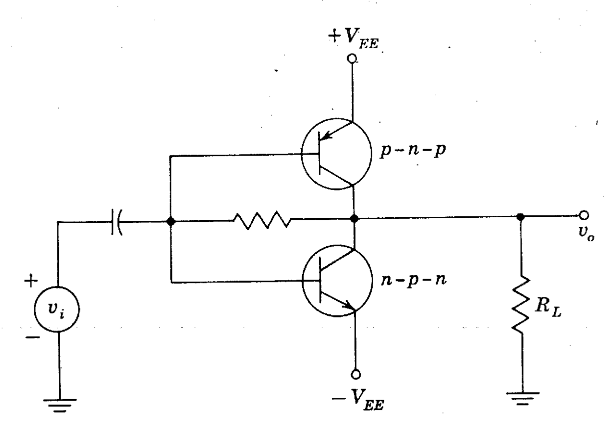


Fig. 18-11. Circuito en contrafase que emplea transistores con simetría complementaria

n-p-n). La dificultad de este circuito estriba en la obtención de transistores perfectamente complementarios. Si hay desequilibrio en las características de los dos transistores de la Fig. 18-11 (o también en las Figs. 18-8 y 18-10), se introduce una distorsión considerable: los armónicos pares no quedan eliminados completamente. En los amplificadores de potencia se emplea muy a menudo la realimentación negativa, para reducir la distorsión no lineal.

18-8. FUNCIONAMIENTO EN CLASE AB

Además de la distorsión introducida por el empleo de transistores no idénticos y por la falta de linealidad de las características de colector, existe también distorsión causada por la falta de linealidad de la característica de entrada. Como se puntualizó en la Sec. 5-9 y Fig. 5-16, no circula una corriente apreciable de base si la unión de emisor no está polarizada en directo a la tensión umbral V_γ, que es de 0,1 V para el germanio y de 0,5 V para el silicio (Tabla 5-1). En estas circunstancias, una excitación con tensión de base senoidal no dará una corriente de salida senoidal.

La distorsión causada por la no linealidad de la característica de entrada del transistor es la que se indica en la Fig. 18-12. Se dibuja la curva i_B-v_B para cada transistor, y la construcción es empleada para obtener la corriente de salida (suponiéndola proporcional a la corriente de base). En la región de corrientes pequeñas (para $v_B < V_\gamma$), la salida es mucho menor de lo que sería si la respuesta fuese lineal, efecto que se denomina *distorsión de cruce.* Esta distorsión no existiría si la excitación se obtuviera de una verdadera fuente de corriente; en otras palabras, si la corriente de base (en lugar de la tensión de base) fuera senoidal.

Para minimizar la distorsión de cruce, los transistores deben trabajar en clase AB, en la que, aun con excitación nula, circula una pequeña corriente de reposo. En el circuito de la Fig. 18-8, la diferencia de potencial en los extremos de R_2 se ajusta aproximadamente a V_γ. Funcionando en clase AB, hay menos distorsión que en clase B, pero el precio que se ha de pagar para ello es un menor rendimiento y un mayor consumo de potencia. El cálculo de los componentes de la distorsión en un amplificador clase AB o A en contrafa-

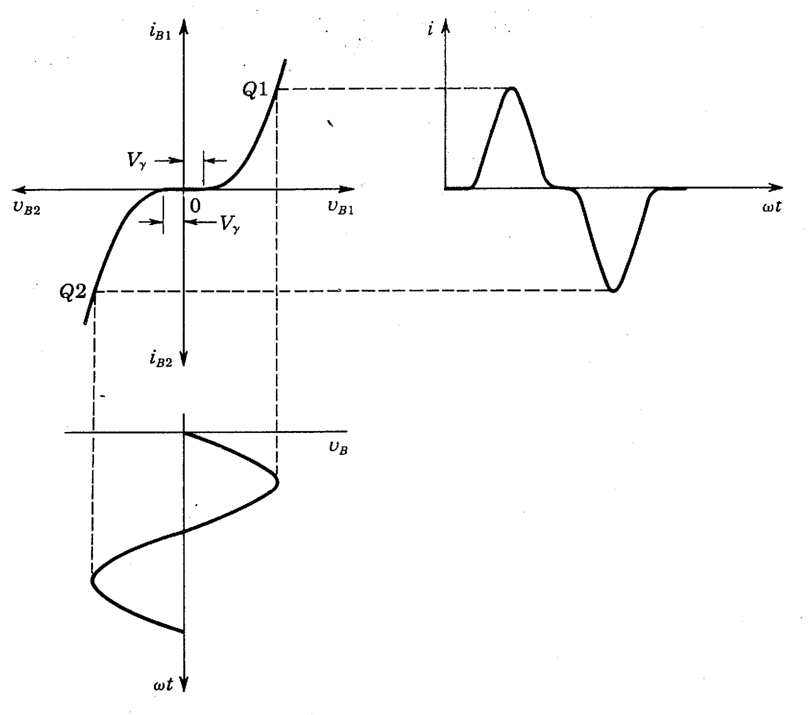


Fig. 18-12. Distorsión de cruce

se, debidos a la no linealidad de las características del colector, necesita la construcción de las curvas de salida compuestas del par de transistores.[5]

La Fig. 18-13 muestra un amplificador de potencia de clase AB. En este circuito, el transformador de entrada es sustituido por un circuito integrado CA 3007 excitador de audio. El excitador es un circuito diferencial equilibrado ya sea con un terminal de entrada o con entrada diferencial y dos seguidores de emisor en contrafase de salida (patillas 8 y 10). El CA 3007 está acoplado en alterna y no afecta a la polarizacion de la etapa de salida que está fijada por los dos diodos $D1$ y $D2$ y por las resistencias R_1, R_2 y R_e. Este amplificador de potencia proporciona 30 mW de salida para una señal de tensión de entrada de audio de 6,5 mV.

Amplificadores de potencia integrados El amplificador de la Fig. 18-14 es un amplificador de potencia con circuito integrado (IC) monolítico. El MC 1554 está diseñado para amplificar señales de hasta 300 kHz y suministrar una potencia de 1 W a una carga acoplada directamente o a través de un condensador. Con los componentes de los valores indicados, proporciona una distorsión por armónicos menor del 1 % para 1 W de potencia de salida a 1 kHz, sobre una carga de 8 Ω. Cuando se emplea este dispositivo debe tenerse mucho cuidado en el conexionado exterior del circuito para evitar acoplamientos indebidos o realimentaciones de la salida a la entrada, de lo que podrían resultar oscilaciones Para evitarlas, el cable de entrada debe ser apantallado y la red R_3, C_5 compensadora conectada desde la patilla de salida a tierra. La red R_2, C_3 es de desacoplo para eliminar los efectos de la inductancia de los conductores de alimentación. La carga puede acoplarse

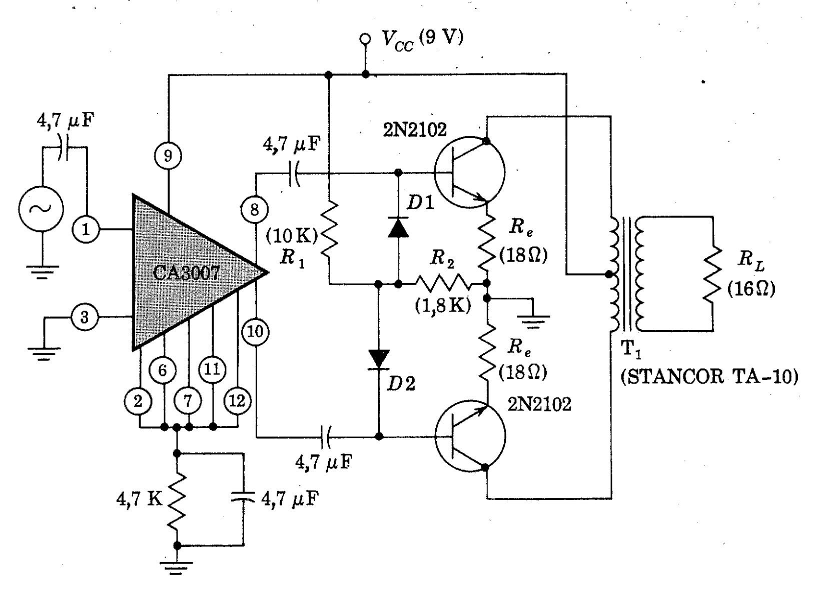


Fig. 18-13. Sistema amplificador en clase AB de baja potencia (30 mW). (Cortesía de RCA, Electronic Components and Devices.)

en continua si se emplea una fuente de alimentación dividida (con polaridades positiva y negativa, y el centro a tierra).

En la Fig. 18-15 se muestra un circuito amplificador[7] de 20 W. El amplificador operacional MC1533 excita a los transistores complementarios de salida, y en ausencia de señal de entrada, la salida en la patilla 5 está a 0 V, por lo tanto, los transistores de salida están polarizados en clase B. La distorsión de cruce se puede eliminar empleando una realimentación negativa de la salida a la entrada. La potencia nominal de salida sobre 4 Ω es de

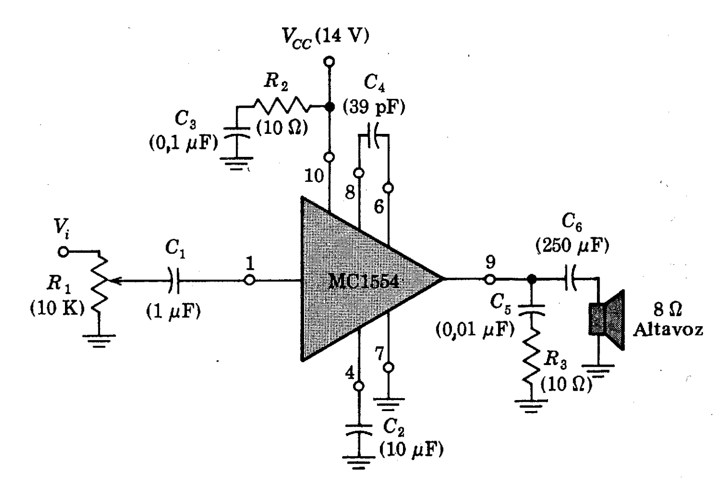


Fig. 18-14. Sistema de amplificador de potencia monolítico de 1 W. (Cortesía de Motorola Semiconductor Products, Inc.)

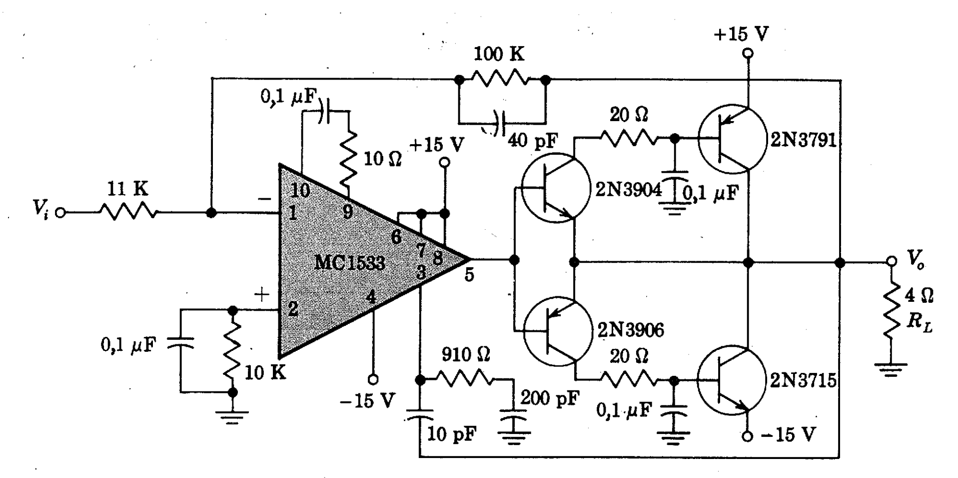


Fig. 18-15. Sistema amplificador de potencia clase B de 20 W. (Cortesía de Motorola Semiconductor Products, Inc.)

20 W, con menos de 0,7 % de distorsión por armónicos. La respuesta en frecuencia está por bajo de 1,5 dB a 20 kHz, y la sensibilidad, a la potencia nominal de salida, es de 1 V eficaz de entrada. El rendimiento a esta potencia es del 54 %.

18-9. FUENTES DE ALIMENTACION REGULADAS

Una *fuente de alimentación regulada* ideal es un circuito electrónico diseñado para suministrar una tensión continua predeterminada V_o, independiente de la corriente I_L dada por V_o, de la temperatura, y de cualquier variación de la tensión alterna de la línea. Una fuente de alimentación no regulada está constituida por un transformador, un rectificador y un filtro, tal como muestran las figuras 4-19 y 4-23.

Hay tres razones por las que una fuente de alimentación no regulada no es adecuada para muchas aplicaciones. La primera de ellas es su regulación pobre, la tensión de salida no es constante para cargas variables. La segunda es la de que la tensión continua de salida varía con la entrada de alterna. En algunas localidades, la tensión de línea (de valor nominal 220 V) puede variar de 180 a 250 V, y en cambio es preciso que la tensión continua permanezca constante. La tercera razón es la de que la tensión continua de salida varía con la temperatura, sobre todo debido al uso de transistores. El circuito de realimentación de la Fig. 18-16 se emplea para soslayar los tres inconvenientes citados y reducir la tensión de rizado. Un sistema de este tipo toma el nombre de *fuente de alimentación regulada.*[8] En la Fig. 18-16 vemos que la fuente de alimentación regulada se logra con una realimentación de tensión en serie. Si suponemos que la ganancia de tensión del seguidor de emisor $Q1$ ($Q1$ se denomina también *elemento de paso*) es aproximadamente la unidad, entonces $V'_o \approx V_o$ y:

$$V'_o = A_V V_i = A_V(V_R - \beta V_o) \approx V_o \qquad (18\text{-}47)$$

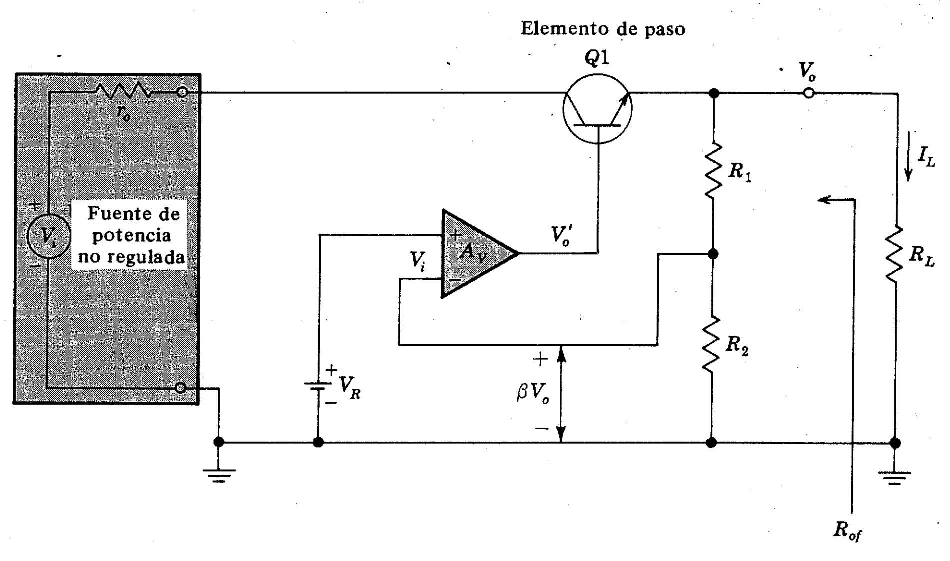


Fig. 18-16. Sistema de fuente de alimentación de potencia regulada

donde el factor de realimentación es:

$$\beta \equiv \frac{R_2}{R_1 + R_2} \tag{18-48}$$

De la Ec. (18-47) obtenemos que:

$$V_o = V_R \frac{A_V}{1 + \beta A_V} \tag{18-49}$$

La tensión de salida V_o puede cambiarse variando el factor de realimentación β. El seguidor de emisor $Q1$ se emplea para tener ganancia de corriente, ya que la corriente suministrada por el amplificador A_V no suele ser suficiente. La tensión continua de colector necesaria para el amplificador de error A_V se obtiene de una tensión no regulada.

Estabilización. Puesto que la tensión continua de salida V_o depende de la tensión continua no regulada de la entrada V_i, de la corriente de carga I_L y de la temperatura T, un cambio ΔV_o en la tensión de salida de una fuente de alimentación puede ser expresado de la siguiente manera:

$$\Delta V_o = \frac{\partial V_o}{\partial V_i} \Delta V_i + \frac{\partial V_o}{\partial I_L} \Delta I_L + \frac{\partial V_o}{\partial T} \Delta T$$

o sea

$$\Delta V_o = S_V \Delta V_i + R_o \Delta I_L + S_T \Delta T \tag{18-50}$$

en que los tres coeficientes se definen como

Factor de regulación de entrada: $$S_V = \frac{\Delta V_o}{\Delta V_i}\bigg|_{\substack{\Delta I_L = 0 \\ \Delta T = 0}} \tag{18-51}$$

Resistencia de salida: $$R_o = \frac{\Delta V_o}{\Delta I_L}\bigg|_{\substack{\Delta V_i = 0 \\ \Delta T = 0}} \tag{18-52}$$

Coeficiente de temperatura: $$S_T = \frac{\Delta V_o}{\Delta T}\bigg|_{\substack{\Delta V_i = 0 \\ \Delta I_L = 0}} \tag{18-53}$$

Cuanto menores sean los tres coeficientes, mejor será la regulación. La variación de ΔV_i puede ser debida a cambios de la tensión de línea, y el rizado a un filtrado inadecuado.

18-10. REGULADOR DE TENSION SERIE

La razón física que mejora la regulación de tensión con el circuito de la Fig. 18-16 es el hecho de que una gran parte del *aumento* de la tensión de entrada aparece a través del elemento de paso, de tal forma que la tensión de salida tiende a permanecer constante. Si la entrada aumenta, la salida también aumenta (pero en proporción muy inferior), ya que este aumento de la salida es el que polariza el transistor de paso hacia una corriente menor. Esta estabilización se demuestra haciendo referencia a la Fig. 18-17, en la que $Q2$ es el amplificador comparador designado A_V en la Fig. 18-16, y en la que la batería V_R es reemplazada por el diodo en avalancha D. Aquí, una parte de la tensión de salida βV_o se compara con la de referencia V_R. La diferencia $\beta V_o - V_R$ se amplifica por $Q2$. Si la tensión de entrada aumenta ΔV_i, V_o sólo necesita aumentar ligeramente, y $Q2$ causará una gran variación de la corriente en R_3. Por tanto, es probable que la mayor parte de ΔV_i aparezca en R_3 (y puesto que la tensión base-emisor es pequeña, también en $Q1$) y V_o permanecerá prácticamente constante.

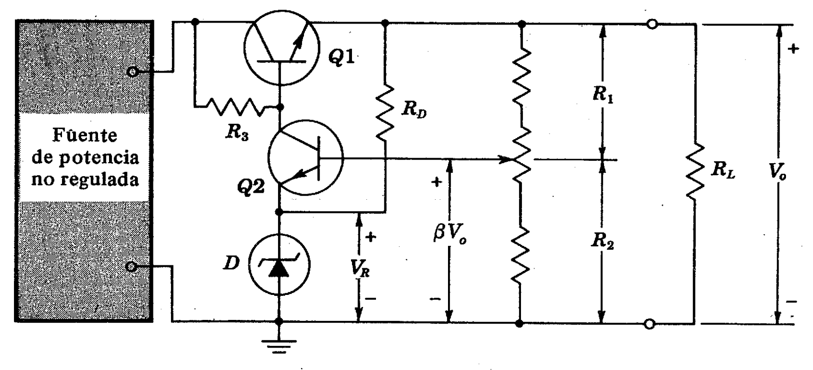


Fig. 18-17. Fuente de alimentación de potencia regulada con semiconductores. El elemento de paso en serie o regulador en serie es $Q1$, el amplificador diferencial es $Q2$, y el diodo de referencia es D

Análisis simplificado. En la Fig. 18-17, la tensión continua de salida V_o viene dada por

$$V_o = V_R + V_{BE2} + \frac{R_1}{R_1 + R_2} V_o$$

o, empleando la Ec. (18-48) para β:

$$V_o = (V_R + V_{BE2})\left(1 + \frac{R_1}{R_2}\right) = (V_R + V_{BE2})/\beta \quad (18\text{-}54)$$

De ahí que un método eminentemente práctico para cambiar la salida sea el de ajustar la relación R_1/R_2 mediante una resistencia divisora como en la Fig. 18-17.

Para obtener una expresión de S_V (suficientemente aproximada para muchas utilizaciones), cabe hacerlo considerando que la variación de la tensión de entrada v_i es mucho mayor que la de la salida v_o. También, por definición de la Ec. (18-51), $\Delta I_L = 0$, y en primera aproximación cabe despreciar la caída de potencial alterna en r_o. De ahí que $\Delta V_i = v_i$ aparezca como en la Fig. 18-18. Despreciando el pequeño cambio de la tensión base-emisor de $Q1$, la variación de corriente $\Delta I = i$ en R_3 viene dada por:

$$i = \frac{v_i - v_o}{R_3} \approx \frac{v_i}{R_3} \quad (18\text{-}55)$$

Como R_L es fija, una tensión de salida constante requiere que I_L, y por tanto I_{B1}, permanezcan constantes. Por lo tanto, para I_{B1} constante,

$$i = \Delta I_{C2} = i_{c2} \quad (18\text{-}56)$$

En el Prob. 18-23 encontraremos, para pequeños valores de R_3, que $i_{c2} = G_m v_o$, en cuya igualdad:

$$G_m = h_{fe2} \frac{R_2}{R_1 + R_2} \frac{1}{(R_1 \| R_2) + h_{ie2} + (1 + h_{fe2})R_z} \quad (18\text{-}57)$$

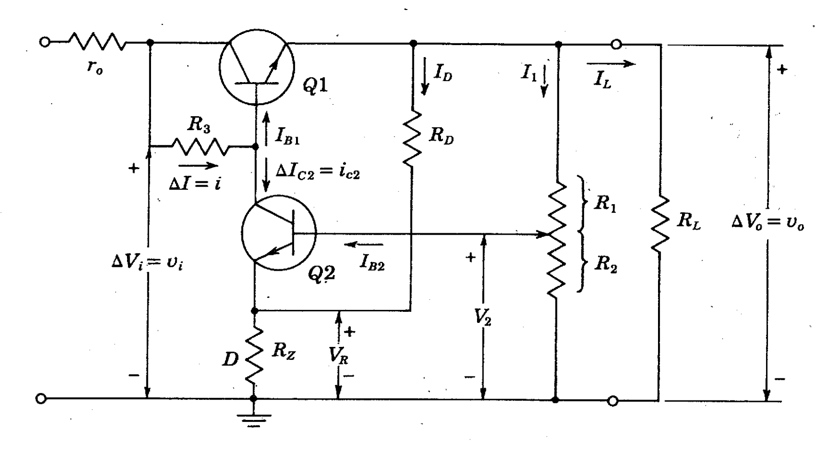


Fig. 18-18. Análisis de una fuente de potencia regulada en serie

donde R_Z es la resistencia dinámica del diodo Zener. Empleando las Ecs. (18-55) a (18-57), encontramos, puesto que $v_i \approx i_{c2}R_3$,

$$S_V = \frac{v_o}{v_i} = \frac{1}{G_m R_3} \quad (18\text{-}58)$$

En el Prob. 18-24, la resistencia de salida R_o del circuito de la Fig. 18-18 resulta ser:

$$R_o \approx \frac{r_o + (R_3 + h_{ie1})/(1 + h_{fe1})}{1 + G_m(R_3 + r_o)}, \quad (18\text{-}59)$$

en la que $G_m \equiv i_{c2}/v_o$ se obtiene de la Ec. (18-57). En el ejemplo siguiente, veremos un procedimiento de diseño.

Ejemplo. (*a*) Diseñar una fuente de alimentación de potencia regulada en serie, que dé una tensión nominal de salida de 25 V y pueda suministrar una corriente de carga $I_L \leqslant 1$ A. La fuente de potencia no regulada responde a las siguientes especificaciones: $V_i = 50 \pm 5$ V y $r_o = 10\ \Omega$. (*b*) Hallar el factor de regulación de entrada S_V. (*c*) Hallar la resistencia de salida R_o. (*d*) Calcular el cambio de la tensión de salida ΔV_o debido a cambios de la tensión de entrada de ± 5 V y a variaciones de la corriente de carga desde cero a 1 A.

SOLUCION. *a.* Seleccionaremos un diodo de referencia con $V_R \approx V_o/2$. Dos diodos 1N755 en serie dan $V_R = 7{,}5 + 7{,}5 = 15$ V y $R_Z = 12\ \Omega$ a $I_Z = 20$ mA. Tomaremos como referencia las figuras 18-18 y 18-19. Escogeremos $I_{C2} \approx I_{E2} = 10$ mA. Los transistores de silicio 2N930 de la Texas Instruments, pueden suministrar una corriente de colector de 10 mA. Para este transistor, las especificaciones del fabricante indican $I_{C,\max} = 30$ mA y $V_{CE,\max} = 45$ V.

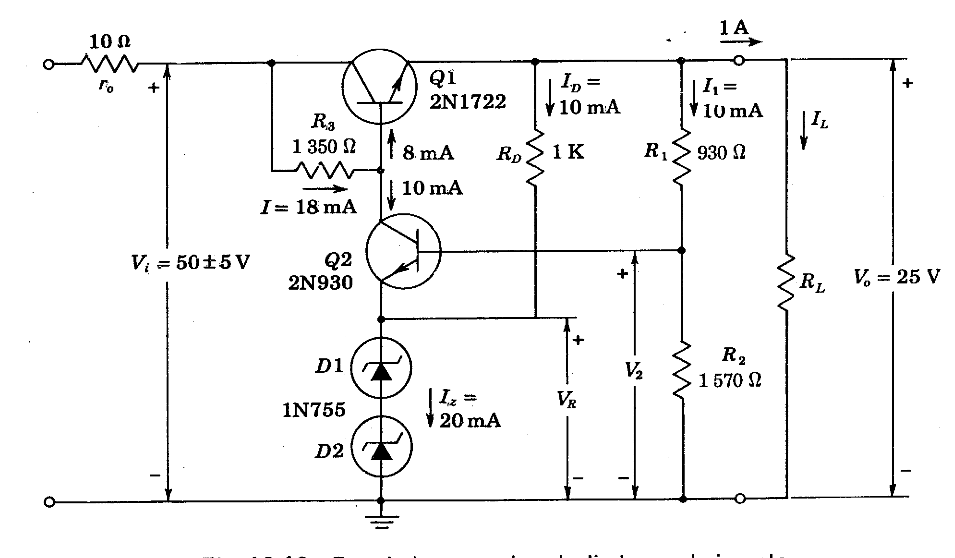


Fig. 18-19. Regulador en serie estudiado en el ejemplo

Con I_{C2} = 10 mA, se midieron los parámetros siguientes:

$$h_{FE2} = 220 \qquad h_{fe2} = 200 \qquad h_{ie2} = 800\ \Omega$$

Elegiremos I_D = 10 mA, de tal manera que $D1$ y $D2$ funcionen a $I_z = 10 + 10 = 20$ mA. Entonces:

$$R_D = \frac{V_o - V_R}{I_D} = \frac{25 - 15}{10} = 1\ \text{K}$$

La relación R_1/R_2 puede hallarse de la Ec. (18-54). Cada resistencia se determina como sigue:

$$I_{B2} = \frac{I_{C2}}{h_{FE2}} = \frac{10\ \text{mA}}{220} = 45\ \mu\text{A}$$

Como requerimos que $I_1 \gg I_{B2}$, seleccionamos I_1 = 10 mA; entonces, como que V_{BE} = 0,7 V,

$$V_2 = V_{BE2} + V_R = 15{,}7\ \text{V}$$

$$R_1 = \frac{V_o - V_2}{I_1} = \frac{25 - 15{,}7}{10 \times 10^{-3}} = 930\ \Omega$$

$$R_2 \approx \frac{V_2}{I_1} = \frac{15{,}7}{10 \times 10^{-3}} = 1\,570\ \Omega$$

Si elegimos el transistor de potencia de silicio de la Texas Instruments 2N1722 para $Q1$, encontraremos los siguientes parámetros para una corriente I_{C1} = 1 A:

$$h_{FE1} = 125 \qquad h_{fe1} = 100 \qquad h_{ie1} = 20\ \Omega$$

Por lo tanto, tendremos:

$$I_{B1} = \frac{I_L + I_1 + I_D}{h_{FE1}} = \frac{1\,000 + 10 + 10}{125} \approx 8\ \text{mA}$$

La corriente I a través de la resistencia R_3 será $I = I_{B1} + I_{C2} = 8 + 10 = 18$ mA. El valor de R_3 correspondiente a V_i = 45 V e I_L = 1 A viene dado por:

$$R_3 = \frac{V_i - (V_{BE1} + V_o)}{I} = \frac{50 - 25{,}7}{18 \times 10^{-3}} = 1\,350\ \Omega$$

El circuito completo es el de la Fig. 18-19.

b. Por la Ec. (18-58) encontramos

$$S_V = \frac{2{,}50}{1{,}57} \times \frac{584 + 800 + (201)(12)}{(200)(1\,350)} = 0{,}022$$

c. La resistencia de salida la encontramos en las ecuaciones (18-58) y (18-59):

$$G_m = \frac{1}{S_V R_3} = \frac{1}{0{,}022 \times 1\,350} = 0{,}033$$

$$R_o = \frac{10 + (1\,350 + 20)/101}{1 + (0{,}033)(1\,350 + 10)} = 0{,}51\ \Omega$$

d. La variación de la tensión de salida, suponiendo constante la temperatura, se obtendrá empleando la Ec. (18-50):

$$\Delta V_o = S_V\ \Delta V_i + R_o\ \Delta I_L = 0{,}022 \times 10 + 0{,}51 \times 1 = 0{,}22 + 0{,}51 = 0{,}73\ \text{V}$$

El circuito diseñado en este ejemplo se construyó en el laboratorio, y pudo comprobarse una correspondencia evidente entre los valores calculados y los medidos.

Muchas veces es preciso diseñar una fuente de alimentación con un valor de S_V mucho menor. En la Ec. (18-58), vemos que S_v puede mejorarse si R_3 aumenta. Puesto que $R_3 \approx (V_i - V_o)/I$, cabe aumentar R_3 haciendo disminuir I. La corriente I puede hacerse menor empleando un par Darlington (Fig. 8-29) en lugar de $Q1$. Para variar considerablemente S_V, R_3 se reemplaza por una fuente de corriente constante (tal que $R_3 \to \infty$) como indica la Fig. 18-20 (ver también la Sec. 15-3). Para este circuito, al que se le ha incorporado un par Darlington, se obtienen[9] valores de S_V = 0,00014 y R_o = 0,1 Ω. La fuente de corriente constante de la Fig. 18-20 se denomina muchas veces *prerregulador a transistores.* Pueden emplearse otros tipos de prerreguladores (Prob. 18-28).[9] Se agrega el condensador de 0,01-μF en la Fig. 18-20 para evitar oscilación a frecuencias elevadas.

Consideraciones prácticas. La carga máxima de corriente continua de la fuente de alimentación de la Fig. 18-18 queda limitada por la corriente máxima de colector de los transistores en serie. La diferencia entre las tensiones de salida y de entrada del regulador se aplica a $Q1$, y por tanto el máximo valor alcanzable V_{CE} para un $Q1$ dado y una tensión de salida especificada determina la tensión máxima de entrada del regulador. El

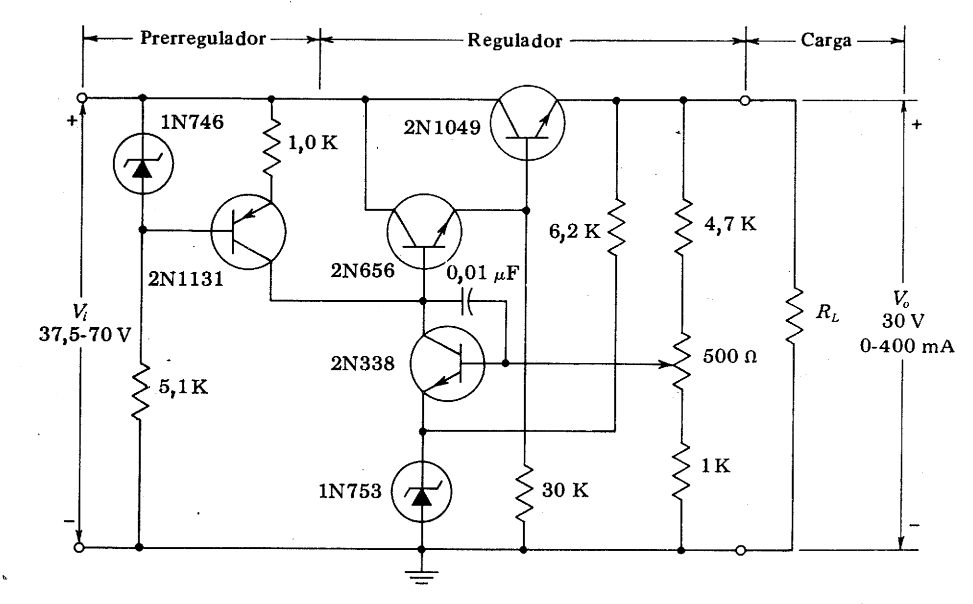


Fig. 18-20. Regulador en serie típico, que emplea un prerregulador y un par Darlington. (Cortesía de Texas Instruments, Inc.)

producto de la corriente de carga por V_{CE} es aproximadamente igual a la potencia disipada en el transistor de paso. En consecuencia, la máxima disipación de potencia admitida en el transistor serie limita la combinación de la corriente de carga y la tensión de entrada del regulador.

La corriente de saturación inversa I_{CO1} de $Q1$ de la Fig. 18-18 desempeña un papel importante en la determinación de la carga mínima del regulador. Si $I_{B1} = 0$, entonces:

$$I_{C1} = -I_{E1} = I_{CO1}(1 + h_{FE1})$$

Por lo tanto, si la corriente de emisor de $Q1$ ($I_L + I_D + I_1$) cae por debajo de I_{CO1} $(1 + h_{FE1})$, entonces V_{CE1} no se puede controlar por I_{B1}, y el regulador no puede funcionar correctamente. Así, vemos que, a altas temperaturas, en las que I_{CO} y h_{FE} son elevadas, el regulador puede fallar cuando la corriente de carga esté por debajo de cierto valor mínimo. Se han propuesto varias técnicas[10] para reducir esta restricción de mínima carga debida a I_{CO}. La resistencia de 30 K de la Fig. 18-20 se añade para permitir el funcionamiento con pequeñas corrientes de carga.

Las fuentes de potencia deben protegerse contra posibles daños debidos a sobrecargas. En circuitos sencillos se puede lograr la protección mediante un fusible en serie con r_o. En equipos más completos, el transistor en serie permite el funcionamiento a cualquier tensión desde cero a la máxima de salida. En caso de sobrecarga o de cortocircuito, el esquema de la Fig. 18-21 puede servir como protección. En este caso, los diodos $D1$ y $D2$ no conducen hasta que la diferencia de potencia a través de la resistencia R_s sobrepasa la tensión de umbral directa V_γ. Por lo tanto, en el caso de cortocircuito, la corriente I_S sólo aumentaría hasta un límite determinado por

$$I_S = \frac{V_{\gamma 1} + V_{\gamma 2} - V_{BE1}}{R_S}$$

En caso de cortocircuito, la corriente de carga será, aproximadamente,

$$I_L \approx \frac{V_i}{R_3} + \frac{V_{\gamma 1} + V_{\gamma 2} - V_{BE1}}{R_S} \tag{18-60}$$

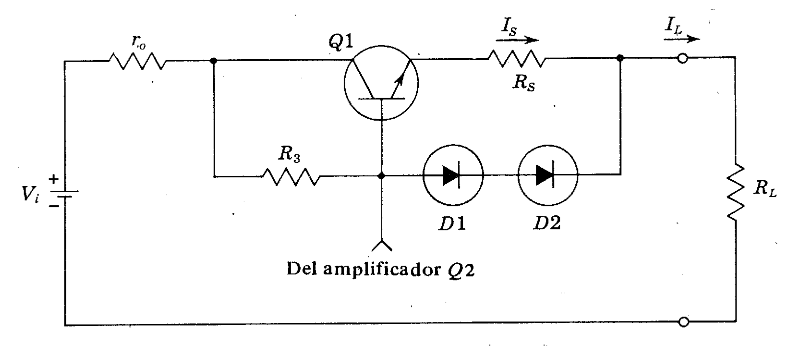


Fig. 18-21. Circuito de protección contra sobrecargas de cortocircuito

Para finalizar, una consideración práctica importante es la variación de la tensión de salida con la temperatura. Por la Ec. (18-54) vemos que, aproximadamente,

$$\frac{\Delta V_o}{\Delta T} \approx \left(\frac{\Delta V_R}{\Delta T} + \frac{\Delta V_{BE2}}{\Delta T}\right)\left(1 + \frac{R_1}{R_2}\right) \tag{18-61}$$

Por lo tanto, la anulación mutua de los coeficientes de temperatura del diodo de referencia $D1$ y del transistor $Q2$ puede dar lugar a un $\Delta V_o/\Delta T$ muy pequeño. Los amplificadores de GE con referencias RA-1, RA-2 y RA-3, se han diseñado para este propósito. Son dispositivos integrados compuestos de un diodo de referencia y un transistor *n-p-n* en un solo chip. Los coeficientes de temperatura típicas para estas unidades son mejores que ± 0,002 %/° C.

18-11. REGULADORES MONOLITICOS[11]

El regulador de la Fig. 18-16 se puede fabricar en un solo chip de silicio que ofrece todas las ventajas derivadas de los circuitos integrados: bajo coste, alto rendimiento, pequeño tamaño y facilidad de empleo. Al utilizar reguladores monolíticos, se puede distribuir tensión sin regular al equipo electrónico y lograr la regulación localmente, por ejemplo, en una parte de un circuito impreso. En cuanto a las ventajas de esta posibilidad, son la mayor flexibilidad en los niveles de tensión y regulación de etapas individuales, así como el aislamiento y desacoplo de dichas etapas. Existen reguladores monolíticos que trabajen desde 0 hasta 1 000 V, y con elementos exteriores la corriente puede alcanzar los 60 A o más.

El circuito de un regulador monolítico es sustancialmente más complejo que uno con elementos discretos, como el de la Fig. 18-20. Esta mayor complejidad se debe al hecho de que se emplea un amplificador diferencial multitransistor para lograr la amplificación A_V de la Fig. 18-16, en lugar de un solo transistor, como en el caso de la Fig. 18-20. Además, la tensión Zener de referencia se compensa empleando un circuito apropiado, de tal manera que el coeficiente de temperatura sea cero. Afortunadamente, es relativamente fácil añadir transistores y diodos en un chip monolítico sin aumentar significativamente su coste.

La Fig. 18-22 muestra un ejemplo de un regulador integrado de 200 mA. El LM 105 de la National Semiconductor Corporation contiene la tensión de referencia y el amplificador de error, como indica la Fig. 18-16. El transistor exterior 2N3740 aumenta la capacidad de potencia manejable del circuito a 200 mA, y la tensión de salida se fija con la relación entre R_1 y R_2. Una fracción de la tensión de salida es comparada, por medio del amplificador de error, con una tensión interna de referencia de 1,8 V. Cualquier error es amplificado y empleado para excitar el transistor de potencia 2N3740, que es el elemento de paso. La resistencia R_s limita la de corriente, ya que su caída de potencial se aplica a la unidad emisor-base de un transistor del circuito. En cuanto el transistor pasa a estado de conducción, se anula la excitación del transistor 2N3740 de paso, y la salida del regulador tiene una característica de corriente constante; es decir, la tensión de salida cae a cero cuando la corriente de carga rebasa un valor predeterminado. Cuando se emplean elementos de paso exteriores, se debe emplear un condensador de tántalo C_1 para suprimir cualquier oscilación y obtener baja impedancia de salida a frecuencias elevadas. El condensador exterior C_2 se emplea para compensar el error interno del amplificador y, por lo tanto, evitar la inestabilidad.

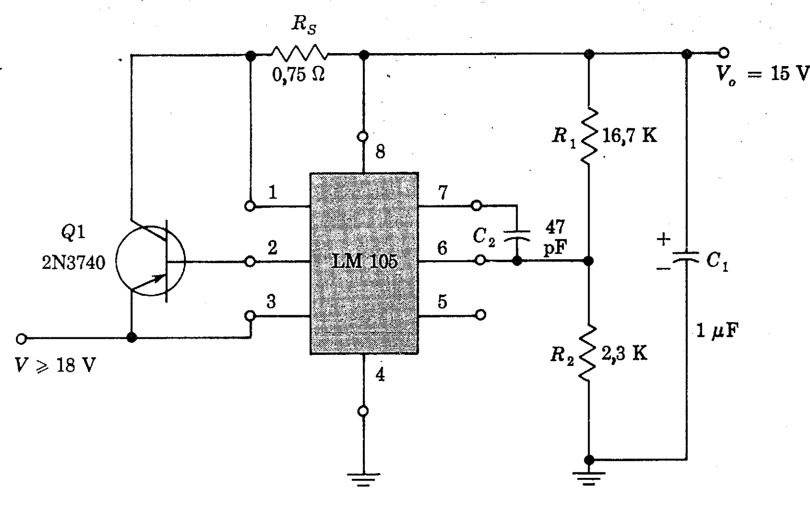


Fig. 18-22. Sistema de regulador de tensión que emplea el LM 105 IC y con un transistor de paso exterior $Q1$ para el funcionamiento a 200 mA.

La tensión de salida del LM 105 es ajustable entre 4,5 V a 40 V, y las corrientes de salida pueden superar los 10 A añadiendo exteriormente transistores de paso en serie. El rechazo de zumbido es del 0,01 %, y la regulación a plena carga, con limitación de corriente, es del 0,1 %.

18-12. EL DIODO DE CUATRO CAPAS[1,2]

En las secciones restantes de este capítulo examinaremos el diodo *p-n-p-n*, el interruptor gobernado de silicio, y las técnicas básicas empleadas para el control de la potencia con estos elementos de estado sólido.

Cuando se polariza un diodo *p-n-p-n* con el ánodo positivo, tiene dos estados estables: un estado es de resistencia muy elevada, normalmente del orden de 100 M, y el otro es de resistencia muy baja, normalmente menor de 10 Ω. Cuando se polariza en sentido inverso, este elemento actúa como un diodo normal *p-n*, con una corriente de fuga muy pequeña. Este elemento está constituido por cuatro capas de silicio dopadas alternativamente con impurezas de tipo *p* y de tipo *n*, como indica la Fig. 18-23. Debido a su estructura, se le denomina diodo o interruptor *p-n-p-n*. La región terminal *P* es el ánodo, o emisor *p*, y la región terminal *N* es el cátodo, o emisor *n*. Cuando se aplica una tensión exterior para hacer el ánodo más positivo que el cátodo, las uniones J_1 y J_3 están polarizadas en sentido directo; en cambio, la central J_2 lo está en sentido inverso. El potencial exterior aplicado aparece principalmente en la unión que está polarizada en sentido inverso, y la corriente que atraviesa el dispositivo es pequeña. A medida que la tensión exterior aplicada aumenta, la corriente aumenta lentamente hasta llegar a un valor de tensión V_{BO} llamado de *avalancha,* de *ruptura* o de *cebado,* en que la corriente crece de forma abrupta y la caída de potencial en el elemento disminuye de igual forma. En este punto de avalancha, el diodo *p-n-p-n* es conmutado desde el estado de *bloqueo* al de *conducción.*

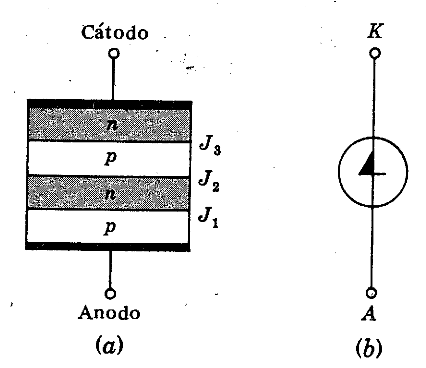


Fig. 18-23. (*a*) Diodo *p-n-p-n* de cuatro capas; (*b*) símbolo del circuito (recuerda al número 4)

En la Fig. 18-24*a*, el conmutador *p-n-p-n* se ha desdoblado en dos partes que se han desplazado físicamente una de la otra pero se han dejado conectadas eléctricamente. Este desdoblamiento se ha hecho con la intención de hacer notar que el dispositivo puede considerarse como dos transistores en oposición, uno de ellos del tipo *p-n-p*, y el otro de tipo *n-p-n*. La región *N*, que es la base de un transistor, es también el colector del otro, y exactamente igual sucede con la zona intermedia *P*. La unión J_2 es una unión de colector común a ambos transistores. Partiendo de la Fig. 18-24*a*, se ha dibujado la Fig. 18-24*b* empleando los símbolos de los transistores; se ha representado también una fuente de tensión conectada a través de una resistencia en serie con el interruptor, lográndose una

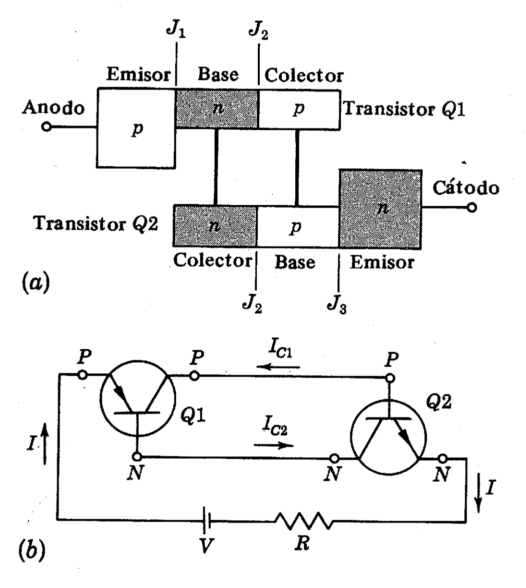


Fig. 18-24. (*a*) Se ha vuelto a dibujar el diodo *p-n-p-n* de manera que aparezca como dos "transistores" interconectados. (*b*) Los dos transistores interconectados tienen alimentación de corriente desde la fuente a través de una resistencia

corriente I. También se indican las corrientes I_{C1} e I_{C2} de los transistores $Q1$ y $Q2$. En la región activa, la corriente de colector viene dada por

$$I_C = -\alpha I_E + I_{CO} \tag{18-62}$$

con una corriente de emisor I_E, una corriente inversa de saturación I_{CO}, y una ganancia directa de corriente en cortocircuito en base común, α. Podemos aplicar la ecuación (18-62) a $Q1$ y $Q2$. Como $I_{E1} = +I$ e $I_{E2} = -I$, obtendremos:

$$I_{C1} = -\alpha_1 I + I_{CO1} \tag{18-63}$$

$$I_{C2} = \alpha_2 I + I_{CO2} \tag{18-64}$$

Para el transistor *p-n-p*, I_{CO1} es negativa, mientras que para el *n-p-n*, I_{CO2} es positiva. Por lo tanto, escribiremos $I_{CO2} = -I_{CO1} \equiv I_{CO}/2$. Haciendo igual a cero la suma de las corrientes en el transistor $Q1$, tenemos:

$$I + I_{C1} - I_{C2} = 0 \tag{18-65}$$

Combinando las ecuaciones (18-63) y (18-65) tendremos:

$$I = \frac{I_{CO2} - I_{CO1}}{1 - \alpha_1 - \alpha_2} = \frac{I_{CO}}{1 - \alpha_1 - \alpha_2} \tag{18-66}$$

Observemos que a medida que la suma $\alpha_1 + \alpha_2$ se aproxima a la unidad, la Ec. (18-66) indica que la corriente I aumenta sin límite. Todo esto no es de extrañar, debido a la forma regenerativa en la que están conectados los dos transistores. La corriente del colector de $Q1$ se emplea como corriente de base del $Q2$, y viceversa. Cuando el interruptor *p-n-p-n* está trabajando de tal manera que $\alpha_1 + \alpha_2$ es menor que la unidad, se halla en el estado de corte y la corriente I es pequeña. Cuando se cambia a la condición de $\alpha_1 + \alpha_2 = 1$, el interruptor pasa al estado de conducción. La diferencia de potencial en el interruptor cae a un valor bajo y la corriente es elevada, limitada tan sólo por la resistencia exterior conectada en serie con el interruptor.

La razón por la que este elemento puede permanecer estable en los dos estados, es que, con corrientes muy débiles, α_1 y α_2 pueden ser suficientemente pequeñas para que $\alpha_1 + \alpha_2 < 1$, mientras que con corrientes mayores las α aumentan, lográndose la condición de que $\alpha_1 + \alpha_2 = 1$. Así, a medida que la tensión aplicada al interruptor va aumentando desde cero, la corriente, que al principio es de valor muy bajo, empieza a aumentar debido a la multiplicación por avalancha (no ruptura por avalancha) en la unión con polarización inversa. Este aumento de corriente incrementa α_1 y α_2. *Cuando la suma de ambas alfas, alcanza la unidad,* $\alpha_1 + \alpha_2 = 1$, *el dispositivo pasa a estado de gran conducción.* En este punto, la corriente es grande, y α_1 y α_2 pueden alcanzar valores individuales cercanos a la unidad. Si esto llegara a suceder, cabe esperar que la corriente se invierta, tal como se desprende de la Ec. (18-66). Lo que hace que el sistema sea estable en el estado de conducción es que en ese estado la unión central, está polarizada en sentido directo. En este caso, todos los transistores están en saturación y la ganancia de corriente α es nuevamente pequeña. Por tanto, la estabilidad se logra haciendo que los transistores entren en saturación, en la medida necesaria para mantener la condición de que $\alpha_1 + \alpha_2 = 1$.

En estado de conducción, todas las uniones están polarizadas en sentido directo, y por tanto la diferencia de potencial total a través del dispositivo es igual muy aproximadamente a la suma algebraica de los tres potenciales de saturación de las uniones. La caída de tensión en la unión del centro J_2 tiene sentido contrario a la tensión en las otras dos uniones J_1 y J_3. Este hecho sirve a la vez para mantener a un valor pequeño ($2\ V_{BE,\text{sat}} - V_{CB,\text{sat}} \approx 1{,}0$ V) la diferencia de potencial entre los extremos del interruptor en estado de conducción.

El funcionamiento del interruptor *p-n-p-n* depende, como hemos visto, del hecho de que, con corrientes pequeñas, la ganancia en corriente α pueda ser menor que un medio, condición necesaria si se debe cumplir que la suma de ambas α sea menor que la unidad. Esta característica de α no se encuentra en el germanio, pero sí en el silicio, debido a que, con corrientes pequeñas, una parte apreciable de la corriente que atraviesa la unión del emisor está motivada por la recombinación de huecos y electrones en la región de transición, en lugar de estarlo por inyección de portadores minoritarios a través de la unión del emisor a la base. Con el germanio no es posible conseguir que $\alpha_1 + \alpha_2 < 1$. En realidad, la estructura de germanio se sitúa inmediatamente en estado de conducción y, en cambio, el estado de corte no es estable. Por lo tanto, no se pueden construir interruptores *p-n-p-n* de germanio. Se desprende de la discusión anterior que la estructura y mecanismo de un *p-n-p-n* son la base de un gran número de elementos conmutadores.

18-13. CARACTERISTICAS DEL *p-n-p-n*

El dibujo de la Fig. 18-25, que no está a escala, representa la característica tensión-corriente de un diodo *p-n-p-n*. Cuando se aplica la tensión en sentido inverso, las dos uniones más exteriores quedan polarizadas en sentido inverso. Con un valor suficientemente grande de la tensión, se producirá la ruptura de la unión, tal como se indica, a un valor de V_{RA} llamado de "avalancha inversa". No obstante, no hay ningún interés especial en hacerlo funcionar en este sentido.

Cuando se aplica la tensión directa, sólo circula una pequeña corriente directa hasta que la tensión alcanza la de ruptura V_{BO}. La corriente correspondiente será I_{BO}. Si la tensión V, que se aplica a través de la resistencia de la Fig. 18-24, aumenta por encima de V_{BO}, el diodo se conmutará desde su estado de bloqueo hasta el de conducción, y entonces funcionará en la región de saturación. El sistema es por tanto *biestable*. Si

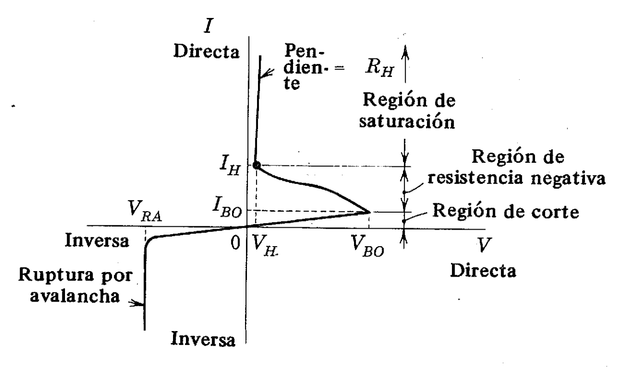


Fig. 18-25. Característica tensión-corriente del diodo *p-n-p-n*

entonces se redujese la tensión, el interruptor permanecería en conducción hasta que la corriente disminuyera por debajo de I_H. Esta corriente y su correspondiente tensión V_H se denominan de *mantenimiento*. La corriente I_H es la mínima precisa para que el interruptor permanezca en conducción.

Se pueden fabricar, y encontrar en el mercado, dispositivos *p-n-p-n* cuya tensión V_{BO} vaya desde 10 V hasta cientos de volt. La corriente I_{BO} es como máximo del orden de algunos cientos de microamper. En estado de corte, la resistencia del interruptor va desde algunos megohms a varios cientos de megohms.

La corriente de mantenimiento puede variar, segun el tipo, desde algunos miliamper a varios cientos de miliamper. La tensión de mantenimiento va desde 0,5 V hasta 20 V. La resistencia incremental R_H en el estado de saturación, raramente excederá de 10 Ω disminuyendo al aumentar la corriente. Con corrientes del orden de los amper, (lo que puede suceder brevemente en el funcionamiento por impulsos), la resistencia incremental puede valer por debajo de décimas de ohm.

Los parámetros de conmutación del diodo de cuatro capas dependen algo de la temperatura. Una disminución de temperatura desde la ambiente hasta – 60° C tiene un efecto despreciable sobre V_{BO}, pero con un aumento hasta 100° C, la tensión V_{BO} disminuirá en un 10 %: I_H disminuye sustancialmente con el aumento de temperatura y aumenta, pero en menor cuantía, cuando la temperatura disminuye.

Efecto de la velocidad. Podemos ver que la tensión de ruptura de un interruptor *p-n-p-n* depende de la velocidad[12] con la que se aplica el incremento de la tensión. En la Fig. 18-26, se ha representado el interruptor en estado de corte como una combinación de tres diodos en serie, dos de ellos polarizados en sentido directo y el central con polarización inversa. En paralelo con este último diodo se ha colocado un condensador que representa la capacidad de transición de la unión con polarización inversa. Cuando la tensión aplicada v aumenta con bastante lentitud, de tal forma que la corriente por C pueda despreciarse, deberemos esperar hasta que la corriente de avalancha aumentada que pasa por $D2$ (que es también la que pasa por $D1$ y $D3$) aumente hasta el punto en el que las ganancias de corriente satisfagan la condición $\alpha_1 + \alpha_2 = 1$. En cambio, cuando v cambia rápidamente, de tal forma que la tensión del condensador varíe al ritmo dv_C/dt, pasará por C una corriente $C\, dv_C/dt$ que se suma a la corriente por $D1$ y $D3$. No es preciso que la corriente por $D2$ sea tan elevada como antes para lograr la ruptura, y la conmutación se realiza a una tensión menor. La capacidad de la unión inversa puede valer desde unas decenas de picofarad hasta más de 100 pF, y la reducción de la tensión de conmutación puede aparecer por sí misma como consecuencia de un ritmo de cambio dv_C/dt, del orden de decenas de volt por microsegundo.

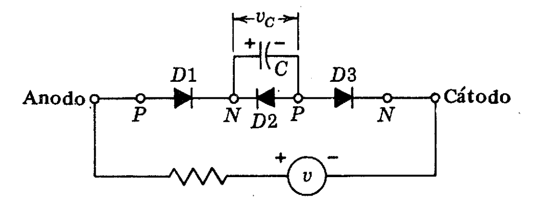


Fig. 18-26. Diodo *p-n-p-n* en estado de corte para indicar el origen del efecto de subida

Conmutador bidireccional a diodos.[13] El interruptor *p-n-p-n* de la Fig. 18-23 está limitado a una sola dirección de circulacion de la corriente cuando está en la región de baja resistencia o estado de conducción. Se puede obtener circulación en ambos sentidos disponiendo dos secciones *p-n-p-n* en paralelo pero en sentidos opuestos, como en la Fig. 18-27*a*, ya que así hay dos estados de conducción. Así, cuando el dispositivo está en estado de conducción en un sentido, una sección conduce corriente, y cuando el estado de conducción sea al contrario, conducirá la otra sección y la corriente cambiará de sentido. En la Fig. 18-27*c* podemos ver la característica tensión-corriente simétrica (bilateral).

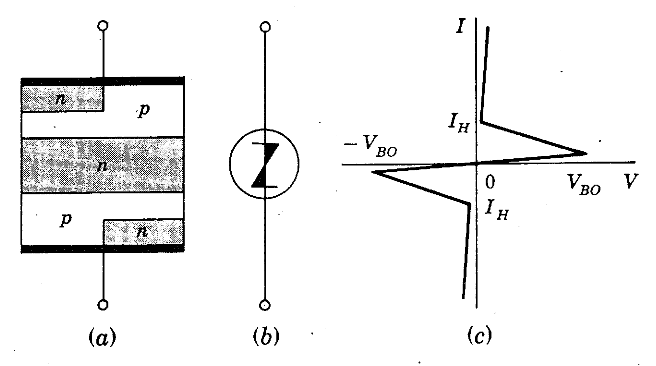


Fig. 18-27. (*a*) Conmutador bilateral a diodo; (*b*) símbolo del circuito; (*c*) característica tensión-corriente simétrica respecto al origen.

18-14. RECTIFICADOR GOBERNADO DE SILICIO[14,15]

La estructura de un rectificador gobernado de silicio (SCR) es similar al diodo de cuatro capas y consiste en cuatro capas alternativas tipos *p* y *n*. En el SCR (denominado también *tiristor*), las capas interiores son accesibles desde el exterior, cosa que no ocurre en el diodo. En la Fig. 18-28, aparece el símbolo de un SCR. El terminal conectado a la región *P* más cercana al cátodo se denomina *puerta de cátodo*, o *base p*, y el terminal conectado a la región *N* más cercana al ánodo se llama *puerta del ánodo*, o *base n*. En

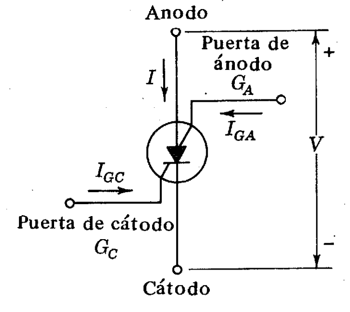


Fig. 18-28. Símbolo del SCR

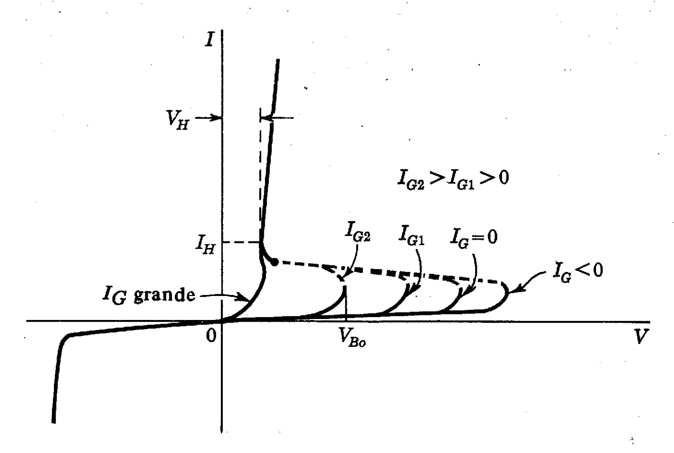


Fig. 18-29 Características tensión-corriente de un SCR de tres terminales, indicando que la tensión directa de ruptura es función de la corriente en la puerta de cátodo. (No está dibujado a escala.)

muchos tipos de interruptores, no se sacan al exterior los terminales de las dos puertas, y cuando sólo hay un terminal, normalmente, es el de la puerta del cátodo.

La utilidad de los terminales de las puertas reside en el hecho de que la corriente introducida en uno de ellos, o en ambos, puede controlar la tensión de ruptura de ánodo a cátodo. Esta consecuencia cabe esperarla, basándonos en la anterior explicación de la condición de $\alpha_1 + \alpha_2 = 1$ que establece el punto de encendido. Si la corriente que atraviesa una o las dos uniones más exteriores, aumenta por la introducción de corriente por los terminales de puerta, entonces α aumenta y la tensión de avalancha disminuye. En la Fig. 18-29 vemos la característica tensión-corriente de un SCR para varias corrientes de la puerta de cátodo. Observemos que la tensión de encendido es función de la corriente de la puerta, decreciendo cuando la corriente de puerta crece, y aumentando cuando la corriente de la puerta es negativa, y en consecuencia polarizando inversamente la unión del cátodo. La corriente, después del cebado, puede ser 1 000 veces mayor que la corriente antes del mismo. Cuando la corriente de puerta es muy elevada, la ruptura puede ocurrir a tensiones tan bajas, que la característica se parezca a la de un diodo *p-n*.

Supongamos que se aplica una tensión de alimentación a través de una resistencia de carga entre ánodo y cátodo de un rectificador gobernado de silicio. Consideremos que la polarización es tal que la tensión aplicada es menor que la tensión de ruptura. Entonces el rectificador permanecerá en corte y puede cambiar a conducción aplicando a la puerta una corriente o una tensión de disparo adecuada que haga disminuir la tensión de ruptura a un valor por debajo de la aplicada. El rectificador, una vez disparado, permanece así y no es práctico detener la conducción polarizando la puerta en sentido inverso. Por ende, deberíamos aplicar una corriente inversa a la puerta para detener la avalancha que sería aproximadamente igual a la corriente del propio ánodo. Generalmente, el método más efectivo y común empleado para cortar la corriente es, temporalmente por lo menos, reducir la tensión del ánodo a un valor inferior a la tensión de mantenimiento V_H, o, lo que es lo mismo, reducir la corriente del ánodo por debajo de la de mantenimiento I_H. A partir de entonces, la puerta volverá a asumir el control de la tensión de ruptura del interruptor.

Tiempos de conducción y de corte de la puerta. El proceso de cambio de estado de un SCR emplea un intervalo de tiempo finito. Cuando se aplica una señal de disparo a la puerta para que el interruptor pase a estado de conducción, transcurre un cierto tiempo antes de que la transición sea completa. El tiempo de puesta en marcha disminuye al aumentar la amplitud de la señal de disparo, aumenta con la temperatura y aumenta también con el incremento de la corriente del ánodo. Si la señal de disparo es un impulso, entonces, para que sea efectivo, no sólo debe tener una amplitud adecuada, sino que la duración del mismo debe ser por lo menos tan larga como el valor crítico denominado *tiempo de puerta para retención,* de lo contrario, al finalizar el impulso, el SCR volvería al estado inicial. Se presenta una situación similar cuando se pretende cortar el interruptor bajando la tensión del ánodo a un valor inferior al de mantenimiento. Si se aplica al ánodo una tensión inversa, el tiempo de corte (que así se denomina) puede reducirse. El tiempo de corte aumenta con la temperatura y con el aumento de la corriente de ánodo. La tensión del ánodo debe permanecer por debajo de la tensión de mantenimiento durante un tiempo por lo menos tan largo como el valor crítico denominado tiempo de *recuperación de la puerta,* si es que debe persistir la transición aún después de volver a subir la tensión del ánodo.

En las unidades rápidas, todos los intervalos de tiempo son del orden de décimas de microsegundo, mientras que en las unidades lentas, pueden llegar a varios microsegundos. En general, el tiempo requerido para cortar un interruptor es mayor que el requerido para ponerlo en conducción.

Características. Cabe fabricar SCR con corrientes que sobrepasen los 100 A y que trabajen con tensiones del orden de 1 000 V. La tensión de mantenimiento es del orden de 1 V. La relación entre la corriente de ánodo alcanzable y la corriente de puerta requerida para ponerlo en conducción, rara vez está por debajo de algunos millares. Por ejemplo, una corriente de puerta menor de 50 mA podrá conectar una corriente de ánodo de 100 A.

Un *interruptor gobernado de silicio* de tres terminales (SCS) es un dispositivo similar al SCR, excepto en que es mecánicamente más pequeño y esta diseñado para funcionar con corrientes y tensiones menores. Estos interruptores se construyen para aplicaciones a niveles bajos. Tienen menores corrientes de mantenimiento y de dispersión que los SCR, requieren señales de disparo pequeñas, y tienen unas características de disparo mucho más uniformes de un elemento a otro de la misma familia

Los rectificadores controlados de silicio experimentan los mismos efectos de velocidad que los diodos de cuatro capas. La tendencia al encendido prematuro debido a los efectos de la velocidad, puede suprimirse comunicando la puerta y el cátodo a través de un condensador pequeño. Este componente cortocircuitará el paso de la corriente de la unión puerta-cátodo en presencia de una variación rápida de la tensión aplicada, pero no tendrá efecto alguno en el funcionamiento del interruptor en continua.

El triac, o interruptor triodo de doble sentido.[16] El triac es un interruptor de silicio con tres terminales que se puede disparar con impulsos positivos o negativos de puerta, cuando los potenciales del ánodo son positivos o negativos respectivamente. Es decir, el triac es un interruptor de corriente alterna que puede conducir en las dos semiondas de tensión. La construcción y funcionamiento de un triac está basado en el principio del SCS, y la Fig. 18-30*a* muestra el emplazamiento estratégico de las uniones. Obsérvese que el triac es un elemento con cinco capas n_1-p_1-n_2-p_2-n_3, y cabe considerar que consiste en

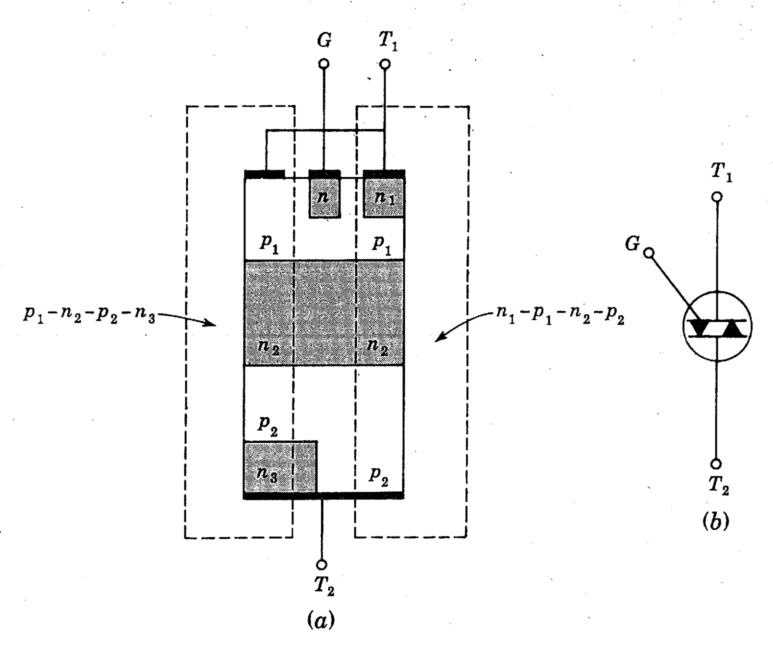


Fig. 18-30. (*a*) El interruptor triac está constituido por dos conmutadores *p-n-p-n* conectados en oposición, con una puerta adecuada. (*b*) Símbolo normalizado

una sección n_1-p_1-n_2-p_2 en paralelo con una sección p_1-n_2-p_2-n_3, como queda indicado en la Fig. 18-30*a*. La región adicional lateral *n* sirve como puerta de gobierno. El triac es un SCR o tiristor de doble sentido.

18-15. REGULACION DE POTENCIA[17]

Existe un determinado número de aplicaciones que requieren una regulación de la corriente, entre ellas la soldadura eléctrica, las instalaciones de control de iluminación, la regulación de la velocidad de motores, y una gran variedad de otras aplicaciones de control industrial. Se puede variar el aporte de corriente suministrada a la carga mediante la regulación de tensión del secundario del transformador, o por inserción de resistencias de control en el circuito de salida. Ninguno de estos dos métodos es aconsejable; el primero puede requerir un equipo auxiliar caro, y el segundo se caracteriza por su pobre rendimiento. El desarrollo de los SCR y de los triac han hecho del control un proceso relativamente barato.

Regulación con SCR. Si se aplica una tensión senoidal al ánodo de un SCR, el dispositivo se cortará cada semiciclo alterno (cuando la tensión esté por debajo de la tensión de mantenimiento) en el supuesto de que se cebe regularmente. La corriente rectificada media puede variar dentro de amplios límites mediante el gobierno del punto en el que en cada semiciclo el SCR se dispara.

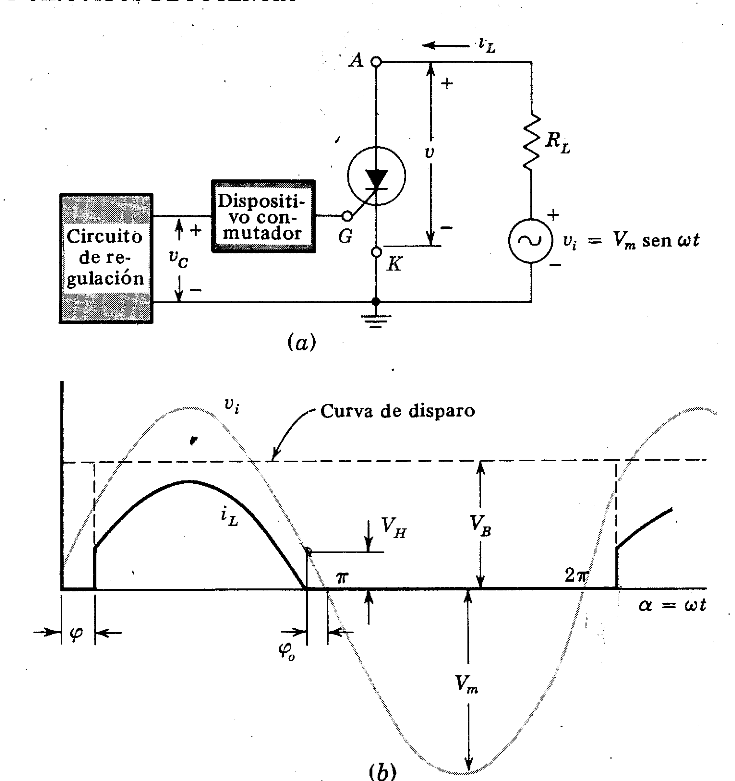


Fig. 18-31. (*a*) Circuito de regulación de potencia de media onda con SCR. (*b*) Forma de onda de la corriente de carga i_L. La conducción empieza en el ángulo φ y termina en el $(\pi - \varphi_o)$ de cada ciclo

Para analizar la acción de cebado y corte del SCR nos referiremos a la Fig. 18-31. En este circuito, la tensión alterna de línea se emplea como tension de ánodo para el SCR. Un dispositivo de conmutación, como por ejemplo un diodo *p-n-p-n* o una lámpara neón, se conectará en serie con el terminal de control. Cuando la tensión de control v_C excede la *tensión de disparo* V_B del dispositivo de conmutación *D*, éste pasara al estado de baja resistencia y la corriente a través de la puerta del SCR lo cebará. En la Fig. 18-31*b*, la onda senoidal representa la tensión de la línea de entrada en función del tiempo. La curva de cebado es una línea recta paralela al eje de tiempos, lo que indica que V_B es independiente del potencial del ánodo.

Supongamos que el circuito es tal que la tensión de control v_C excede a la tensión de disparo para un cierto ángulo φ, llamado *ángulo de defase.* La conducción empezará en este punto del ciclo. La caída de potencial en el SCR durante la conducción permanece constante a un valor bajo que es independiente de la corriente. Esta caída de tensión ($\approx V_H$) es del orden de 1 V. La corriente que pasa por una resistencia pura de carga R_L durante el tiempo de conducción del SCR, viene dada por:

$$i_L = \frac{V_m \operatorname{sen} \omega t - V_H}{R_L} \tag{18-67}$$

donde V_m es el valor máximo del potencial aplicado.

La forma resultante de la corriente de carga está representada en la Fig. 18-31*b*. Vemos que la corriente aumenta bruscamente en el punto correspondiente al ángulo φ y luego sigue la variación senoidal de la Ec. (18-67) hasta que la tensión de alimentación v_i cae por debajo de V_H en el momento en que la fase valga $\pi - \varphi_o$. La corriente permanecerá nula hasta que la fase vuelva a valer φ en el siguiente ciclo.

La corriente media (valor leído en un amperímetro de corriente continua, Ec. (4-11) será:

$$I_{dc} = \frac{1}{2\pi}\int_{\varphi}^{\pi-\varphi_o} i_L\, d\alpha = \frac{V_m}{2\pi R_L}\int_{\varphi}^{\pi-\varphi_o}\left(\text{sen}\,\alpha - \frac{V_H}{V_m}\right) d\alpha$$

que integrada vale:

$$I_{dc} = \frac{V_m}{2\pi R_L}\left[\cos\varphi + \cos\varphi_o - \frac{V_H}{V_m}(\pi - \varphi_o - \varphi)\right] \tag{18-68}$$

donde $\alpha = \omega t$ y φ_o es el menor ángulo definido por la relación

$$V_H = V_m \,\text{sen}\,\varphi_o \tag{18-69}$$

Si la relación V_H/V_m es muy pequeña, entonces φ_o puede tomarse como cero y la Ec. (18-68) se reduce a la forma:

$$I_{dc} = \frac{V_m}{2\pi R_L}(1 + \cos\varphi) \tag{18-70}$$

Este análisis demuestra que la corriente media rectificada puede ser controlada variando la posición en que la tensión de disparo v_C sobrepasa la tensión de cebado V_B del dispositivo interruptor D. La corriente máxima se obtiene cuando el SCR se dispara al comienzo de cada ciclo, y la mínima cuando no hay conducción.

La Fig. 18-32 muestra la caída de potencial entre los extremos del SCR. La tensión aplicada v_i aparece entre los extremos del SCR hasta que empieza la conducción. Una vez disparado, la caída en el SCR es una constante igual a V_H. Cuando la tensión aplicada cae por debajo de V_H, la caída en el SCR vuelve a ser igual a la tensión aplicada.

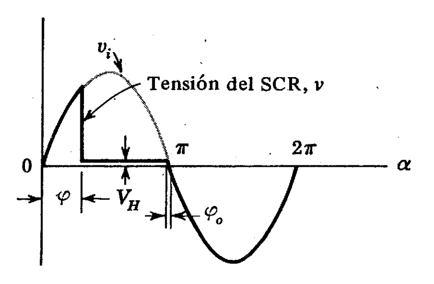


Fig. 18-32. Forma de onda de la tensión y corriente del ánodo del SCR. La conducción empieza en el ángulo φ y cesa a $(\pi - \varphi_o)$ grados. Como $V_m \gg V_o$, entonces $\varphi_o \approx 0$

La lectura en un voltímetro de continua aplicado a los extremos del SCR será

$$V_{dc} = \frac{1}{2\pi}\int_0^{2\pi} v\, d\alpha$$

$$= \frac{1}{2\pi}\left(\int_0^{\varphi} V_m \,\text{sen}\,\alpha\, d\alpha + \int_{\varphi}^{\pi-\varphi_o} V_H\, d\alpha + \int_{\pi-\varphi_o}^{2\pi} V_m \,\text{sen}\,\alpha\, d\alpha\right)$$

Esta integración da

$$V_{dc} = \frac{V_H}{2\pi}(\pi - \varphi_o - \varphi) - \frac{V_m}{2\pi}(\cos\varphi + \cos\varphi_o) \tag{18-71}$$

Si $V_m \gg V_H$, se reduce a

$$V_{dc} \approx -\frac{V_m}{2\pi}(1 + \cos\varphi) \tag{18-72}$$

La aparición del signo negativo significa que el cátodo es más positivo que el ánodo para la mayor parte del ciclo. Obsérvese que la diferencia de potencial de continua en la carga es la negativa de la tensión continua del SCR, debido al hecho de que la suma de las tensiones continuas en el total del circuito es nula.

Ejemplo. Se conecta una SCR, como en la Fig. 18-31, y suministra potencia a la resistencia de carga de 200 Ω partiendo de una fuente de alimentación de 230 V. Si la tensión de disparo se ajusta para que la conducción empiece 60° después del comienzo de cada ciclo, calcular las lecturas de los siguientes aparatos: (*a*) un amperímetro en serie con la carga que indique el verdadero valor eficaz; (*b*) un voltímetro conectado en paralelo con el SCR, que indique el verdadero valor eficaz; (*c*) un vatímetro conectado en el circuito de tal forma que indique la potencia total suministrada por la fuente de alimentación alterna. Despreciar la caída de potencial V_H en el SCR.

SOLUCION. Puesto que $V_m \gg V_H$, no se comete un gran error al suponer que la conducción continúa hasta el final de cada semiciclo positivo. La corriente instantánea a través del SCR y la caída de potencial en el mismo tendrán la forma dibujada en las Figs. 18-31 y 18-32 con $\alpha = 60°$ o $\pi/3$ rad.

a. En el intervalo entre 60 y 180°, la corriente instantánea viene dada por

$$i_L = \frac{230\sqrt{2}\,\text{sen}\,\alpha}{200} = 1{,}625\,\text{sen}\,\alpha$$

Un amperímetro de corriente alterna indicará el valor eficaz de la corriente [Ec. (4-15)]. Para la onda supuesta:

$$I_{\text{rms}} = \sqrt{\frac{1}{2\pi}\int_{\pi/3}^{\pi}(1{,}625\,\text{sen}\,\alpha)^2\, d\alpha} = \sqrt{0{,}533} = 0{,}73 \text{ A}$$

Los límites de la integración son 60° y 180°, y la corriente es nula fuera de este margen.

b. El voltímetro de alterna señalará el valor eficaz de la forma de onda bosquejada. Debemos observar que, entre 0 y $\pi/3$, la tensión del SCR iguala la tensión de línea; entre $\pi/3$ y π, es constante y de valor $V_H \approx 0$; y, entre π y 2π, vuelve a hacerse igual a la tensión de línea. Por lo tanto

$$V_{rms} = \sqrt{\frac{1}{2\pi}\left[\int_0^{\pi/3}(230\sqrt{2}\text{ sen }\alpha)^2\,d\alpha + \int_\pi^{2\pi}(230\sqrt{2}\text{ sen }\alpha)^2\,d\alpha\right]}$$

$$= 178 \text{ V}$$

c. La potencia instantánea procedente de la alimentación de alterna es el producto de la corriente instantánea de la línea por la tensión también instantánea de la misma. El vatímetro señalará el valor medio de este producto. Por lo tanto

$$P = \frac{1}{2\pi}\int_{\pi/3}^{\pi}(1{,}625\text{ sen }\alpha)(230\sqrt{2}\text{ sen }\alpha)\,d\alpha = 107\text{ W}$$

La integración sólo se extiende entre los valores de $\pi/3$ a π, ya que no puede haber potencia cuando la corriente es nula.

Funcionamiento con onda completa rectificada. En algunas aplicaciones, se desea gobernar elevadas corrientes continuas. Se puede emplear un SCR en serie con un puente de diodos (Fig. 4-20), como indica la Fig. 18-33, para este propósito, regulando el ángulo de conducción funcionando con onda completa rectificada. El tiempo durante el cual el SCR está en conducción, se denomina *ángulo de conducción.*

Circuito de control. El circuito de control más común es el de un oscilador de relajación para tener un control de la fase. Este circuito está dibujado en la Fig. 18-34*a*, en la que el dispositivo de conmutación puede ser una lámpara neón o un diodo disparador de tres, cuatro o cinco capas. El condensador C se carga a través de la resistencia R, partiendo de la fuente de alimentación V, hasta que el dispositivo de disparo alcanza su tensión de ruptura V_B. En este momento el dispositivo de conmutación pasa al estado de conducción, el condensador se descarga, a través de la puerta del SCR, hasta la tensión de mantenimiento V_H del *dispositivo conmutador,* tal como se indica en la Fig. 18-34*b*. El impulso de corriente de descarga ceba el SCR en un momento determinado por la constante de tiempo RC. El condensador retiene, después de la descarga, una tensión igual a la de mantenimiento, siempre y cuando el SCR esté en conducción y supuesto que la corriente i_D exceda la corriente de mantenimiento I_H del dispositivo conmutador. Cuando la tensión del ánodo del SCR se vuelve negativa, la unión puerta-cátodo queda con polarización inversa y el dispositivo D se corta. En este instante, el condensador empieza a cargarse otra vez desde V_H hasta V con una constante de tiempo RC. Si $t = 0$ es el punto de partida de la carga del condensador, la tensión v_C en el condensador viene dada por:

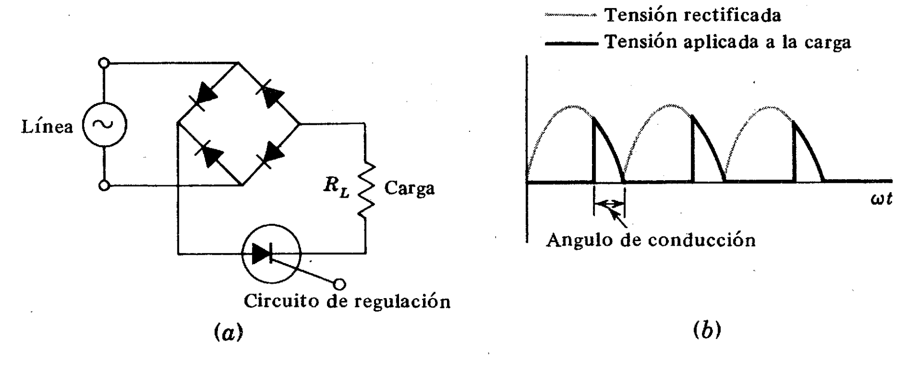
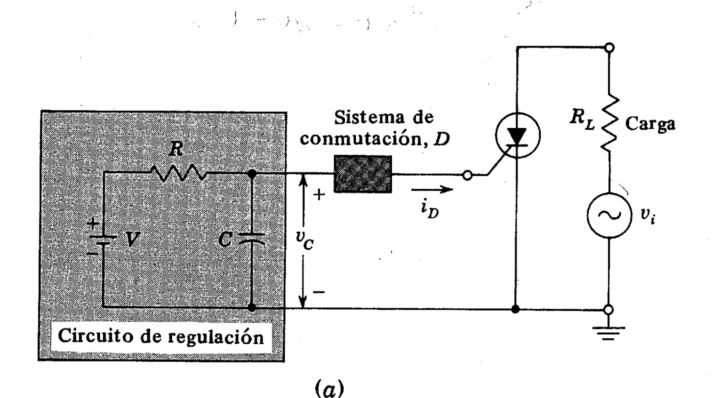


Fig. 18-33. (*a*) Regulación de potencia con rectificador de onda completa. La pequeña caída de tensión V_H en el SCR es despreciable. (*b*) Tensión rectificada y tensión aplicada a la carga

$$v_C - V_H = (V - V_H)(1 - \epsilon^{-t/RC}) \tag{18-73}$$



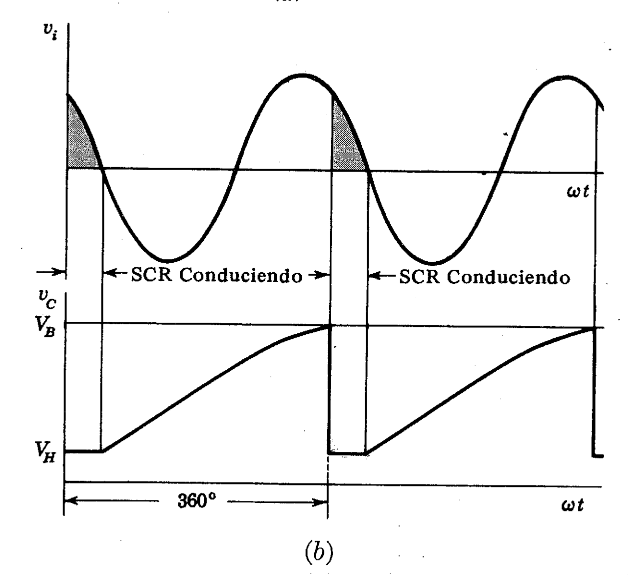


Fig. 18-34. (*a*) Circuito de regulación, con desplazamiento de fase mediante oscilador de relajación; (*b*) formas de onda de la tensión de ánodo y del circuito de regulación

Esta ecuación está de acuerdo con el hecho de que, para $t = 0$, v_C debe igualar la tensión de mantenimiento V_H, y a $t = \infty$, v_C debe ser igual a V. En muchos circuitos, para el funcionamiento a bajo coste, en lugar de una fuente de alimentación de tensión continua V, se utiliza la línea de alterna en serie con un rectificador que carga la red RC. En ese caso, no es posible emplear la Ec. (18-73) para obtener la tensión del condensador.

Ejemplo. Una fuente de potencia de 60 Hz se conecta al ánodo de un SCR, como indica la Fig. 18-34*a*. El SCR es el MCR 2304, y el condensador $C = 0{,}1\ \mu F$. Supóngase que $V = 60$ V y que $V_B = 32$ V es la tensión necesaria para disparar el elemento interruptor para el que $V_H = 10$ V e $I_H = 100\ \mu A$. Hallar R para un ángulo de conducción de 45°.

SOLUCION. De la Fig. 18-34 resulta claro que el ángulo de conducción de 45° requiere cargar el condensador durante 360 – 45 = 315°, o sea:

$$t_D = \frac{315}{360} \times \frac{1}{60} \text{ seg} = 14{,}6 \text{ m seg}$$

Si la tensión del ánodo es positiva, el SCR se cebará cuando $v_C = 32$ V. Así, empleando la Ec. (18-73), encontraremos:

$$32 - 10 = (60 - 10)[1 - \epsilon^{-(14{,}6 \times 10^{-3})/RC}]$$

o sea

$$RC = 25{,}2 \times 10^{-3} \text{ seg}$$

y

$$R = \frac{25{,}2 \times 10^{-3}}{0{,}1 \times 10^{-6}} = 252 \text{ K}$$

Para el correcto funcionamiento del circuito de acuerdo con la forma de onda de la Fig. 18-34*b*, es necesario que la corriente i_D exceda la corriente de mantenimiento I_H del dispositivo interruptor durante el intervalo de tiempo en que el SCR está en conducción. Si i_D cae por debajo de I_H, el dispositivo interruptor D se cortará y el condensador empezará a cargarse prematuramente hacia V.

Por tanto, se requiere que:

$$\frac{V - V_H}{R} > I_H$$

o sea:

$$\frac{60 - 10}{252} \text{ mA} \approx 200\ \mu A > 100\ \mu A$$

Gobierno de corriente alterna. Muchas veces es preciso controlar continuamente la potencia disipada por la carga. Se pueden emplear dos SCR conectados en oposición o un triac único para controlar tanto la semionda negativa como la positiva de la línea de alterna. Las figuras 18-35*a* y *b* indican dos circuitos sencillos de control de potencia. El circuito de control de fase determina cuándo se dispara el triac o uno de los SCR conectando la carga a la línea. La figura 18-36 esquematiza un regulador de luz de 800 W.

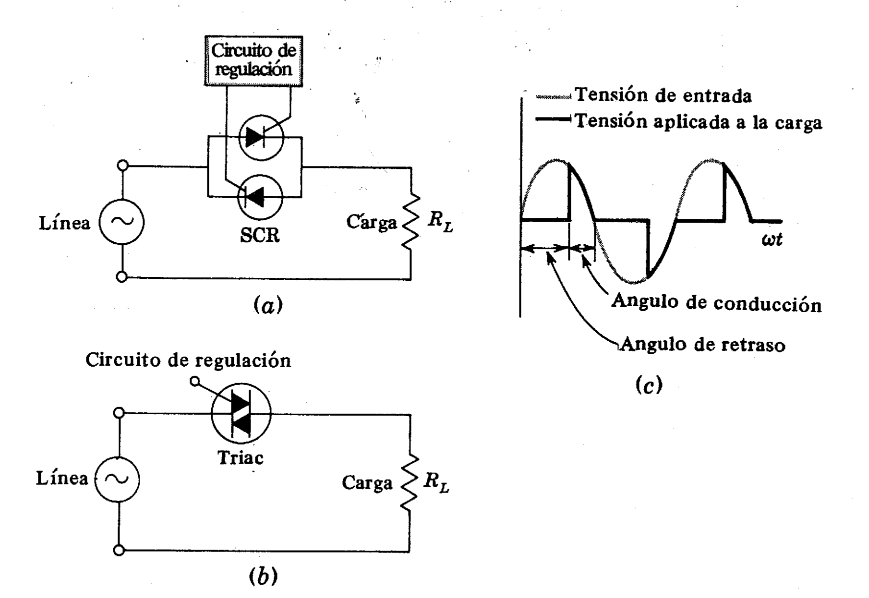


Fig. 18-35. Regulador de potencia que emplea (*a*) dos SCR. (*b*) Un triac. La pequeña caída de potencial (~ 1 V) a través del SCR o del triac es despreciable. (*c*) Tensión de entrada y tensión aplicada a la carga, mostrando los ángulos de retraso y de conducción

La potencia de salida, y por tanto la intensidad de luz, puede variarse regulando la fase de conducción del triac. La diferencia de potencial entre las placas del condensador C_2 retrasa respecto a la tensión alterna de la línea un cierto número de grados, determinado por el valor de la resistencia variable R_1. El interruptor bidireccional a diodo MPT 20 tiene una tensión de ruptura V_B igual a 20 V. Cuando la tensión alcanza 20 V en el condensador C_2, el diodo entra en conducción y el condensador se descarga en la puerta del triac que a su vez entra en conducción (en ambos semiciclos de la tensión de línea).

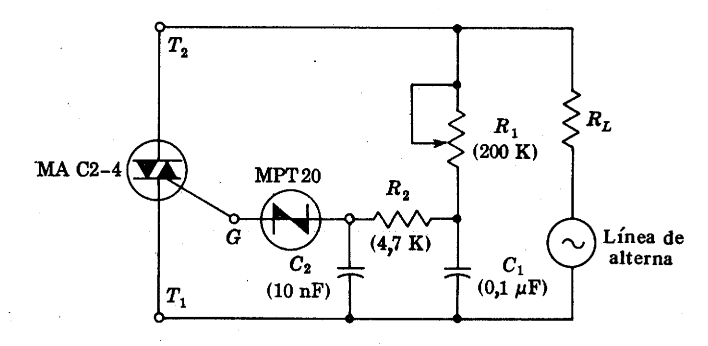


Fig. 18-36. Sistema de regulación de luz de 800 W con triac. (Cortesía de Motorola Semiconductor Products, Inc.)

REFERENCIAS

1. Espley, D. C.: "The Calculation of Harmonic Production in Thermionic Valves with Resistive Loads", *Proc. IRE,* vol. 21, pp. 1439-1446, octubre de 1933.
   Chaffee, E. L.: "A Simplified Harmonic Analysis", *Rev. Sci. Instr.,* vol. 7, pp. 384-389, octubre de 1936.
   Block, A.: "Distortion in Valves with Resistive Loads", *Wireless Eng.,* vol. 16, pp. 592-596, diciembre de 1939.
2. Millman, J.: "Vacuum-tube and Semiconductor Electronics", p. 419, McGraw-Hill Book Company, Nueva York, 1958.
3. Gordon, M.: "Class B Audio Frequency Amplification", *Wireless Eng.,* vol. 16, pp. 457-459, septiembre de 1939.
   Woll, H. J.: "Low-frequency Amplifiers", en la obra de L. P. Hunter (ed.), "Handbook of Semiconductor Electronics", 2.ª ed., cap. 11, McGraw-Hill Book Company, Nueva York, 1962.
   Lo, A. W., y otros.: "Transistor Electronics", pp. 197-224, Prentice-Hall, Inc., Englewood Cliffs, N. J., 1956.
4. Lohman, R. D.: "Complementary Symmetry Transistor Circuits", *Electronics,* vol. 26, pp. 140-143, septiembre de 1953.
5. Ref. 2, pp. 424-430.
6. "Semiconductor Power Circuits Handbook", pp. 5-30 a 5-33, Motorola Semiconductor Products, Inc., Applications Engineering Department, Phoenix, Ariz., 1968.
7. Ehrsam, W.: "Audio Power Generation Using IC Operational Amplifiers", *Motorola Semiconductor Products, Inc., Appl. Note* AN-275.
8. Wilson, E. C. y R. T. Windecker: "DC Regulated Power Supply Design", *Solid-State J.,* noviembre de 1961, pp. 37-46.
9. Texas Instruments, Inc.: "Transistor Circuit Design", cap. 9, McGraw-Hill Book Company, Nueva York, 1963.
10. Moores, H. T.: "Design Procedure for Power Transistors", 2.ª parte, *Electron. Design,* septiembre de 1955, pp. 43-45.
11. Kesner, D.: "Monolithic Voltage Regulators", *IEEE Spectrum,* vol. 7, no. 4, pp. 24-32, abril de 1970.
12. Moll, J. L., M. Tannenbaum, J. M. Goldey, y N. Holonyak: p-n-p-n Switches, *Proc. IRE,* vol. 44, pp. 1174-1182, 1956.
13. Gentry, F. E.: "Semiconductor Controlled Rectifiers", pp. 139-141, Prentice Hall, Inc. Englewood Cliffs, N. J., 1964.
14. "Transistor Manual", 7.ª ed. Cap. 16, General Electric Company, Syracuse, N. Y., 1964.
15. "Semiconductor Power Circuits Handbook", Motorola Semiconductor Products, Inc., Phoenix, Ariz., 1968.
16. Ref. 13, pp. 142 - 148.
17. Gentry, F. E.: "Semiconductor Controlled Rectifiers", cap. 8, Prentice-Hall, Inc. Englewood Cliffs, N. J., 1964.

TEMAS DE REPASO

18-1 Obtener la expresión de la potencia de salida de un amplificador para señales grandes en clase A en función de V_{max}, V_{min}, I_{max} e I_{min}.
18-2 Discutir cómo tiene lugar la rectificación en un amplificador de potencia.
18-3 Definir la *distorsión de intermodulación.*
18-4 Describir el método de cinco puntos para calcular la distorsión armónica.
18-5 Dibujar el esquema de una etapa de salida con un solo transistor acoplado, con transformador y explicar por qué es necesario que las impedancias estén acopladas.
18-6 Explicar por qué el circuito del tema 18-5 presenta un máximo en la curva de la potencia de salida en función de la resistencia de carga.
18-7 (*a*) Definir el *rendimiento de la conversión* η de una etapa de potencia. (*b*) Obtener una expresión simple de η. (*c*) Comparar el rendimiento máximo de una etapa de potencia de un solo transistor en clase A, con alimentación en serie o acoplada por transformador.
18-8 (*a*) Explicar por qué no existen los armónicos pares en un amplificador en contrafase. (*b*) Indicar dos ventajas adicionales de este circuito, respecto al amplificador con un solo transistor.
18-9 Obtener la expresión simplificada de la potencia de salida de un amplificador de potencia ideal clase B en contrafase.
18-10 Demostrar que el máximo rendimiento de conversión de un circuito ideal en contrafase de clase B, es del 78,5 %.
18-11 Empleando dos transistores de silicio complementarios, dibujar un circuito amplificador en contrafase de clase B sencillo, en el que no se emplee transformador de salida.
18-12 (*a*) Explicar el origen de la distorsión de cruce. (*b*) Indicar el método para minimizar esta distorsión.
18-13 Dibujar el circuito de un amplificador de potencia de clase AB empleando un amplificador operacional con salida diferencial y dos transistores de potencia discretos complementarios.
18-14 (*a*) Dibujar el esquema simplificado del circuito de una fuente de alimentación regulada. (*b*) ¿Qué tipo de realimentación se emplea en este tipo de regulador?
18-15 Citar tres razones por las que una fuente de alimentación no regulada no es suficientemente buena para algunas aplicaciones.
18-16 Definir *factor de regulación de entrada, resistencia de salida* y *coeficiente de temperatura* de un regulador de tensión.
18-17 Explicar dos métodos para disminuir el valor de S_V en un regulador de tensión en serie.
18-18 ¿Qué es un prerregulador a transistores? Dibujar el esquema del circuito.
18-19 Dibujar un circuito de protección contra sobrecargas de cortocircuito, y explicar su funcionamiento.
18-20 Indicar los márgenes de tensión y de corriente de los reguladores de tensión integrados comerciales.
18-21 ¿Cómo se facilita la protección contra las corrientes de cortocircuito de un regulador de tensión integrado? Dibujar el esquema del circuito.
18-22 Describir tres ventajas de los reguladores de tensión integrados.
18-23 (*a*) Explicar por qué los diodos de silicio *p-n-p-n* pueden existir en dos estados. (*b*) ¿Por qué no es posible construir un interruptor *p-n-p-n* de germanio?
18-24 Dibujar la característica tensión-corriente de un diodo de cuatro capas.
18-25 Indicar el orden de magnitud de la corriente y de la tensión de mantenimiento de un diodo de cuatro capas.
18-26 Describir el efecto de la velocidad en un diodo *p-n-p-n.*
18-27 Para un diodo interruptor bilateral, esbozar (*a*) su sección transversal y (*b*) su característica tensión-corriente.
18-28 Dibujar la característica tensión-corriente de un rectificador gobernado de silicio (SCR) en función de la corriente de puerta.
18-29 (*a*) Describir un *triac.* (*b*) Dibujar la sección transversal de un triac.

18-30 (*a*) Dibujar un circuito de media onda con un SCR. (*b*) Indicar la forma de onda de la corriente y de la tensión del SCR.

18-31 (*a*) Dibujar un circuito de regulación de potencia de onda completa con SCR. (*b*) Indicar el control de la forma de onda de la tensión y de la corriente.

18-32 (*a*) Dibujar un circuito de gobierno del SCR por desplazamiento de fase, empleando un circuito de relajación *RC*. (*b*) Explicar el funcionamiento de este circuito empleando las formas de onda adecuadas.

18-33 (*a*) Indicar el circuito de un regulador de luz, empleando un triac y un control de fase. (*b*) Explicar cómo se regula la intensidad de luz con este circuito.

19

Física de los sistemas semiconductores

En el presente capítulo las estadísticas de Fermi-Dirac son aplicadas a un metal y a un semiconductor. Se da la estructura a bandas de la unión *p-n*, y se explica la característica tensión-corriente del diodo túnel. Más adelante, se estudia la ecuación de continuidad. Se hacen análisis cuantitativos de las componentes de corriente en un diodo, y se obtienen las ecuaciones de Ebers-Moll para un transistor.

19-1. DISTRIBUCION DE LA ENERGIA DE LOS ELECTRONES EN UN METAL

Es importante conocer qué energías posee un portador móvil en un sólido. Esta relación se denomina *función de la distribución de energía.* En está sección, la explicación se limita a los electrones libres del metal, y en las siguientes secciones se generalizará para incluir los electrones y los huecos móviles de los semiconductores. En primer lugar, vamos a comentar la variación de potencial en un metal.

Imagen simplificada de la energía potencia de un metal. La región en la que se encuentran los electrones libres por sí mismos constituye un nivel de potencial o región equipotencial. Solamente hay una variación apreciable del potencial en las proximidades de un ión. Como las regiones de variación brusca de potencial representan, no obstante, una porción muy pequeña del volumen total del metal, en adelante supondremos que la distribución del campo es equipotencial y que los electrones libres no están sujetos a fuerza alguna. Esta premisa es fundamentalmente la de la electrostática clásica.

En la Fig. 19-1 se han omitido todas las variaciones de potencial en el interior del metal y sólo se incluye la barrera de potencial de la superficie. Un electrón de conducción puede moverse libremente en el interior del metal, pero no puede escapar más allá de su superficie si su energía es menor que E_B. La existencia de la barrera superficial se entiende rápidamente. Si el electrón trata de escapar del metal, inducirá una carga positiva en la superficie, debido a que el metal es inicialmente neutro. Habrá una fuerza de atracción

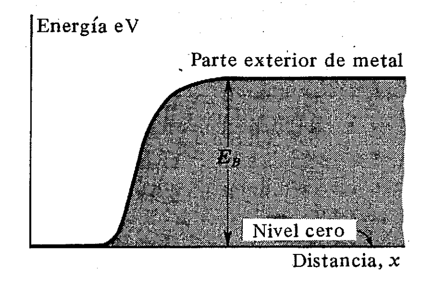


Fig. 19-1. Para los electrones libres, el interior del metal se puede considerar como un volumen equipotencial, pero en la superficie hay una barrera de potencial

entre esta carga inducida y el electrón. A menos que el electrón posea energía suficiente para salirse fuera de la región de influencia de esta fuerza imagen, forzosamente volverá al metal. Por lo tanto, existe una barrera de potencial en la superficie. Interesa conocer si hay algún electrón en el interior, con suficiente energía E_B para escapar. En otras palabras, necesitamos conocer la distribución de energía de los electrones libres del metal. Haremos una breve digresión para aclarar qué se entiende por función de distribución.

Densidad en edad. Supongamos que nos interesa la distribución en edad de los habitantes de los Estados Unidos. Un camino racional para ver esta relación se indica en la Fig. 19-2, en la que la abscisa es la *edad* y la ordenada es ρ_A, *la densidad* de la población en cuanto a edad. Esta densidad da el número dn_A de personas cuya edad está comprendida en el intervalo entre A y $A + dA$, o sea:

$$dn_A = \rho_A \, dA \tag{19-1}$$

Los datos para obtener la curva se obtienen de la información del censo. Vemos, por ejemplo, que el número de personas de edades comprendidas entre 10 y 12 años está representado por dn_A, con $\rho_A = 2{,}25$ millones por año escogida como la ordenada media

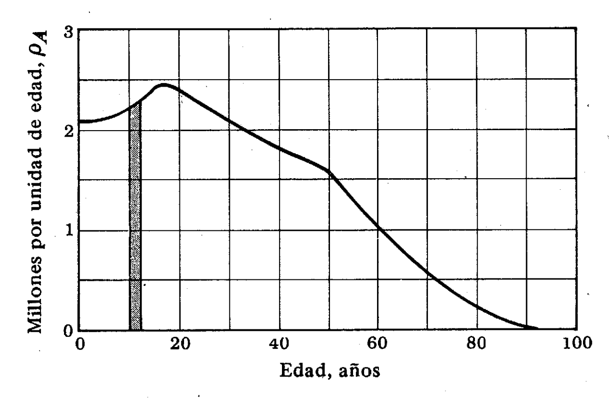


Fig. 19-2. Función de distribución en edad de los habitantes de los Estados Unidos

entre 10 y 12 años, y dA está tomado como $12 - 10 = 2$ años. Así, $dn_A = \rho_A \, d_A = 4{,}50$ millones. Geométricamente, esto es el área sombreada de la Fig. 19-2. Evidentemente, la población total n viene dada por:

$$n = \int dn_A = \int \rho_A \, dA \tag{19-2}$$

o simplemente el área total comprendida entre la curva y el eje de abscisas.

Densidad de energía. Vamos a tratar ahora de la distribución en energía de los electrones libres de un metal. Por analogía con la Ec. (19-2), podemos escribir:

$$dn_E = \rho_E \, dE \tag{19-3}$$

en la que dn_E representa el número de electrones libres por metro cúbico cuya energía está en el intervalo dE, y ρ_E es la densidad de electrones en este intervalo. Como nuestro interés queda reducido tan sólo a los electrones libres, supondremos que no hay variaciones de potencial en el metal. De ahí que, a priori, deba haber el mismo número de electrones en cada metro cúbico del metal. Es decir, la densidad espacial (electrones por metro cúbico) es constante. Sin embargo, en cada unidad de volumen del metal habrá electrones con todas las energías posibles. Esta distribución de energía se expresa por ρ_E (número de electrones por electrón-volt y por metro cúbico de metal).

La función ρ_E puede expresarse como el producto:

$$\rho_E = f(E) N(E) \tag{19-4}$$

en el que $N(E)$ es la densidad de estados (número de estados por electrón-volt y por metro cúbico) en la banda de conducción, y $f(E)$ es la probabilidad de que un estado cuántico con energía E esté ocupado por un electrón.

La expresión de $N(E)$ que se obtendrá en las secciones siguientes viene dada por:

$$N(E) = \gamma E^{1/2} \tag{19-5}$$

donde γ es una constante definida por:

$$\gamma \equiv \frac{4\pi}{h^3} (2m)^{\frac{3}{2}} (1{,}60 \times 10^{-19})^{\frac{3}{2}} = 6{,}82 \times 10^{27} \tag{19-6}$$

Las dimensiones de γ son $(m^{-3})(e\,V)^{-\frac{3}{2}}$; m es la masa del electrón en kilogramos; y h es la constante de Planck en joule-segundo.

19-2. FUNCION DE FERMI-DIRAC

La ecuación de $f(E)$ se denomina *función de probabilidad de Fermi-Dirac,* y determina la fracción del total de estados de energía E (electrón-volt) ocupados bajo condiciones de equilibrio térmico. Por estadísticas de cuántica, se deduce[1,2] que

$$f(E) = \frac{1}{1 + \epsilon^{(E-E_F)/kT}} \tag{19-7}$$

donde k = constante de Boltzmann, eV/°K
T = temperatura en °K
E_F = *Nivel de Fermi,* o *energía característica,* del cristal, eV.

El nivel de Fermi representa el estado de energía con el 50 % de probabilidad de ser ocupado si no existe banda prohibida. La razón para esta última premisa es que, si $E = E_F$, entonces $f(E) = \frac{1}{2}$ para cualquier valor de temperatura. La Fig. 19-3*a* da la curva de $f(E)$ en función de $E - E_F$ y la Fig. 19-3*b* da $E - E_F$ en función de $f(E)$, ambas a 0 °K y a valores mayores de temperatura. Cuando $T = 0$ °K, existen dos condiciones posibles: (1) si $E > E_F$, el término exponencial se transforma en infinito y $f(E) = 0$. En consecuencia, *no hay ninguna probabilidad de encontrar un estado cuántico ocupado de energía mayor que E_F a la temperatura del cero absoluto.* (2) Si $E < E_F$, la exponencial de la Ec. (19-7) pasa a ser cero y $f(E) = 1$. Todos los niveles cuánticos con energías menores que E_F, estarán ocupados a $T = 0$ °K.

De las ecuaciones (19-4), (19-5) y (19-7), obtendremos que, a la *temperatura del cero absoluto:*

$$\rho_E = \begin{cases} \gamma E^{1/2} & \text{para } E < E_F \\ 0 & \text{para } E > E_F \end{cases} \tag{19-8}$$

Naturalmente, no hay electrones a 0 ° K con energías que excedan a E_F. Es decir, la energía de Fermi es la máxima energía que cualquier electrón puede poseer en el cero absoluto. La relación representada por la Ec. (19-8) se denomina *función de distribución de energía completamente degenerada.* Dicho en forma clásica, todas las partículas deberían tener energía cero a 0 ° K. El hecho de que los electrones tengan energías que se extienden desde 0 a E_F en el cero absoluto, es consecuencia del principio de exclusión de Pauli, que dice que dos electrones no pueden tener iguales los números cuánticos (Sec. 1-6). De ahí que no todos los electrones puedan tener la misma energía ni aún a 0 ° K.

En la Fig. 19-4 se indica la curva de distribución de energía dada por las Ecs. (19-4) y (19-8) para un metal a $T = 0$ ° K y a $T = 2\,500$ ° K. El área abarcada por cada curva es,

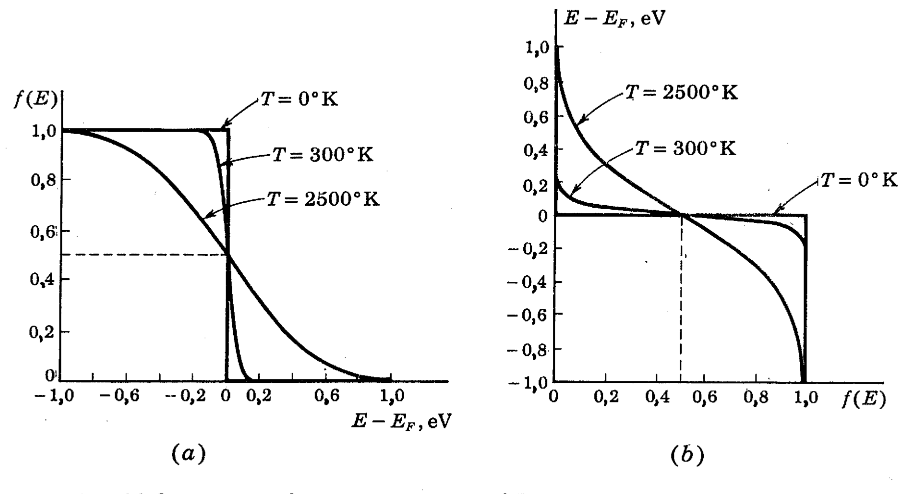


Fig. 19-3. La función de Fermi-Dirac $f(E)$ da la probabilidad de que un estado de energía E esté ocupado

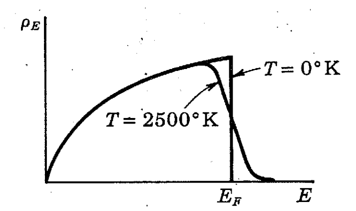


Fig. 19-4. Distribución de energía en un metal a 0 y a 2 500 ° K

simplemente, el número total de electrones libres por metro cúbico del metal; por lo tanto, las dos áreas deben ser iguales. Asimismo, todas las curvas de cualquier temperatura deben pasar por la misma ordenada, $\rho_E = \gamma E_F^{1/2}/2$, en el punto $E = E_F$, ya que de la Ec. (19-7), $f(E) = \frac{1}{2}$ para $E = E_F$.

La característica más importante que hemos observado es que la función de distribución cambia muy poco con la temperatura aunque ésta varíe considerablemente (hasta 2 500 °K). El efecto de las temperaturas elevadas es, meramente, dar mayor energía a los electrones que la tengan ya elevada en el cero absoluto (los que están cerca de E_F); en cambio, los que la tenían baja quedan prácticamente inalterados. Puesto que la curva a $T = 2\,500$ °K se aproxima asintóticamente al eje de energías, hay pocos electrones que tengan valores elevados de energía.

Nivel de Fermi. Se puede obtener una expresión de E_F partiendo de la función completamente degenerada. El área comprendida en la curva de la Fig. 19-4 representa el número total de electrones libres (como siempre, por metro cúbico de metal). Así,

$$n = \int_0^{E_F} \gamma E^{1/2}\, dE = \tfrac{2}{3}\gamma E_F^{\frac{3}{2}}$$

o sea

$$E_F = \left(\frac{3n}{2\gamma}\right)^{\frac{2}{3}} \tag{19-9}$$

Incluyendo el valor numérico ($6{,}82 \times 10^{27}$) de la constante γ en esta expresión, resultará:

$$E_F = 3{,}64 \times 10^{-19} n^{\frac{2}{3}} \tag{19-10}$$

Puesto que la densidad n varía de un metal a otro, E_F también variará según los metales. Conociendo el peso específico, el peso atómico y el número de electrones libres por átomo, es fácil calcular n y también E_F. Para la mayor parte de los metales, el valor numérico de E_F es menor de 10 eV.

19-3. DENSIDAD DE ESTADOS

Como paso preliminar en la obtención de la función de la densidad $N(E)$, demostraremos primero que los componentes del momento de un electrón en un metal están cuantificados. Consideremos un metal en forma de cubo, en el que cada lado tenga una longitud L. Supongamos que el interior del metal tiene un potencial constante igual a cero, pero

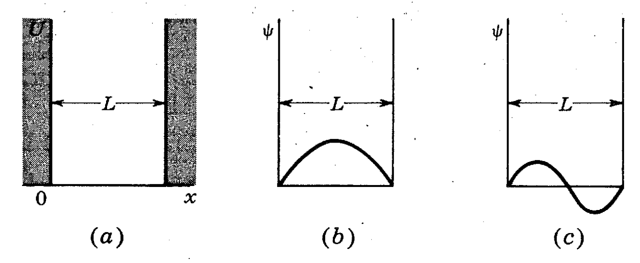


Fig. 19-5 (a) Problema unidimensional en el que el potencial U es cero a la distancia L, pero cambia bruscamente hasta el infinito en $x = 0$ y $x = L$. (b,c) Dos funciones de onda posibles para un electrón en el sistema descrito por (a)

que la barrera de energía potencial (Fig. 19-1) en la superficie es arbitrariamente elevada, de forma que los electrones no puedan escapar. Por lo tanto, las funciones de onda [Sec. (1-5)] que representan los electrones deben ser cero fuera del metal y en la superficie. La Fig. 19-5*a* da un modelo unidimensional del diagrama de energía potencial, y las Figs. 19-5*b* y *c* indican dos posibles funciones de onda. Naturalmente, esta situación sólo es posible si la dimensión L es múltiplo entero de la semilongitud de onda λ de De Broglie, o sea:

$$L = n_x \frac{\lambda}{2} \tag{19-11}$$

donde n_x es un número entero y positivo (no cero). De la relación de De Broglie (1-15), $\lambda = h/p_x$ y la componente x del momento será:

$$p_x = \frac{n_x h}{2L} \tag{19-12}$$

Por lo tanto, el momento está cuantificado, ya que p_x sólo puede asumir valores que sean múltiplos enteros de $h/2L$.

La energía W (en joule) del electrón en este problema unidimensional será:

$$W = \frac{p_x^2}{2m} = \frac{n_x^2 h^2}{8mL^2} \tag{19-13}$$

La naturaleza ondulatoria del electrón nos lleva a la conclusión de que su energía también debe estar cuantificada. Puesto que $n_x = 1, 2, 3, \ldots$, la energía más pequeña posible será $h^2/8mL^2$, el siguiente nivel de energía será $h^2/2mL^2$, etcétera.

Estados cuánticos en un metal. Los resultados anteriores pueden generalizarse a tres dimensiones. Para un electrón en un cubo de metal, cada componente del momento está cuantificada. Así:

$$p_x = n_x \rho \qquad p_y = n_y \rho \qquad p_z = n_z \rho \tag{19-14}$$

donde $\rho \equiv h/2L$, y n_x, n_y y n_z son enteros positivos. Se puede realizar una representación

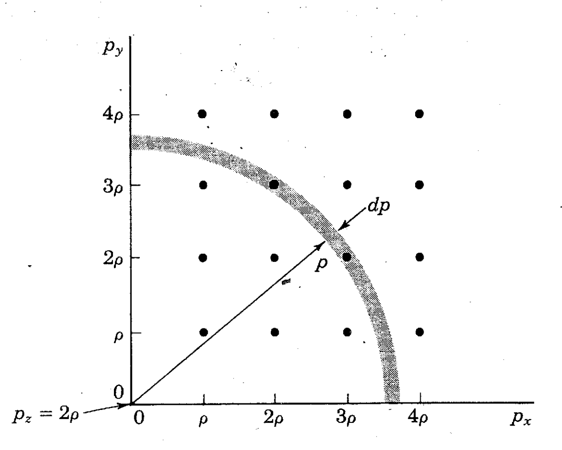


Fig. 19-6. El plano p_x-p_y en el espacio de momentos. Cada punto representa tres números cuánticos, n_x, n_y y $n_z = 2$. Hay dos electrones por punto, correspondiente a los dos valores posibles del spin.

gráfica interesante construyendo tres ejes perpendiculares entre sí, señalados como p_x, p_y y p_z. A este volumen se le denomina *espacio de momentos*. Los únicos puntos que pueden ser ocupados por un electrón en el espacio de momentos son los dados por la Ec. (19-14); están indicados en la Fig. 19-6, en la que, para mayor claridad, sólo se han marcado los puntos de un plano para un valor fijo de p_z (por ejemplo $p_z = 2\rho$). Por el principio de exclusión de Pauli (Sec. 1-6), dos electrones dentro de un metal no pueden tener los cuatro números cuánticos iguales, n_x, n_y, n_z y el número spin s. Cada punto de la Fig. 19-6 representa dos electrones, uno de $s = ½$ y otro de $s = -½$.

Hallemos ahora la función de densidad de energía $N(E)$. Puesto que en la Fig. 19-6 hay un punto por volumen ρ^3 del espacio de momentos, la densidad de electrones en este espacio será $2/\rho^3$. El valor del momento será $p = (p_x^2 + p_y^2 + p_z^2)^{1/2}$. Los electrones con momentos comprendidos entre p y $(p + dp)$ son los comprendidos en la parte esférica sombreada de la Fig. 19-6. Este número es:

$$\frac{2}{\rho^3}(4\pi p^2\, dp)\left(\frac{1}{8}\right) = \frac{\pi p^2\, dp}{(h/2L)^3} = \frac{8\pi L^3 p^2\, dp}{h^3} \tag{19-15}$$

El factor 1/8 introducido en esta ecuación, es debido a que sólo son posibles valores positivos de n_x, n_y, n_z y, por lo tanto, sólo cabe emplear la parte del casquete del primer octante.

Si W es la energía (en joule), entonces $W = p^2/2m$, y por tanto:

$$p = (2mW)^{1/2} \qquad p\, dp = m\, dW \qquad p^2\, dp = 2^{1/2} m^{3/2} W^{1/2}\, dW \tag{19-16}$$

Si $N(W)$ es la densidad de estados (por metro cúbico), entonces, como el volumen del metal es L^3, se obtiene de la Ec. (19-15) que

$$N(W)\, dW = \frac{8\pi p^2\, dp}{h^3} \tag{19-17}$$

da el número de electrones con momento comprendido entre p y $(p + dp)$, correspondiente a energías entre W y $(W + dW)$. Sustituyendo $p^2 dp$ de la Ec. (19-16) en la Ec. (19-17), obtendremos finalmente

$$N(W)\,dW = \frac{4\pi}{h^3}(2m)^{3/2} W^{1/2}\,dW \qquad (19\text{-}18)$$

Si empleamos electrón-volt en lugar de joule como unidad de energía, entonces, puesto que $W = 1{,}60 \times 10^{-19}\ E$ (Sec. 1-3), la densidad de energía $N(E)$ viene dada por la Ec. (19-5), con la γ definida en la Ec. (19-6).

19-4. EMISION ELECTRONICA DE UN METAL

Para que un electrón escape de la superficie de un metal, es preciso que su energía sea por lo menos igual a la altura de la barrera de potencial E_B de la Fig. 19-1. La curva de la distribución de energía de la Fig. 19-4 indica la energía de los electrones en el interior del metal. De esta manera, cabe combinar los dos diagramas para que indiquen cuáles electrones pueden escapar. Si se vuelve a dibujar la Fig. 19-4, pero con el eje vertical como eje de energías y el horizontal como de densidad de energía, puede colocarse al lado de la Fig. 19-1, cuyo eje vertical también representa energía. Esta construcción aparece en la Fig. 19-7.

Función trabajo. A 0 °K es imposible que un electrón pueda escapar del metal, debido a que para esto precisa una cantidad de energía igual a E_B, y la máxima que puede poseer solamente es E_F. Será necesario añadir una cierta cantidad de energía igual a la diferencia entre E_B y E_F para que sea posible el escape. Esta diferencia, representada por E_W, se conoce con el nombre de *función de trabajo* del metal.

$$E_W \equiv E_B - E_F \qquad (19\text{-}19)$$

Por lo tanto, la función de trabajo de un metal representa la cantidad mínima de energía que se debe dar al electrón más rápido en el cero absoluto de temperatura, para que este electrón pueda escapar del metal.

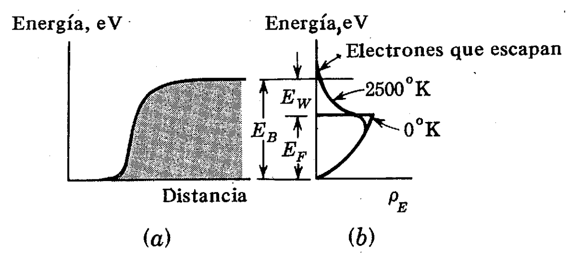


Fig. 19-7. (*a*) Barrera de energía potencial en la superficie del metal. (*b*) Distribución en energía de los electrones libres. Sólo los electrones del extremo de la curva, para $E > E_B$, pueden escapar

Emisión termoiónica. Las curvas de la Fig. 19-7 muestran que los electrones de un metal al cero absoluto se distribuyen, en cuanto a energías, en un intervalo cuyo valor va desde cero a la máxima energía E_F. Como un electrón debe poseer una energía por lo menos de E_B para poder escapar, ningún electrón dejará el metal. Supongamos ahora que el metal, en forma de filamento, se calienta mediante una corriente que circule por él. La energía térmica se comunica entonces a los electrones de la red cristalina del metal caliente. La distribución de energía de los electrones cambia, ya que se aumenta la temperatura, tal como indica la Fig. 19-7. Algunos de los electrones representados por la extremidad de la curva tendrán energías mayores que E_B y en consecuencia podrán escapar del metal.

Empleando la expresión analítica de la función de distribución, se puede calcular el número de electrones que llegan a la superficie del metal, por segundo, con suficiente energía para sobrepasar la barrera superficial y por lo tanto escapar. Basándonos en tales cálculos,[1,3] la corriente termoiónica expresada en ampere viene dada por:

$$I_{th} = SA_o T^2 \epsilon^{-E_W/kT} \qquad (19\text{-}20)$$

donde S = área del filamento en m^2
A_o = una constante cuyas dimensiones son $A/m^2\ °K^2$
T = Temperatura en °K
k = constante de Boltzmann, eV/°K
E_W = función de trabajo, eV

La ecuación (19-20) se denomina de la *emisión termoiónica,* de *Dushman,* o de *Richardson.* La función de trabajo E_W se conoce también con el nombre de "calor latente de evaporación de los electrones" del metal, por la analogía entre la emisión electrónica y la evaporación de las moléculas de un líquido.

La emisión termoiónica es una función muy sensible a la temperatura. Para el tungsteno (E_W = 4,5 eV), encontramos que un cambio del 1 % en la T engendra una variación del 24 % en I_{th} trabajando a una temperatura normal de 2 400 °K. Esta premisa puede comprobarse hallando la derivada del logaritmo natural de la Ec. (19-20), para obtener dI_{th}/I_{th} en función de dT/T.

Energía de los electrones emitidos. Ya que, en el metal, los electrones tienen una cierta distribución de energía, es lógico que los electrones escapados la tengan también. Esto es fácil de demostrar experimentalmente. Vamos a considerar un plano emisor y otro plano paralelo colector. La corriente se mide como función de la tensión de retraso V_r (el emisor positivo respecto al colector). Si todos los electrones dejaran el cátodo con la misma energía, la corriente permanecería constante hasta alcanzar una tensión determinada, y entonces caería bruscamente a cero. Por ejemplo, si todos tuvieran 2 eV de energía, cuando la tensión de retardo fuera mayor que 2 V los electrones no sobrepasarían la barrera de potencial entre cátodo y ánodo, y las partículas no podrían ser absorbidas por el colector. Experimentalmente, no se encuentra tal caída súbita de corriente, sino que hay un decrecimiento exponencial de corriente I en función de la tensión, de acuerdo con la ecuación:

$$I = I_{th}\epsilon^{-V_r/V_T} \qquad (19\text{-}21)$$

en la que V_T es la "tensión equivalente de temperatura", definida por

$$V_T \equiv \frac{\bar{k}T}{q} = \frac{T}{11.600} \tag{19-22}$$

donde $\bar{k}$ es la constante de Boltzmann en joule por grado Kelvin. Obsérvese la diferencia entre $\bar{k}$ y k; la última es la constante de Boltzmann en electrón-volt por grado Kelvin. (Los valores numéricos de $\bar{k}$ y k vienen dados en el apéndice A. De la Sec. 1-3 se deduce que $\bar{k} = 1{,}60 \times 10^{-19} k$.)

La Ec. (19-21) puede obtenerse teóricamente de la siguiente manera: Puesto que I_{th} es la corriente para una tensión de retardo cero, la corriente obtenida cuando se aumenta la altura de la barrera en E_r está determinada por el segundo miembro de la Ec. (19-20), cambiando E_W por $E_W + E_r$. Por lo tanto,

$$I = SA_oT^2 \epsilon^{-(E_W + E_r)/kT} = I_{th}\epsilon^{-E_r/kT} \tag{19-23}$$

De las Ecs. (1-7) y (19-22) se obtiene:

$$\frac{E_r}{kT} = \frac{qV_r}{1{,}60 \times 10^{-19} kT} = \frac{V_r}{V_T} \tag{19-24}$$

Con lo que la Ec. (19-21) se obtiene de la Ec. (19-23).

Por la Ec. (19-21) vemos que sólo el 1,4 % de los electrones del tungsteno a 2 700 °K tienen energía que excede de 1 eV. Si el cátodo es un emisor con recubrimiento de óxidos, trabajando a 1 000 °K, un cálculo parecido demuestra que sólo el 0,001 % de los electrones tienen una energía mayor que 1 eV. Estos valores numéricos indican que la mayor parte de los electrones del filamento incandescente se emiten con velocidades iniciales extremadamente pequeñas. Un análisis estadístico[2,3] demuestra que la energía media de los electrones escapados es $2kT$, y por lo tanto, trabajando a temperaturas de 2 700 y 1 000 °K, la energía media de los electrones emitidos es de 0,47 y 0,17 eV, respectivamente.

19-5. CONCENTRACION DE PORTADORES EN UN SEMICONDUCTOR INTRINSECO

Para calcular la conductividad de un semiconductor a partir de la Ec. (2-17) es preciso conocer la concentración de electrones libres n y la concentración de huecos p. De las Ec. (19-3) y (19-4), con E en electrón-volt,

$$dn = N(E)f(E)\,dE \tag{19-25}$$

en la que dn representa el número de electrones de conducción por metro cúbico cuyas energías están comprendidas entre E y $E + dE$. La densidad de estados $N(E)$ se obtiene en la Sec. 19-3, en el supuesto de que la parte inferior de la banda de conducción tenga potencial cero. En un semiconductor, la menor energía en la banda de conducción es E_C y, por lo tanto, la Ec. (19-5) puede generalizarse de la siguiente manera:

$$N(E) = \gamma(E - E_C)^{1/2} \qquad \text{para } E > E_C \tag{19-26}$$

La funcion de Fermi $f(E)$ viene dada por la Ec. (19-3), es decir:

$$f(E) = \frac{1}{1 + \epsilon^{(E - E_F)/kT}} \tag{19-27}$$

A la temperatura ambiente, $kT \approx 0{,}03$ eV, de modo que $f(E) = 0$ si $E - E_F \gg 0{,}03$; y $f(E) = 1$ si $E - E_F \ll 0{,}03$ (Fig. 19-3). Vamos a demostrar que el nivel de Fermi está en la región media entre las bandas de valencia y de conducción, como se indica en la Fig. 19-8*a*. Este diagrama muestra la distribución de Fermi-Dirac de la Ec. (19-27), sobreimpresionada en el diagrama de bandas de energía de un semiconductor. A cero absoluto ($T = 0$ °K); la función es la de la Fig. 19-8*a*. La probabilidad de encontrar un electrón en la banda de conducción es nula [$f(E) = 0$], y la probabilidad de encontrar un hueco en la banda de valencia es también nula [$1 - f(E) = 0$]. A la temperatura ambiente, algunos electrones se excitan a energías más elevadas y algunos estados cercanos al fondo de la banda de conducción E_C se llenarán como indica la curva señalada por $T = 300$ °K, en la Fig. 19-8*a*. En forma parecida, cerca del extremo superior de la banda de valencia E_V, la probabilidad de ocupación disminuye respecto a la unidad, ya que algunos electrones han escapado de su enlace covalente y están ahora en la banda de conducción.

La densidad de estados [Ecs. (19-25) y (19-26)] aparece en la Fig. 19-8*b*. La densidad de electrones es $N(E)f(E)$ y está indicada en la Fig. 19-8*c*. La concentración de electrones en la banda de conducción es el área bajo esta curva y viene dada por:

$$n = \int_{E_C}^{\infty} N(E)f(E)\,dE \tag{19-28}$$

Para $E \geq E_C$, $E - E_F \gg kT$, y la Ec. (19-27) se reduce a:

$$f(E) = \epsilon^{-(E - E_F)/kT}$$

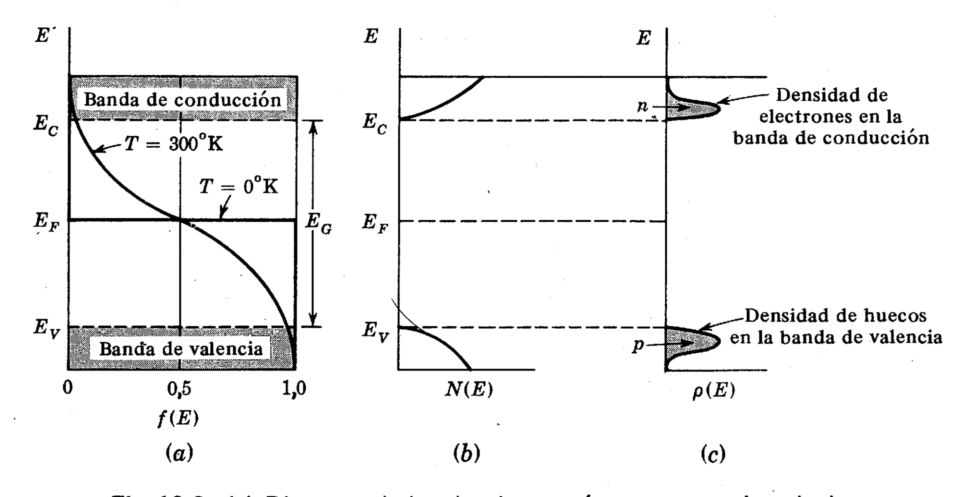


Fig. 19-8. (*a*) Diagrama de bandas de energía para un semiconductor intrínseco. La función de probabilidad de Fermi-Dirac $f(E)$ está representada a 0 °K y a temperatura ambiente. (*b*) Densidad de estados $N(E)$ en cada banda. (*c*) La densidad de portadores $\rho(E) = N(E)f(E)$ para los electrones y $N(E)[1 - f(E)]$ para los huecos, a temperatura ambiente. (No dibujado a escala.)

y

$$n = \int_{Ec}^{\infty} \gamma(E - E_C)^{1/2}\epsilon^{-(E - E_F)/kT}\, dE \tag{19-29}$$

Esta integral vale:

$$n = N_C\epsilon^{-(E_C - E_F)/kT} \tag{19-30}$$

Siendo

$$N_C = 2\left(\frac{2\pi m_n kT}{h^2}\right)^{3/2}(1{,}60 \times 10^{-19})^{3/2} = 2\left(\frac{2\pi m_n \bar{k}T}{h^2}\right)^{3/2} \tag{19-31}$$

Para obtener esta ecuación, se emplea el valor de γ de la Ec. (19-6); k está dado en electrón-volt por grado Kelvin, y $\bar{k}$ se expresa en joule por grado Kelvin. (La relación entre joule y electrón-volt se da en la Sec. 1-3.) La masa m ha sido reemplazada por el símbolo m_n, el cual representa la *masa efectiva* del electrón.

Número de huecos en la banda de valencia. Puesto que el extremo superior de la banda de valencia (la energía máxima) es E_V, la densidad de estados [análoga a la Ec. (19-26)] viene dada por:

$$N(E) = \gamma(E_V - E)^{1/2} \qquad \text{para } E < E_V \tag{19-32}$$

Puesto que un "hueco" significa un nivel de energía vacío, la función de Fermi para un hueco es $1 - f(E)$, donde $f(E)$ es la probabilidad de que el nivel esté ocupado por un electrón. Por ejemplo, si la probabilidad de que un determinado nivel de energía esté ocupado por un electrón es 0,2, la probabilidad de que esté vacío (ocupado por un hueco) es 0,8. Empleando la Ec. (19-27) para $f(E)$, obtendremos:

$$1 - f(E) = \frac{\epsilon^{(E-E_F)/kT}}{1 + \epsilon^{(E - E_F)/kT}} \approx \epsilon^{-(E_F - E)/kT} \tag{19-33}$$

en la que nos hemos valido de que $E_F - E \gg kT$ para $E \leqslant E_V$ (Fig. 19-8). Por lo tanto, el número de huecos por metro cúbico en la banda de valencia es

$$p = \int_{-\infty}^{E_V} \gamma(E_V - E)^{1/2}\epsilon^{-(E_F - E)/kT}\, dE \tag{19-34}$$

Esta integral, que representa el área bajo la curva inferior de la Fig. 19-8*c*, vale:

$$p = N_V\epsilon^{-(E_F - E_V)/kT} \tag{19-35}$$

donde N_V viene dado por la Ec. (19-31), con m_n reemplazado por m_p, masa efectiva de un hueco.

Nivel de Fermi en un semiconductor intrínseco. Es importante observar que las Ecs. (19-30) y (19-35) se aplican a semiconductores tanto intrínsecos como extrínsecos o impurificados. En el caso de un material intrínseco, añadiremos un subíndice *i* a n o a p.

Como el cristal debe ser eléctricamente neutro:

$$n_i = p_i \tag{19-36}$$

y tenemos de las Ecs. (19-30) y (19-35):

$$N_C\epsilon^{-(E_C - E_F)/kT} = N_V\epsilon^{-(E_F - E_V)/kT}$$

Tomando logaritmos de los dos miembros, obtendremos

$$\ln \frac{N_C}{N_V} = \frac{E_C + E_V - 2E_F}{kT}$$

Y por lo tanto

$$E_F = \frac{E_C + E_V}{2} - \frac{kT}{2}\ln \frac{N_C}{N_V} \tag{19-37}$$

Si la masa efectiva de los huecos o de los electrones libres es la misma, $N_C = N_V$, y la Ec. (19-37) se transforma en:

$$E_F = \frac{E_C + E_V}{2} \tag{19-38}$$

Por tanto, el nivel de Fermi está situado en el centro de la banda de energía prohibida, como muestra la Fig. 19-8.

Concentración intrínseca. Empleando las Ecs. (19-30) y (19-35), tenemos para el producto de las concentraciones de electrones y huecos:

$$np = N_C N_V\epsilon^{-(E_C - E_V)/kT} = N_C N_V\epsilon^{-E_G/kT} \tag{19-39}$$

Obsérvese que este producto es independiente del nivel de Fermi, pero depende de la temperatura y de la diferencia de energía $E_G \equiv E_C - E_V$. La Ecuación (19-39) es válida para materiales intrínsecos o extrínsecos. Por lo tanto, escribiendo $n = n_i$ y $p = p_i = n_i$ tenemos la importante relación (denominada *ley de acción de masas*)

$$np = n_i^2 \tag{19-40}$$

Obsérvese que, independientemente de la concentración de dadores o aceptadores o de las magnitudes individuales de n y p, el producto es siempre constante a una temperatura fija. Sustituyendo las constantes físicas por sus valores numéricos en la Ec. (19-31), obtenemos:

$$N_C = 4{,}82 \times 10^{21}\left(\frac{m_n}{m}\right)^{3/2} T^{3/2} \tag{19-41}$$

donde N_C tiene las dimensiones de una concentración (número por metro cúbico). Obsér-

vese que N_V viene dado por el segundo miembro de la Ec. (19-41) reemplazando m_n por m_p. De las Ecs. (19-39) a (19-41):

$$np = n_i^2 = (2{,}33 \times 10^{43}) \left(\frac{m_n m_p}{m^2}\right)^{3/2} T^3 \epsilon^{-E_G/kT} \tag{19-42}$$

Como indican las Ecs. (2-19) y (2-20), la diferencia de energía decrece linealmente con la temperatura, de tal manera que:

$$E_G = E_{GO} - \beta T \tag{19-43}$$

donde E_{GO} es la diferencia de energía a 0 °K. Sustituyendo esta relación en la Ec. (19-42), tendremos una expresión de la siguiente forma:

$$n_i^2 = A_o T^3 \epsilon^{-E_{GO}/kT} \tag{19-44}$$

Este resultado ha sido comprobado experimentalmente.[4] Los valores medidos de n_i y de E_{GO} vienen dados en la Tabla 2-1.

19-6. NIVEL DE FERMI EN LOS SEMICONDUCTORES CON IMPUREZAS

En las Ecs. (2-16) y (2-17) vemos que las características eléctricas de un material semiconductor dependen de la concentración de electrones libres y de huecos. Las expresiones de n y de p vienen dadas por las Ecs. (19-30) y (19-35), respectivamente, y son válidas tanto para los semiconductores intrínsecos como para los que están dopados. El único parámetro de las Ecs. (19-30) y (19-35) que varía con las impurezas, es el nivel de Fermi E_F. Para ver en qué forma E_F depende de la temperatura y de la concentración de impurezas, recordemos que, en caso de ausencia de impurezas (un semiconductor intrínseco), E_F está en la mitad de la banda de energía prohibida, indicando igual concentración de electrones libres que de huecos. Si se agrega una impureza donadora a un cristal, entonces, a una temperatura dada y suponiendo que todos los átomos donadores están ionizados, los N_D primeros estados en la banda de conducción se llenarán. Por lo tanto, los electrones de la banda de valencia tendrán más dificultad para superar la banda de energía prohibida por agitación térmica. En consecuencia, el número de pares electrón-hueco generados térmicamente a esta temperatura, se reducirá. Puesto que el nivel de Fermi es la medida de la probabilidad de ocupación de los estados de energía permitidos, está claro que E_F debe estar ahora más próximo a la banda de conducción para indicar que muchos de los estados de energía en esta banda están ocupados por los electrones donadores, y que existen pocos huecos en la banda de valencia. Esta situación queda reflejada en la Fig. 19-9*a* para un material de tipo n. Un razonamiento análogo nos lleva a la conclusión de que E_F debe desplazarse desde el centro de la banda prohibida hacia la banda de valencia en un material de tipo p, como señala la Fig. 19-9*b*. Si, para una concentración dada de impurezas, la temperatura del material de tipo n, por ejemplo, aumenta, se formarán más pares de electrón-huecos y, como que todos los átomos dadores están ionizados es posible que la concentración de electrones generados térmicamente en la banda de conducción llegue a ser mucho mayor que la concentración de electrones donadores. En estas condiciones, las concentraciones de huecos y de electrones pasan a

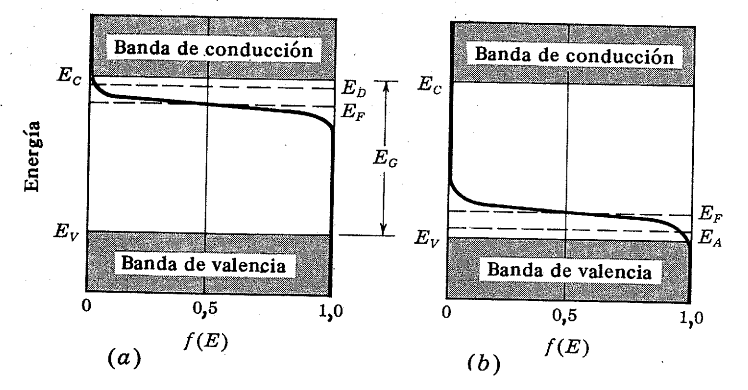


Fig. 19-9. Posiciones del nivel de Fermi en semiconductores (*a*) de tipo n y (*b*) de tipo p

ser prácticamente iguales y los cristales se convierten en intrínsecos. Cabe llegar a la conclusión de que, a medida que la temperatura de los dos tipos de material, tanto el n como el p, aumenta, los niveles de Fermi se mueven hacia el centro de la banda prohibida.

Puede hacerse un cálculo exacto de la posición del nivel de Fermi en un material tipo n, si sustituimos $n = N_D$ de la Ec. (2-12) en la Ec. (19-30). Obtendremos:

$$N_D = N_C \epsilon^{-(E_C - E_F)/kT} \tag{19-45}$$

y despejando E_F:

$$E_F = E_C - kT\,1\,\frac{N_C}{N_D} \tag{19-46}$$

Igualmente, para un material tipo p, obtenemos de las Ecs. (2-15) y (19-35):

$$E_F = E_V + kT\,1\,\frac{N_V}{N_A} \tag{19-47}$$

Obsérvese que, si $N_A = N_D$, las Ecs. (19-46) y (19-47) sumadas (y divididas por dos) dan la Ec. (19-37).

19-7. ESTRUCTURA DE LAS BANDAS DE UNA UNION *p-n* EN CIRCUITO ABIERTO

Vamos a considerar aquí que la unión *p-n* está formada por materiales del tipo p y n, en contacto íntimo, a escala atómica. En estas condiciones, el nivel de Fermi debe permanecer constante a través de toda la muestra en equilibrio. Si así no fuera, los electrones de un lado de la unión tendrían una energía media mayor que la de los del otro lado, y habría una transferencia de electrones y de energía hasta que los niveles de Fermi de los dos lados estuviesen a la misma altura. En la Sec. 19-6 se demostró que el nivel de Fermi E_F está más cerca de la banda de conducción, E_{Cn}, en el material tipo n, y más

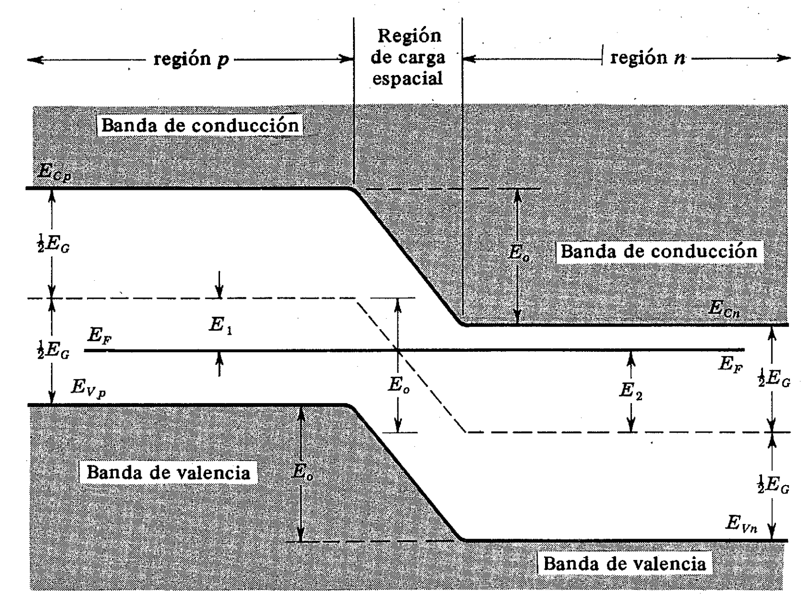


Fig. 19-10. Diagrama de bandas para una unión *p-n* en circuito abierto. El dibujo corresponde a la Fig. 3-1e y representa la energía potencial de los electrones. La anchura de la banda prohibida es E_G en electrón-volt

cerca de la banda de valencia E_{Vp} en el lado p. Naturalmente, entonces el borde de la banda de conducción E_{Cp} en el material tipo p no puede estar al mismo nivel que E_{Cn}, como tampoco el borde de la banda de valencia E_{Vn} del lado n al nivel E_{Vp}. Por lo tanto, el diagrama de las bandas de energía de la unión *p-n* aparece como en la Fig. 19-10, en la que se indica la variación de niveles de energía E_o. Obsérvese que

$$E_o = E_{Cp} - E_{Cn} = E_{Vp} - E_{Vn} = E_1 + E_2 \qquad (19\text{-}48)$$

Esta energía E_o representa la energía potencial de los electrones en la unión, como aparece en la Fig. 3-1*e*.

Diferencia de potencial del contacto. Vamos a hallar ahora una expresión para E_o. Por la Fig. 19-10 vemos que:

$$E_F - E_{Vp} = \tfrac{1}{2}E_G - E_1 \qquad (19\text{-}49)$$

y

$$E_{Cn} - E_F = \tfrac{1}{2}E_G - E_2 \qquad (19\text{-}50)$$

Sumando estas dos ecuaciones, obtenemos:

$$E_o = E_1 + E_2 = E_G - (E_{Cn} - E_F) - (E_F - E_{Vp}) \qquad (19\text{-}51)$$

De las Ecs. (19-39) y (19-40):

$$E_G = kT\ 1\ \frac{N_C N_V}{n_i^2} \qquad (19\text{-}52)$$

De las Ecs. (19-30) y (2-15),

$$E_{Cn} - E_F = kT\ 1\ \frac{N_C}{N_D} \qquad (19\text{-}53)$$

De las Ecs. (19-35) y (2-15)

$$E_F - E_{Vp} = kT\ 1\ \frac{N_V}{N_A} \qquad (19\text{-}54)$$

Sustituyendo las Ecs. (19-52), (19-53) y (19-54) en la Ec. (19-51):

$$E_o = kT\left(1\ \frac{N_C N_V}{n_i^2} - 1\ \frac{N_C}{N_D} - 1\ \frac{N_V}{N_A}\right)$$

$$= kT\ 1\left(\frac{N_C N_V}{n_i^2}\,\frac{N_D}{N_C}\,\frac{N_A}{N_V}\right) = kT\ 1\ \frac{N_D N_A}{n_i^2} \qquad (19\text{-}55)$$

Subrayemos que, en las ecuaciones anteriores, las E se expresan en electrón-volt y k en electrón-volt por grado Kelvin. La diferencia de potencial de contacto V_o se expresa en volt y es *numéricamente* igual a E_o. Obsérvese que V_o sólo depende de las concentraciones de equilibrio, y no de la densidad de carga total en la región de transición.

Se obtienen otras expresiones de E_o sustituyendo las Ecs. (2-13), (2-14) y (2-15) en la Ec. (19-55). Encontraremos:

$$E_o = kT\,1\ \frac{p_{po}}{p_{no}} = kT\,1\ \frac{n_{no}}{p_{po}} \qquad (19\text{-}56)$$

donde se añaden los subíndices o a las concentraciones para indicar que corresponden a condiciones de equilibrio térmico.

Relación de Einstein. Puesto que la corriente neta de huecos es nula para una unión en circuito abierto, entonces, por la Ec. (2-39):

$$J_p = -qD_p\frac{dp}{dx} + q\mu_p p\mathcal{E} = 0$$

o sea

$$\frac{dp}{p} = \frac{\mu_p}{D_p}\mathcal{E}\,dx = -\frac{\mu_p}{D_p}dV \qquad (19\text{-}57)$$

Si se integra esta ecuación entre los límites abarcados por la unión (Fig. 3-1) desde el lado p, en el que la concentración de equilibrio de huecos es p_{po}, hasta el lado n, donde la densidad de huecos es p_{no}, el resultado será:

$$\frac{D_p}{\mu_p}\, 1\, \frac{p_{po}}{p_{no}} = V_o = \frac{1{,}60 \times 10^{-19} E_o}{q} \tag{19-58}$$

donde se ha empleado la Ec. (1-7) para la conversión de V_o (volt) a E_o (electrón-volt). Comparando las Ecs. (19-56) y (19-58), obtendremos que:

$$\frac{D_p}{\mu_p} = kT \frac{1{,}60 \times 10^{-19}}{q} = \frac{\bar{k}T}{q} = V_T \tag{19-59}$$

donde k (eV/°T) = $\bar{k}$(J/° T)/(1,60 × 10^{-19}), y V_T se define como en la Ec. (19-22). La Ec. (19-59) es la relación de Einstein entre la constante de difusión y la movilidad.

19-8. DIODO TUNEL

Cuando la concentración de átomos de impurezas en un diodo *p-n* es muy elevada (por ejemplo de 1 parte por 1 000), la capa de deplexión se reduce a unos 100 Å. Normalmente, un portador debe tener una energía por lo menos igual a la altura de la barrera de potencial para poder atravesar la unión. No obstante, la mecánica cuántica indica que la probabilidad de que puedan penetrar partículas a *través* de una barrera tan estrecha como la que hemos indicado no es nula. Este fenómeno se denomina *efecto túnel*, y por tanto estos elementos *p-n* con gran densidad de impurezas se llaman *diodos túnel*, o *diodos Esaki.*[5] Este mismo efecto túnel es responsable de las emisiones radiactivas y emisión de electrones de un metal frío por un campo intenso.

Estructura de las bandas de energía de un diodo *p-n* altamente dopado. La condición de que la barrera sea menor que 100 Å es una condición necesaria, pero no suficiente, para el efecto túnel. Se precisa también que existan estados de energía ocupados en el lado desde el que los electrones pasan por efecto túnel, y que además existan estados vacíos en el otro lado (en el que penetran los electrones) al mismo nivel de energía. Por lo tanto, debemos considerar ahora la estructura de las bandas de energía con concentraciones de impurezas elevadas. En la Fig. 19-10 correspondiente a un diodo *p-n* ligeramente drogado; el nivel de Fermi E_F queda dentro de la zona de energía prohibida. Demostraremos ahora que, en un diodo lo suficientemente dopado como para que tenga lugar el efecto túnel, E_F está fuera de la banda prohibida.

De la Ec. (19-53).

$$E_F = E_C - kT\, 1\, \frac{N_C}{N_D}$$

En un semiconductor ligeramente dopado, $N_D < N_C$, de modo que 1 (N_C/N_D) es un número positivo. Por lo tanto, $E_F < E_C$, y el nivel de Fermi está dentro de la banda

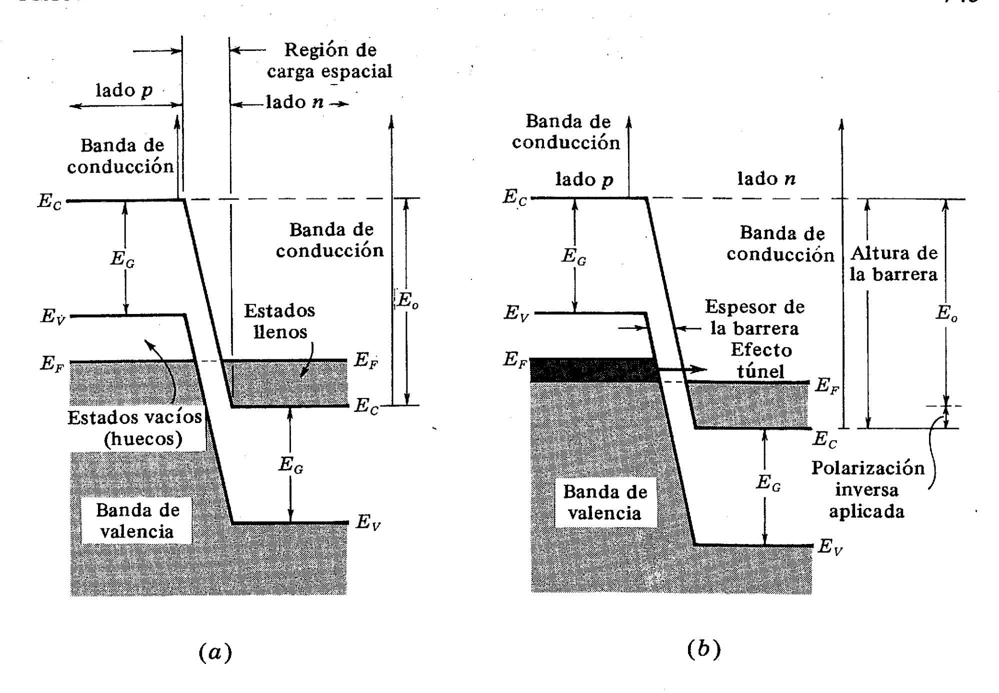


Fig. 19-11. Bandas de energía de un diodo *p-n* fuertemente dopado (*a*) en circuito abierto y (*b*) con polarización inversa. (Estos diagramas solamente son estrictamente válidos a 0 °K, pero son muy aproximados a temperatura ambiente, como puede verse en la Fig. 19-3)

prohibida, como indica la Fig. 19-10. Puesto que $N_C \approx 10^{19}$ cm^{-3}, entonces, con una concentración de donadores superior a este orden ($N_D > 10^{19}$ cm^{-3}, que corresponde al exceso de dopado sobre 1 parte en 1 000), 1 (N_C/N_D) es negativo. Por lo tanto, $E_F > E_C$, y el nivel de Fermi en el material de tipo n está dentro de la banda de conducción. Mediante un razonamiento parecido, se deduce que, para una región fuertemente dopada del tipo p, $N_A > N_V$, y el nivel de Fermi está en la banda de valencia [Ec. (19-54)]. Comparando la Ec. (19-52) y la (19-55), vemos que $E_o > E_G$, de modo que la diferencia de energía potencial del contacto E_o sobrepasa ahora la tensión E_G de la banda prohibida. Por consiguiente, en condiciones de circuito abierto, la Fig. 19-11*a* representa la estructura de bandas de una unión *p-n* fuertemente impurificada. El nivel de Fermi E_F en el lado p tiene la misma energía que el nivel de Fermi E_F del lado n. Obsérvese que, en un lado de la unión, no hay estados llenos con la misma energía que los vacíos correspondientes del otro lado, y por lo tanto no hay circulación de cargas en ninguna dirección a través de la unión, y la corriente es cero. Desde luego, ésta es una conclusión correcta para el caso de un diodo en circuito abierto.

Característica tensión-corriente. Podemos explicar ahora la característica del diodo túnel de la Fig. 19-13, con la ayuda del gráfico de las bandas de energía de la Fig. 19-12 y el concepto de la mecánica cuántica sobre el efecto túnel. Vamos a considerar que el material p está a tierra y que la tensión aplicada al diodo cambia el potencial del lado n respecto al lado p. Por ejemplo, si se aplica una tensión de polarización inversa, sabemos

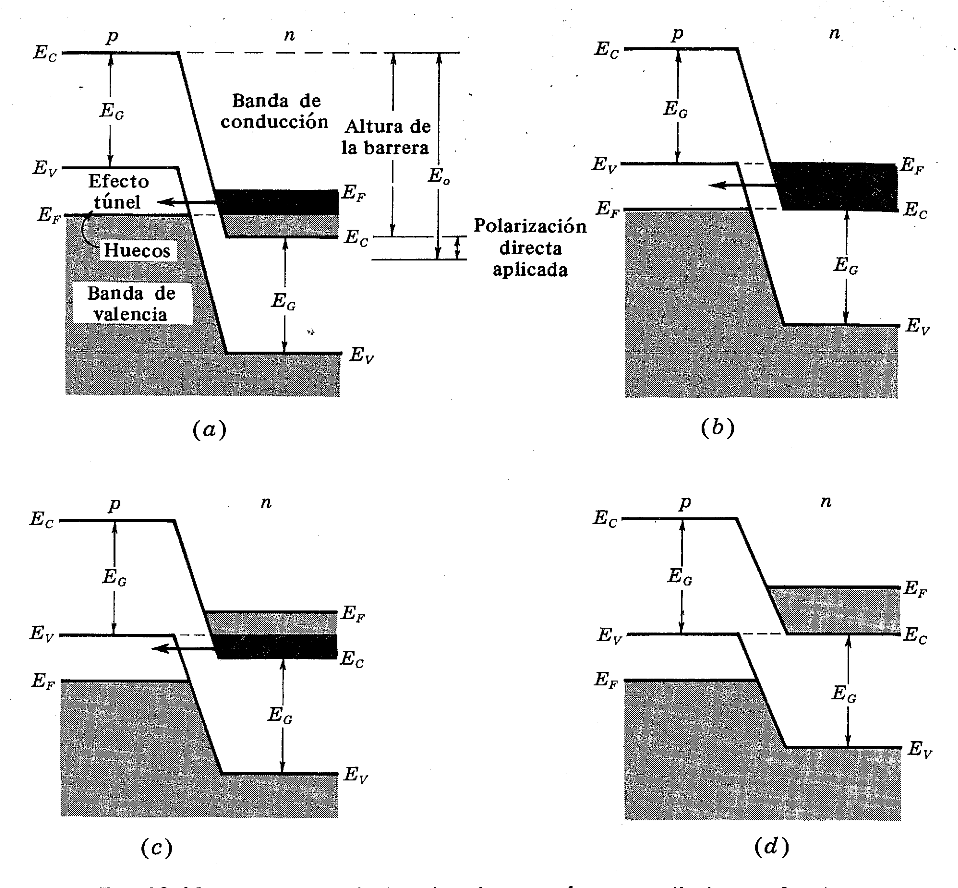


Fig. 19-12. Diagramas de bandas de energía en un diodo *p-n* fuertemente dopado con polarización directa. A medida que la polarización aumenta, la estructura en bandas cambia progresivamente desde (*a*) hasta (*d*)

por la sección 3-2 que la altura de la barrera queda aumentada por encima del valor E_o en circuito abierto; por lo tanto, los niveles del lado *n* deben bajar con respecto a los niveles del lado *p*, como indica la Fig. 19-11*b*. Observemos ahora que hay algunos estados de energía (región de sombreado más oscuro) en la banda de valencia del lado *p*, que están al mismo nivel que los estados vacíos en la banda de conducción del lado *n*. En consecuencia, estos electrones pasarán por efecto túnel del lado *p* al lado *n*, dando lugar a una corriente inversa en el diodo. Cuando la magnitud de la polarización inversa aumenta, el área más sombreada aumenta y da lugar a que la corriente inversa también aumente, como se observa en la parte 1 de la Fig. 19-13.

Consideremos ahora que aplicamos polarización directa al diodo, de manera que la barrera de potencial disminuya por debajo de E_o. Por consiguiente, el nivel del lado *n* aumentará respecto al del lado *p*, y el gráfico de bandas de energía queda reflejado en la Fig. 19-12*a*. Es evidente que hay estados ocupados, en la banda de conducción del material *n* (los niveles sombreados oscuros), que tienen el mismo nivel de energía que los

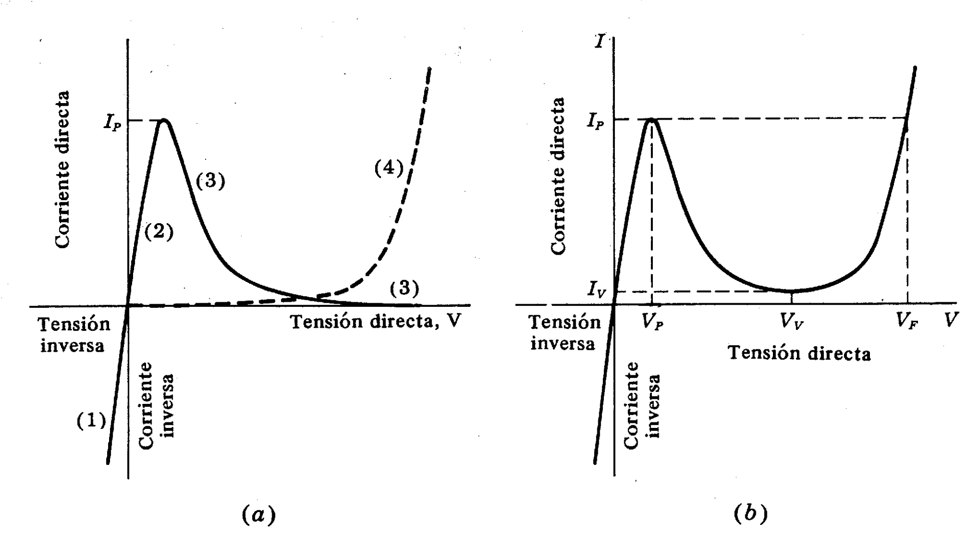


Fig. 19-13. (*a*) La corriente por efecto túnel se indica con línea continua. La corriente inyectada es la curva de trazos. La suma de las dos da la característica tensión-corriente del diodo túnel, tal como se indica en (*b*)

correspondientes estados vacíos (huecos) en la banda de valencia del lado *p*. Por lo tanto, los electrones pasarán por efecto túnel del material *n* al material *p*, dando lugar a la corriente directa de la parte 2 de la Fig. 19-13.

Cuando la polarización directa aumenta todavía más, se alcanza la condición representada en la Fig. 19-12*b*. Ahora, el número máximo de electrones pueden abandonar estados llenos del lado de la derecha de la unión, y por efecto túnel atravesar la barrera hacia estados vacíos del lado de la izquierda, dando lugar al pico de corriente de la Fig. 19-13. Si se aplica todavía más polarización directa, se obtiene la situación de la Fig. 19-12*c*, y la corriente del efecto túnel disminuirá, lo cual corresponde a la parte 3 de la Fig. 19-13. Finalmente, al aumentar aún más la polarización directa, pasa a ser válida la estructura de bandas de la Fig. 19-12*d*. Como ahora no hay en uno de los lados estados vacíos permitidos, que tengan la misma energía que los estados ocupados del otro lado, la corriente por efecto túnel debe bajar a cero.

Además de la corriente de mecánica-cuántica descrita anteriormente, también se colecta la corriente de inyección de la unión regular *p-n*. Esta corriente viene dada por la Ec. (3-7) y está indicada por la parte a trazos 4, de la Fig. 19-13. La curva de la Fig. 19-13*b* es la suma de las curvas de trazos y continuas de la Fig. 19-13*a*, y esta resultante es la característica del diodo túnel.

19-9. ECUACIONES BASICAS DE LOS SEMICONDUCTORES

La ecuación (2-49) obtenida en la Sec. 2-10 expresa el hecho de que, en un volumen elemental de un semiconductor, no se puede crear ni destruir ninguna carga. Esta *ley de la conservación de la carga* o *ecuación de continuidad*, se aplica separadamente a la concen-

tración de huecos y a la de electrones. Es decir,

$$\frac{\partial p}{\partial t}=\frac{p_o - p}{\tau_p}-\frac{1}{q}\frac{\partial J_p}{\partial x} \tag{19-60}$$

$$\frac{\partial n}{\partial t}=\frac{n_o - n}{\tau_n}+\frac{1}{q}\frac{\partial J_n}{\partial x} \tag{19-61}$$

donde $p(n)$ = concentración de huecos (electrones)
$p_o(n_o)$ = valor de $p(n)$ en equilibrio térmico
$J_p(J_n)$ = densidad de corriente de huecos (electrones)
$\tau_p(\tau_n)$ = tiempo de vida media de un hueco (electrón)
q = magnitud de la carga electrónica
y como referencia para las siguientes ecuaciones
$\mu_p(\mu_n)$ = movilidad de los huecos (electrones)
$D_p(D_n)$ = constante de difusión de los huecos (electrones)
$N_A(N_D)$ = concentración de aceptadores (donadores)
$\mathcal{E}$ = intensidad de campo eléctrico
ϵ = permisividad del semiconductor

Si se tienen en cuenta tanto la corriente de desplazamiento como la de difusión, las ecuaciones (2-39) y (2-40) deben sumarse, dando:

$$J_p = qp\mu_p\mathcal{E} - qD_p\frac{\partial p}{\partial x} \tag{19-62}$$

$$J_n = qn\mu_n\mathcal{E} + qD_n\frac{\partial n}{\partial x} \tag{19-63}$$

La intensidad de campo eléctrico $\mathcal{E}$ se relaciona con la densidad de carga ρ por la ecuación de Poisson:

$$\frac{\partial \mathcal{E}}{\partial x}=\frac{\rho}{\epsilon}=\frac{q}{\epsilon}(p+N_D-n-N_A) \tag{19-64}$$

en la que la concentración de portadores positivos neta será $p+N_D-n-N_A$, suponiendo que todos los átomos de impureza estén ionizados. Obsérvese que en cualquier lugar que esta carga sea neutra, $\rho = 0$. En la región de transición de un diodo *p-n*, no tenemos la carga neutralizada (Sec. 3-1).

Las ecuaciones (19-60) a (19-64) son cinco ecuaciones con cinco incógnitas p, n, $\mathcal{E}$, J_p y J_n. Se ha supuesto que consideramos un problema de una sola dimensión. Estas ecuaciones son válidas para las tres dimensiones si se incluyen las derivadas respecto a y y z. La solución general de estas ecuaciones diferenciales parciales no lineales es bastante complicada y nos contentaremos con el análisis de varios casos especiales unidimensionales importantes.

Para un semiconductor de tipo n, agregaremos un subíndice n a p, p_o y J_p. Sustituyendo la Ec. (19-62) en la Ec. (19-60), tendremos

$$\frac{\partial p_n}{\partial t}=\frac{p_{no}-p_n}{\tau_p}-\mu_p\frac{\partial(p_n\mathcal{E})}{\partial x}+D_p\frac{\partial^2 p_n}{\partial x^2} \tag{19-65}$$

Intercambiando p y n y cambiando de signo el término con μ_n, obtendremos una ecuación análoga para los portadores minoritarios (electrones) en un semiconductor del tipo p. Vamos a considerar seguidamente tres casos especiales de la ecuación de continuidad.

Concentración independiente de x con campo eléctrico nulo. Como $\mathcal{E} = 0$ y $\partial p/\partial x = 0$, la Ec. (19-65) se reduce a:

$$\frac{dp_n}{dt}=\frac{p_{no}-p_n}{\tau_p} \tag{19-66}$$

la cual es idéntica a la Ec. (2-32), y tal situación ya ha sido comentada en la Sec. 2-8 y la Fig. 2-13.

Concentración independiente de t con campo eléctrico nulo. Como $\mathcal{E} = 0$ y $\partial p/\partial t = 0$, la Ec. (19-65) se reduce a:

$$\frac{d^2 p_n}{dx^2}=\frac{p_n - p_{no}}{L_p} \tag{19-67}$$

en la que $L_p \equiv \sqrt{D_p\tau_p}$ = longitud de difusión de los huecos. La Ec. (19-67) es idéntica a la Ec. (2-43) y ha sido explicada en la Sec. 2-11. Consideremos una barra de semiconductor muy larga, con un extremo en $x = 0$, en la que se inyectan $p'_n(0)$ huecos (por encima del valor en equilibrio térmico). En las Figs. 2-16 y 19-14, se dibuja la variación de concentración inyectada en función de la distancia, que viene dada por la Ec. (2-47), es decir

$$p'_n(x) \equiv p_n(x) - p_{no} = p'_n(0)\epsilon^{-x/L_p} \tag{19-68}$$

La longitud de difusión es la distancia a la que la concentración de portadores inyectados cae a $1/\epsilon$ de su valor a $x = 0$. Deseamos demostrar que L_p puede también interpretarse como la distancia media recorrida por los huecos inyectados, antes de recombinarse con

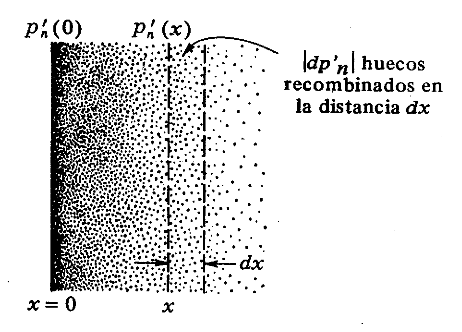


Fig. 19-14. Relativo a la concentración de huecos inyectados p'_n al material tipo n

un electrón. Este concepto puede comprobarse de la siguiente forma: de la Ec. (19-68):

$$|dp'_n| = \frac{p'_n(0)\epsilon^{-x/L_p}}{L_p}\, dx \tag{19-69}$$

$|dp'_n|$ da el número de huecos inyectados que se recombinan a la distancia comprendida entre x y $x + dx$. Puesto que cada hueco ha recorrido una distancia x, la distancia total recorrida por los $|dp'_n|$ huecos es $x|dp'_n|$. Por lo tanto, la distancia total cubierta por todos los huecos es $\int_0^\infty x|dp'_n|$. La distancia media $\bar{x}$ es igual a esta distancia total dividida por el número total $p'_n(0)$ de huecos inyectados. Por lo tanto:

$$\bar{x} \equiv \frac{\int_0^\infty x|dp'_n|}{p'_n(0)} = \frac{1}{L_p}\int_0^\infty x\epsilon^{-x/L_p}\, dx = L_p \tag{19-70}$$

con lo que se confirma que la distancia media a la que llega un hueco antes de su recombinación es L_p.

Concentración variable senoidalmente con t y campo eléctrico nulo. Mantengamos la restricción de $\mathcal{E} = 0$, pero supongamos que la concentración de inyectados varía senoidalmente con una frecuencia angular ω. Entonces, empleando la notación fasorial

$$p'_n(x, t) = p'_n(x)\, \epsilon^{j\omega t} \tag{19-71}$$

donde la dependencia de la concentración de los inyectados respecto al espacio viene dada por $p'_n(x)$. Si la Ec. (19-71) es sustituida en la ecuación de la continuidad (19-65), el resultado será:

$$j\omega p'_n(x) = -\frac{p'_n(x)}{\tau_p} + D_p\frac{d^2p'_n(x)}{dx^2}$$

o sea

$$\frac{d^2p'_n}{dx^2} = \frac{1 + j\omega\tau_p}{L_p^2}\, p'_n \tag{19-72}$$

donde se ha empleado la Ec. (2-44). A frecuencia nula, la ecuación de p'_n viene dada por la Ec. (19-67). De la comparación de la Ec. (19-67) con la Ec. (19-72), se deduce que la solución para alterna a frecuencia $\omega \neq 0$ se puede obtener de la solución para $\omega = 0$, reemplazando L_p por $L_p\,(1 + j\omega\tau_p)^{-1/2}$. Por ejemplo, de la Ec. (2-47) concluimos que, para una muestra larga de semiconductor,

$$p'_n(x, t) = K\epsilon^{-(1+j\omega\tau_p)^{1/2}x/L_p}\epsilon^{j\omega t} \tag{19-73}$$

19-10. ECUACION TENSION - CORRIENTE DEL DIODO *p-n*

Consideremos una unión *p-n* polarizada por una tensión externa V en sentido directo, como en la Fig. 19-15. En condiciones de inyección a bajo nivel, la corriente de difusión de minoritarios que atraviesa la unión a $x = 0$ es, según la Ec. (2-48):

$$I_{pn}(0) = -AqD_p\frac{dp_n}{dx} = \frac{AqD_pp'_n(0)}{L_p} \tag{19-74}$$

La concentración de portadores inyectados $p'_n(0)$ en la unión depende de la tensión aplicada V. Vamos a hallar tal relación.

Ley de la unión. En la unión, el campo eléctrico es elevado y, por lo tanto, también lo es la corriente de desplazamiento. Además, la corriente de difusión es también grande debido al elevado gradiente de concentración en la unión. En la Ec. (19-62), o sea:

$$J_p = qp\mu_p\mathcal{E} - qD_p\frac{dp}{dx}$$

El valor de cada uno de los términos del segundo miembro es elevado comparado con la corriente de inyección de bajo nivel J_p. Si de la diferencia entre dos números grandes obtenemos uno pequeño, ello significa que aquellas dos cantidades son bastante iguales. Por lo tanto, podemos escribir aproximadamente:

$$qp\mu_p\mathcal{E} = qD_p\frac{dp}{dx} \tag{19-75}$$

Empleando la relación de Einstein, la Ec. (19-75) se convierte en:

$$\mathcal{E} = \frac{V_T}{p}\frac{dp}{dx} = -\frac{dV}{dx} \tag{19-76}$$

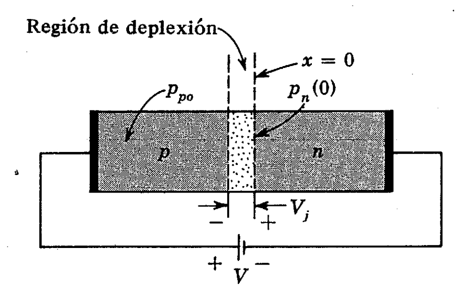


Fig. 19-15. Diodo con polarización directa. El borde derecho de la región de transición se define como $x = 0$

En el lado izquierdo del material p, la concentración de huecos iguala el valor en equilibrio térmico p_{po}. En el borde derecho de la región de deplexión de la Fig. 19-15 (en el lado n), la concentración de huecos es p_n (0). La tensión de la unión V_j es igual al potencial de barrera disminuido en la tensión directa V. Integrando la Ec. (19-76) en la unión, da:

$$\int_{p_{po}}^{p_n(0)} \frac{dp}{p} = -\int_0^{V_j} \frac{dV}{V_T} = -\int_0^{V_o - V} \frac{dV}{V_T} \qquad (19\text{-}77)$$

Llevando a cabo la integración, obtendremos:

$$p_n(0) = p_{po}\epsilon^{-(V_o - V)/V_T} \qquad (19\text{-}78)$$

De la Ec. (2-59) con $p_1 = p_{po}$, $p_2 = p_{no}$, y $V_{21} = V_o$

$$p_{no} = p_{po}\epsilon^{-V_o/V_T} \qquad (19\text{-}79)$$

Dividiendo las ecuaciones (19-78) y (19-79)

$$p_n(0) = p_{no}\epsilon^{V/V_T} \qquad (19\text{-}80)$$

Esta condición de contorno se denomina *ley de la unión,* la cual indica que, para una polarización directa ($V > 0$) y con $V \gg V_T$ ($\sim$ 26 mV a temperatura ambiente), la concentración de huecos p_n (0) en el lado n de la unión aumenta grandemente respecto al valor del equilibrio térmico p_{no}. El argumento dado más arriba es también válido para la polarización inversa, y la Ec. (19-80) indica que, para una tensión negativa V con $|V| \gg V_T$, la concentración p_n (0) es fundamentalmente cero.

Componentes de la corriente. De la Ec. (19-74), con $p'_n(0) = p_n(0) - p_{no}$:

$$I_{pn}(0) = \frac{AqD_p p_{no}}{L_p}(\epsilon^{V/V_T} - 1) \qquad (19\text{-}81)$$

La corriente de electrones I_{np} (0) que atraviesa la unión en el lado p se obtiene de la Ec. (19-81) cambiando n por p, o sea:

$$I_{np}(0) = \frac{AqD_n n_{po}}{L_n}(\epsilon^{V/V_T} - 1) \qquad (19\text{-}82)$$

Finalmente, por la Ec. (3-6) la corriente total del diodo I es la suma de I_{pn} (0) e I_{np} (0), o sea:

$$I = I_o(\epsilon^{V/V_T} - 1) \qquad (10\text{-}83)$$

en que

$$I_o \equiv \frac{AqD_p p_{no}}{L_p} + \frac{AqD_n n_{po}}{L_n} \qquad (19\text{-}84)$$

Si W_p y W_n son las anchuras de los materiales p y n, respectivamente, la deducción anterior lleva implícita la suposición de que $W_p \gg L_n$ y $W_n \gg L_p$. Si, como sucede algunas veces en la práctica, las anchuras son mucho menores que las longitudes de difusión, la expresión de I_o se mantiene válida cambiando L_n y L_p por W_p y W_n, respectivamente.

Corriente inversa de saturación. Para una polarización inversa cuyo valor sea grande comparado con V_T, tenemos que $I \to -I_o$. Por tanto, a I_o se le denomina *corriente inversa de saturación.* Combinando las Ecs. (2-14), (2-15) y (19-84), obtenemos:

$$I_o = Aq\left(\frac{D_p}{L_p N_D} + \frac{D_n}{L_n N_A}\right) n_i^2 \qquad (19\text{-}85)$$

donde n_i^2 viene dado por la Ec. (19-44),

$$n_i^2 = A_o T^3 \epsilon^{-E_{GO}/kT} = A_o T^3 \epsilon^{-V_{GO}/V_T} \qquad (19\text{-}86)$$

en la que V_{GO} es una tensión de valor numérico igual al intervalo de energía prohibida E_{GO} en electrón-volt, y V_T es la tensión en volt equivalente de la temperatura [Ec. (19-22)]. Para el germanio, las constantes de difusión D_p y D_n varían aproximadamente[3] en proporción inversa a T. Por lo tanto, la función de I_o respecto a la temperatura será:

$$I_o = K_1 T^2 \epsilon^{-V_{GO}/V_T} \qquad (19\text{-}87)$$

donde K_1 es una constante independiente de la temperatura.

Hasta el momento, en esta sección hemos despreciado la generación de portadores y su recombinación en la región de la carga de espacio. Este supuesto es válido para los diodos de germanio, pero no para los de silicio. Para estos últimos, la corriente de difusión es despreciable comparada con la degeneración de cargas en la capa de transición[6-7], que viene dada aproximadamente por:

$$I = I_o(\epsilon^{V/\eta V_T} - 1) \qquad (19\text{-}88)$$

en la que $\eta \approx 2$ para corrientes nominales pequeñas y $\eta \approx 1$ para grandes corrientes. También tenemos ahora que I_o es proporcional a n_i, en lugar de serlo a n_i^2. Por lo tanto, si K_2 es una constante,

$$I_o = K_2 T^{1,5} \epsilon^{-V_{GO}/2V_T} \qquad (19\text{-}89)$$

19-11. CARACTERISTICAS *p-n* EN FUNCION DE LA TEMPERATURA

Vamos a hallar las variaciones de potencial del diodo en función de la temperatura para una corriente fija. Esta variación se puede calcular a partir de la Ec. (19-88), en la que la temperatura está incluida implícitamente en V_T así como en la corriente inversa de saturación. La dependencia de I_o con la temperatura T, según las Ec. (19-87) y (19-89), viene dada aproximadamente por:

$$I_o = KT^m \epsilon^{-V_{GO}/\eta V_T} \qquad (19\text{-}90)$$

en la que K es una constante y qV_{GO} (q es el valor de la carga del electrón) es la energía de la capa prohibida en Joule:

Para el Ge:	$\eta = 1$	$m = 2$	$V_{GO} = 0{,}785$ V
Para el Si:	$\eta = 2$	$m = 1{,}5$	$V_{GO} = 1{,}21$ V

Tomando la derivada del logaritmo de la Ec. (19-90), encontramos:

$$\frac{1}{I_o}\frac{dI_o}{dT} = \frac{d(\ln I_o)}{dT} = \frac{m}{T} + \frac{V_{GO}}{\eta T V_T} \tag{19-91}$$

A la temperatura ambiente, deducimos de la Ec. (19-91) que $d(\ln I_o)/dT = 0{,}08\ °C^{-1}$ para el Si y $0{,}11\ °C^{-1}$ para el Ge. El comportamiento de los diodos comerciales sólo es aproximado respecto a estos resultados. En la Sec. 3-5 se ha indicado que la corriente inversa de saturación aproximadamente se duplica por cada 10 °C de aumento de temperatura.

De la Ec. (19-88), y despreciando la unidad en comparación con la exponencial, tenemos, para una I constante:

$$\frac{dV}{dT} = \frac{V}{T} - \eta V_T\left(\frac{1}{I_o}\frac{dI_o}{dT}\right) = \frac{V - (V_{GO} + m\eta V_T)}{T} \tag{19-92}$$

empleando la Ec. (19-91). Para un diodo trabajando a temperatura ambiente y justamente por encima de la tensión umbral V_γ (0,2 V para el Ge y 0,6 para el Si). La ecuación (19-92) dará:

$$\frac{dV}{dT} = \begin{cases} -2{,}1\ \text{mV/°C} & \text{para el Ge} \\ -2{,}3\ \text{mV/°C} & \text{para el Si} \end{cases} \tag{19-93}$$

Como estos datos están basados en las "características medias", puede ser conveniente para la seguridad del diseño suponer un valor de:

$$\frac{dV}{dT} = -2{,}5\ \text{mV/°C} \tag{19-94}$$

ya sea para el silicio o para el germanio a la temperatura ambiente. Obsérvese, a partir de la Ec. (19-92), que $|dV/dT|$ disminuye cuando aumenta T.

La dependencia respecto a la temperatura de la tensión directa está dada en la Ec. (19-92) como diferencia entre dos términos. El término positivo V/T del segundo miembro resulta de la dependencia de V_T respecto la temperatura. El término negativo resulta de la dependencia de I_o respecto la temperatura, y no depende de la diferencia de potencial del diodo. La ecuación determina que, al aumentar V, dV/dT debe hacerse menos negativa, llegar a cero para $V = V_{GO} + m\eta V_T$, y pasando más adelante a cambiar de signo y ser positiva. Este comportamiento es normal en los diodos. Corrientemente, no obstante, la inversión tiene lugar a una corriente mayor que la máxima nominal. Las curvas de la Fig. 3-8 también sugieren este comportamiento. Con tensiones altas, la separación horizontal entre curvas de diferentes temperaturas es menor que con tensiones bajas.

19-12. CAPACIDAD DINAMICA DE DIFUSION

En la Sec. 3-9 se ha puntualizado que, si la excitación del diodo es senoidal, se puede encontrar la capacidad de difusión C_D de la componente reactiva de la corriente. Vamos a hallar ahora C_D.

Supongamos, para simplificar, que el lado p está mucho más dopado que la región n, de tal manera que sólo necesitaremos calcular la corriente de huecos. Consideremos que la tensión externa es:

$$V = V_1 + V_m\epsilon^{j\omega t} \tag{19-95}$$

donde V_1 representa una tensión de polarización, y el segundo término es la tensión senoidal de valor de pico V_m. Si el diodo tiene una conductancia dinámica g y una capacidad C_D, entonces la corriente debe tener la forma:

$$I = I_1 + gV_m\epsilon^{j\omega t} + j\omega C_D V_m\epsilon^{j\omega t} \tag{19-96}$$

Vamos a resolver ahora la ecuación de continuidad para hallar $I = I_{pn}$ y entonces poder identificar g y C_D.

El exceso de concentración de huecos en el lado n está constituido por un término en continua que, por las Ecs. (2-47) y (19-80), es:

$$p'_n(x) = [p_n(0) - p_{no}]\epsilon^{-x/L_p} = p_{no}(\epsilon^{V_1/V_T} - 1)\epsilon^{-x/L_p}$$

y al que se le debe agregar el término en alterna de la Ec. (19-73), es decir:

$$p'_n(x) = p_{no}(\epsilon^{V_1/V_T} - 1)\epsilon^{-x/L_p} + K\epsilon^{-(1+j\omega\tau_p)^{1/2}x/L_p}\epsilon^{j\omega t} \tag{19-97}$$

Para hallar K, hacemos $x = 0$ y utilizamos la ley de la unión con una V dada por la Ec. (19-95). Entonces la Ec. (19-97) se convierte en

$$\begin{aligned} p_n(0) - p_{no} &= p_{no}(\epsilon^{V_1/V_T} - 1) + K\epsilon^{j\omega t} \\ &= p_{no}\epsilon^{(V_1 + V_m\epsilon^{j\omega t})/V_T} - p_{no} \\ &\approx p_{no}\epsilon^{V_1/V_T}\left(1 + \frac{V_m}{V_T}\epsilon^{j\omega t}\right) - p_{no} \end{aligned} \tag{19-98}$$

donde hemos supuesto que $V_m/V_T \ll 1$, de tal manera que $\epsilon^y \approx 1 + y$ para

$$y = \left(\frac{V_m}{V_T}\right)\epsilon^{j\omega t} \ll 1$$

A partir de esta ecuación, encontramos:

$$K = p_{no}\frac{V_m}{V_T}\epsilon^{V_1/V_T} \tag{19-99}$$

La corriente de difusión que atraviesa la unión

$$I_{pn}(0) = -AqD_p \left(\frac{dp'_n}{dx}\right)\Bigg|_{x=0}$$

se obtiene de la Ec. (19-74). Empleando el valor de K de la Ec. (19-99), tendremos

$$I_{pn}(0) = \frac{AqD_p p_{no}}{L_p}(\epsilon^{V_1/V_T} - 1) + \frac{AqD_p p_{no}}{V_T} \frac{V_m \epsilon^{V_1/V_T}(1 + j\omega\tau_p)^{1/2}}{L_p} \epsilon^{j\omega t} \qquad (19\text{-}100)$$

Consideraremos dos casos especiales; frecuencias muy bajas y muy altas:

1. Si $\omega\tau_p \ll 1$, entonces como $(1 + \psi)^{1/2} \approx 1 + 1/2\psi$,

$$I_{pn}(0) = I_1 + \frac{AqD_p p_{no}}{L_p} \frac{V_m}{V_T} \epsilon^{V_1/V_T} \left(1 + j\frac{\omega\tau_p}{2}\right) \epsilon^{j\omega t} \qquad (19\text{-}101)$$

donde $I_1 \equiv (AqD_p p_{no})/L_p)(\epsilon^{V_1/V_T} - 1)$ es la corriente de polarización. Comparando la Ec. (19-101) con la Ec. (19-96), tenemos:

$$g = \frac{AqD_p p_{no} \epsilon^{V_1/V_T}}{L_p V_T} = g_o = \text{conductancia a bajas frecuencias} \qquad (19\text{-}102)$$

y

$$C_D = \frac{g\tau_p}{2} \qquad (19\text{-}103)$$

2. Si $\omega\tau_p \gg 1$, entonces

$$(1 + j\omega\tau_p)^{1/2} \approx (j\omega\tau_p)^{1/2} = (\omega\tau_p)^{1/2} \epsilon^{j\pi/4} = \left(\frac{\omega\tau_p}{2}\right)^{1/2} (1 + j)$$

y de la Ec. (19-100):

$$I_{pn}(0) = I_1 + g_o \left(\frac{\omega\tau_p}{2}\right)^{1/2} (1 + j) V_m \epsilon^{j\omega t} \qquad (19\text{-}104)$$

Comparando esta ecuación con la Ec. (19-96), encontramos

$$g = g_o \left(\frac{\omega\tau_p}{2}\right)^{1/2} \qquad (19\text{-}105)$$

y

$$C_D = g_o \left(\frac{\tau_p}{2\omega}\right)^{1/2} \qquad (19\text{-}106)$$

Obsérvese que tanto la capacidad de difusión como la conductancia son ahora funciones de la frecuencia.

19-13. CORRIENTES EN UN TRANSISTOR

Este análisis que vamos a efectuar tiene muchos puntos en común con el de la Sec. 19-10 para las componentes de la corriente en un diodo de unión. En la Ec. (3-6) vemos que la corriente total que atraviesa una unión es igual a la suma de la corriente de electrones I_{np} del lado p y la de huecos I_{pn} del lado n, calculados en la unión ($x = 0$). Para un transistor p-n-p (Fig. 5-1*a*), los electrones están inyectados, desde la región de la base a través de la unión de emisor, en la región p que es grande comparada con la longitud de difusión. Esta es, precisamente, la condición que existe en un diodo de unión, y por lo tanto, la expresión para I_{np} calculada anteriormente es también válida para el transistor. A partir de la Ec. (19-82) encontramos que, en la unión:

$$I_{np}(0) = \frac{AqD_n n_{Eo}}{L_E}(\epsilon^{V_E/V_T} - 1) \qquad (19\text{-}107)$$

donde en la Ec. (19-82) hemos reemplazado V por V_E; hemos cambiado n_{po} por n_{EO}, ya que ahora hay dos regiones p y estamos considerando el emisor (E); hemos cambiado también L_n por L_E para referirnos a la longitud de difusión de los portadores minoritarios en el emisor. Vamos a resumir los nuevos símbolos a emplear:

n_{Eo} (n_{Co}) = concentración de electrones en equilibrio térmico en el material de tipo p del emisor (colector), m^{-3}

L_E (L_C) (L_B) = longitud de difusión para los portadores minoritarios en el emisor (colector) (base), metros.

V_E (V_C) = caída de tensión en la unión de emisor (colector); positiva para una polarización directa, es decir, para el lado p positivo respecto al lado n.

Corriente de huecos en la región de base tipo n. El valor de I_{pn} no es el que se ha encontrado en la Sec. 19-10 para un diodo, ya que, en el transistor, la corriente de huecos aparece en la región de base que es de pequeña anchura, mientras que, en un diodo, la región n se extiende a distancias grandes comparada con L_n. La concentración de huecos viene dada por la Ec. (2-46):

$$p_n - p_{no} = K_1 \epsilon^{-x/L_B} + K_2 \epsilon^{+x/L_B} \qquad (19\text{-}108)$$

en la que K_1 y K_2 son constantes que están determinadas por las condiciones de contorno. La situación en cada unión es exactamente la de la unión de diodos, y las condiciones de contorno vienen dadas por la Ec. (19-80), o sea:

$$p_n = \begin{cases} p_{no}\epsilon^{V_E/V_T} & \text{a} \quad x = 0 \\ p_{no}\epsilon^{V_C/V_T} & \text{a} \quad x = W \end{cases} \qquad (19\text{-}109)$$

No será difícil hallar la solución exacta (Prob. 19-32). Normalmente, no obstante, la anchura de la base W es pequeña comparada con L_B, y podemos simplificar la solución

introduciendo esta desigualdad. Puesto que $0 \leqslant x \leqslant W$, supondremos que $x/L_B \ll 1$, y entonces las exponenciales de la Ec. (19-108) pueden desarrollarse en serie. Si sólo se retienen los dos primeros términos, esta ecuación toma la forma:

$$p_n - p_{no} = K_3 + K_4 x, \tag{19-110}$$

en la que K_3 y K_4 son constantes nuevas (y todavía sin determinar). Con esta aproximación, p_n es una función lineal de la distancia en la base. Entonces, a partir de las Ecs. (2-36) y (19-110):

$$I_{pn} = -AqD_pK_4 = \text{constante} \tag{19-111}$$

Este resultado –que la corriente de portadores minoritarios es constante por la región de la base– se entiende fácilmente porque hemos supuesto que $W \ll L_B$. En estas circunstancias, poca recombinación puede tener lugar dentro de la base, y por lo tanto la corriente de huecos que entra a la base por la unión de emisor la deja por la unión de colector sin atenuación. Sustituyendo las condiciones de contorno (19-109) en la (19-110), resolveremos fácilmente K_4, y entonces encontraremos:

$$I_{pn}(0) = -\frac{AqD_pp_{no}}{W}[(\epsilon^{V_C/V_T} - 1) - (\epsilon^{V_E/V_T} - 1)] \tag{19-112}$$

Ecuaciones de Ebers-Moll. Por la Fig. 5-4 tenemos la corriente de emisor

$$I_E = I_{pE} + I_{nE} = I_{pn}(0) + I_{np}(0) \tag{19-113}$$

Empleando las Ecs. (19-107), (19-112) y (19-113), encontramos:

$$I_E = a_{11}(\epsilon^{V_E/V_T} - 1) + a_{12}(\epsilon^{V_C/V_T} - 1) \tag{19-114}$$

en que:

$$a_{11} = Aq\left(\frac{D_pp_{no}}{W} + \frac{D_nn_{Eo}}{L_E}\right) \qquad a_{12} = -\frac{AqD_pp_{no}}{W} \tag{19-115}$$

De forma parecida, podemos obtener:

$$I_C = a_{21}(\epsilon^{V_E/V_T} - 1) + a_{22}(\epsilon^{V_C/V_T} - 1) \tag{19-116}$$

en la que podemos demostrar (Prob. 19-31) que:

$$a_{21} = -\frac{AqD_pp_{no}}{W} \qquad a_{22} = Aq\left(\frac{D_pp_{no}}{W} + \frac{D_nn_{Co}}{L_C}\right) \tag{19-117}$$

Observemos que $a_{12} = a_{21}$. Este resultado puede demostrarse[8] como válido para un transistor con cualquier geometría. Las ecuaciones (19-114) y (19-116) son válidas para

cualquier valor positivo o negativo de V_E o V_C, y se conocen con el nombre de *ecuaciones de Ebers-Moll*, que relacionan las corrientes del transistor con las tensiones de las uniones.

De las ecuaciones Ebers-Moll (5-24) y (5-25) cabe obtener las expresiones de I_E e I_C en función de V_E, V_C, y los parámetros α_N, α_I, I_{CO} e I_{EO}. Si esas ecuaciones se ponen en la forma de las Ecs. (19-114) y (19-116), y a_{12} se iguala a a_{21}, el resultado es $\alpha_N I_{EO} = \alpha_I I_{CO}$.

19-14. ALFA DEL TRANSISTOR

Si se elimina V_E de las ecuaciones (19-114) y (19-116), el resultado será

$$I_C = \frac{a_{21}}{a_{11}} I_E + \left(a_{22} - \frac{a_{21}a_{12}}{a_{11}}\right)(\epsilon^{V_C/V_T} - 1) \tag{19-118}$$

Esta ecuación tiene la misma forma que la (5-6). Así, tenemos por comparación:

$$\alpha \equiv -\frac{a_{21}}{a_{11}} \tag{19-119}$$

$$I_{CO} \equiv \frac{a_{21}a_{12}}{a_{11}} - a_{22} \tag{19-120}$$

Empleando las ecuaciones (19-115) y (19-117), obtendremos

$$\alpha = \frac{1}{1 + D_nn_{Eo}W/L_ED_pp_{no}} \tag{19-121}$$

Utilizando la Ec. (2-8) para la conductividad, la Ec. (19-59) para la constante de difusión, y la Ec. (2-10) para la concentración, la Ec. (19-121) se reduce a:

$$\alpha = \frac{1}{1 + W\sigma_B/L_E\sigma_E} \tag{19-122}$$

en la que $\sigma_B(\sigma_E)$ es la conductividad de la base (emisor); vemos que, para retener α próximo a la unidad, σ_E/σ_B deberá ser grande y W/L_E deberá ser pequeño.

El análisis de la sección precedente se basa en el supuesto de que $W/L_B \ll 1$. Si se prescinde de esta restricción, se obtiene la solución dada por el problema 19-31. Entonces encontraremos (Prob. 19-33) que $\alpha = \beta^*\gamma$, donde

$$\gamma = \frac{1}{1 + (D_nL_Bn_{Eo}/D_pL_Ep_{no})\ \text{tg h}\ (W/L_B)} \tag{19-123}$$

y

$$\beta^* = \text{sec h}\ \frac{W}{L_B} \tag{19-124}$$

Si $W \ll L_B$, la secante y la tangente hiperbólicas se pueden desarrollar en potencias de W/L_B, y las primeras aproximaciones serán (Prob. 19-34):

$$\gamma \approx \frac{1}{1 + W\sigma_B/L_E\sigma_E} \approx 1 - \frac{W\sigma_B}{L_E\sigma_E} \tag{19-125}$$

$$\beta^* \approx 1 - \frac{1}{2}\left(\frac{W}{L_B}\right)^2 \tag{19-126}$$

y

$$\alpha = \beta^*\gamma \approx 1 - \frac{1}{2}\left(\frac{W}{L_B}\right)^2 - \frac{W\sigma_B}{L_E\sigma_E} \tag{19-127}$$

19-15. ANALISIS DE UN TRANSISTOR AL CORTE Y EN LA REGION DE SATURACION

Las corrientes y las tensiones de un transistor se pueden hallar a través de las ecuaciones de Ebers Moll de la Sec. 5-12, que repetimos aquí para facilitar la explicación

$$I_C = -\alpha_N I_E - I_{CO}(\epsilon^{V_C/V_T} - 1) \tag{19-128}$$

$$I_E = -\alpha_I I_C - I_{EO}(\epsilon^{V_E/V_T} - 1) \tag{19-129}$$

$$\alpha_I I_{CO} = \alpha_N I_{EO} \tag{19-130}$$

$$V_E = V_T\ 1\left(1 - \frac{I_E + \alpha_I I_C}{I_{EO}}\right) \tag{19-131}$$

$$V_C = V_T\ 1\left(1 - \frac{I_C + \alpha_N I_E}{I_{CO}}\right) \tag{19-132}$$

Región de corte. Si definimos el corte, tal como hicimos en la Sec. 5-7, para indicar una corriente de emisor nula y corriente de saturación inversa en el colector, ¿qué tensión se precisa en la unión de emisor para el corte? La ecuación (19-31) con $I_E = 0$ e $I_C = I_{CO}$ se transforma en:

$$V_E = V_T\ 1\left(1 - \frac{\alpha_I I_{CO}}{I_{EO}}\right) = V_T\ 1\ (1 - \alpha_N) \tag{19-133}$$

donde empleamos la Ec. (19-130). A 25 °C, V_T = 26 mV, y para α_N = 0,99, V_E = – 120 mV. Cerca del corte cabe esperar que α_N sea menor que el valor nominal 0,98. Con α_N = 0,9 para el germanio, encontramos que V_E = – 60 mV. Para el silicio cerca del corte, $\alpha_N \approx 0$, y por la Ec. (19-133), $V_E \approx V_T\ 1\ 1 = 0$ V. La tensión V_E es la caída de tensión entre el lado p y el lado n de la unión de emisor. Para hallar la tensión que se debe aplicar entre los terminales de emisor y base, en principio debemos tener en cuenta la caída en la resistencia de dispersión de la base $r_{bb'}$ de la Fig. 5-20. Si $r_{bb'}$ = 100 Ω e I_{CO} = 2 μA, entonces $I_{CO}r_{bb'}$ = 0,2 mV, que es despreciable. Puesto que la corriente de emisor es cero, el potencial V_E se denomina *potencial flotante de emisor.*

El análisis anterior indica que, una polarización inversa de aproximadamente 0,1 V (0V), corta los transistores de germanio (silicio). Es interesante determinar qué corriente circulará si se aplica una tensión inversa de entrada grande. Suponiendo que tanto V_E como V_C sean negativas y mucho mayores que V_T, de tal forma que las exponenciales se puedan despreciar en comparación con la unidad, las Ecs. (19-128) y (19-129) se transforman en:

$$I_C = -\alpha_N I_E + I_{CO} \qquad I_E = -\alpha_I I_C + I_{EO} \tag{19-134}$$

Resolviendo estas ecuaciones y empleando la Ec. (19-130), obtendremos:

$$I_C = \frac{I_{CO}(1 - \alpha_I)}{1 - \alpha_N\alpha_I} \qquad I_E = \frac{I_{EO}(1 - \alpha_N)}{1 - \alpha_N\alpha_I} \tag{19-135}$$

Como (para el Ge) $\alpha_N \approx 1, I_C \approx I_{CO}$ e $I_E \approx 0$. Empleando $\alpha_N = 0{,}9$ y $\alpha_I = 0{,}5$, entonces $I_C = I_{CO}(0{,}50/0{,}55) = 0{,}91\, I_{CO}$ e $I_E = I_{EO}\ (0{,}10/0{,}55) = 0{,}18\, I_{EO}$ y representa una corriente *inversa* muy pequeña. Empleando $\alpha_1 = 0$ y $\alpha_N \approx 0$ (para el Si), tenemos que $I_C \approx I_{CO}$ e $I_E \approx I_{EO}$. Por tanto, aumentando el valor de la polarización inversa base-emisor hasta más allá del corte los efectos (Fig. 5-16) sobre las corrientes pequeñas del transistor son mínimos.

Base corto circuitada. Supongamos que, en lugar de polarizar inversamente la unión de emisor cortocircuitamos simplemente los terminales de base y emisor. Las corrientes que ahora circularán las hallaremos haciendo $V_E = 0$ y despreciando ϵ^{V_C/V_T} en las ecuaciones de Ebers-Molls. El resultado será:

$$I_C = \frac{I_{CO}}{1 - \alpha_N\alpha_I} \equiv I_{CES} \quad \text{e} \quad I_E = -\alpha_I I_{CES} \tag{19-136}$$

donde I_{CES} representa la corriente de colector en la configuración de emisor común con la base en cortocircuito. Si (para el Ge) $\alpha_N = 0{,}9$ y $\alpha_I = 0{,}5$, entonces I_{CES} vale cerca de $1{,}8\, I_{CO}$ e $I_E = -0{,}91\, I_{CO}$. Si (para el Si) $\alpha_N \approx 0$ y $\alpha_I \approx 0$, entonces $I_{CES} \approx I_{CIO}$ e $I_E \approx 0$. Por tanto, incluso estando en cortocircuito la unión de emisor, el transistor está virtualmente al corte (Fig. 5-16).

La base en circuito abierto. Si en lugar de cortocircuitar la base la dejamos "flotante", de tal manera que $I_B = 0$, no se cumple la condición de corte. La corriente de colector en estas condiciones se representa por I_{CEO}, y viene dada por:

$$I_{CEO} = \frac{I_{CO}}{1 - \alpha_N} \tag{19-137}$$

Es interesante hallar la tensión de la unión de emisor en estas condiciones de base flotante. De la Ec. (19-131), con $I_E = -I_C$, y empleando las Ecs. (19-130) y (19-137):

$$V_E = V_T\ 1\left[1 + \frac{\alpha_N(1 - \alpha_I)}{\alpha_I(1 - \alpha_N)}\right] \tag{19-138}$$

Para $\alpha_N = 0{,}9$ y $\alpha_I = 0{,}5$ (para el Ge) encontramos $V_E = +\ 60$ mV. Para $\alpha_N \approx 10\ \alpha_I \approx 0$ (para el Si), tenemos $V_E \approx V_T$ 1 11 $= +\ 64$ mV. Así, pues, una base en circuito abierto representa una ligera polarización en sentido *directo* (Fig. 5-16).

Tensión umbral. Cabe estimar la tensión umbral V_γ de un caso típico de la siguiente forma. Supongamos que se está empleando un transistor como interruptor, de tal manera que cuando esté en conducción circule por él una corriente de 20 mA. Podemos considerar que el punto de cebado ha sido alcanzado cuando la corriente de colector iguala, por ejemplo, al 1 % de la corriente máxima, o sea una corriente de colector $I_C = 0{,}2$ mA. Así, la V_γ será el valor de V_E dado en la Ec. (19-131), con

$$I_E = -(I_C + I_B) \approx -I_C = -0{,}2 \text{ mA}$$

Supongamos un transistor de germanio con $\alpha_I = 0{,}5$ e $I_{EO} = 1\ \mu$A. Puesto que, a la temperatura ambiente, $V_T = 0{,}026$ V, obtendremos de la Ec. (19-131)

$$V_\gamma = (0{,}026)\,(2{,}30) \log \left[1 + \frac{0{,}2 \times 10^{-3}\,(1 - 0{,}5)}{10^{-6}} \right] = 0{,}12 \text{ V}$$

Región de saturación. Consideremos el transistor de germanio *p-n-p* 2N 404 trabajando con $I_C = -\ 20$ mA, $I_B = -\ 0{,}35$, e $I_E = +\ 20{,}35$ mA. Vamos a suponer los siguientes valores suficientemente razonables: $I_{CO} = -\ 2{,}0\ \mu$A, $I_{EO} = -\ 1{,}0\ \mu$A y $\alpha_N = 0{,}99$. De la Ec. (19-130), $\alpha_I = 0{,}50$. A partir de las Ecs. (19-131) y (19-132) calculamos que a temperatura ambiente

$$V_E = (0{,}026)\,(2{,}30) \log \left[1 - \frac{20{,}35 - (0{,}50)\,(20)}{-10^{-3}} \right] = 0{,}24 \text{ V}$$

y

$$V_C = (0{,}026)\,(2{,}30) \log \left[1 - \frac{-\ 20 + 0{,}99\,(20{,}35)}{-(2)\,(10^{-3})} \right] = 0{,}11 \text{ V}$$

Para un transistor *p-n-p*,

$$V_{CE} = V_C - V_E = 0{,}11 - 0{,}24 = -\ 0{,}13 \text{ V}$$

Teniendo en cuenta la caída de potencial en $r_{bb'}$ ($\sim 100\ \Omega$) de la Fig. 5-20,

$$V_{CB} = V_C - I_B r_{bb'} = 0{,}11 + 0{,}035 \approx 0{,}15 \text{ V}$$

y

$$V_{BE} = I_B r_{bb'} - V_E = -\ 0{,}035 - 0{,}24 \approx -\ 0{,}28 \text{ V}$$

Obsérvese que la resistencia de dispersión de la base no entra en el cálculo de la tensión colector-emisor. Para un transistor de unión por difusión, la caída de potencial resultante de la resistencia de dispersión del colector puede ser significativa para la corriente de saturación. Si así ocurre, esta caída ya no puede ser despreciada, como hemos hecho más arriba. Por ejemplo, si la resistencia del colector es de 5 Ω, con una corriente de colector de 20 mA, la caída óhmica es de 0,10 V, y $|V_{CE}|$ aumenta de 0,13 a 0,23 V.

Los valores de I_{CO} e I_{EO} para transistores de silicio son tan sumamente pequeños que es difícil su determinación debido al efecto enmascarador de la corriente de fuga superficial. De ahí que no se pueda hacer un cálculo preciso de V_γ, $V_{CE,\text{sat}}$ y $V_{BE,\text{sat}}$. Los valores determinados experimentalmente están indicados en la Tabla 5-1.

REFERENCIAS

1. Fermi, E. "Zur Quantelung des idealen einatomigen Gases", *Z. Physik,* vol. 36, pp. 902-912, mayo de 1926.
   Dirac, P. A. M.: "On the Theory of Quantum Mechanics", *Proc. Roy. Soc. (Londres),* vol. 112, pp. 661-667, octubre de 1926.
2. Sommerfeld, A., y H. Bethe: "Elektronentheorie der Metalle", en "Handbuch der Physik" 2.ª ed., vol. 24, 2.ª parte, pp. 333-622 Sringer Verlag OHG, Berlín, 1933.
   Darrow, K. K.: "Statistical Theories of Matter, Radiation and Electricity", *Bell System Tech. J.,* vol. 8, pp. 672-748, octubre de 1929.
3. Millman, J. y S. Seely: "Electronics", 2.ª ed., McGraw-Hill Book Company, Nueva York, 1951.
4. Conwell, E. M. "Properties of Silicon and Germanium", *Proc. IRE,* vol. 46, pp. 1281-1300, junio de 1958.
5. Esaki, L.: "New Phenomenon in Narrow Ge *p-n* Junctions", *Phys. Rev.,* vol. 109, p. 603, 1958.
   Nanavati, R. P. "Introduction to Semiconductor Electronics", cap. 12, Mc Graw-Hill Book Company, Nueva York, 1963.
6. Phillips, A. B.: "Transistor Engineering", pp. 129-133, McGraw-Hill Book Company, Nueva York, 1962.
7. Moll, J.: "Physics of Semiconductors", pp. 117-121, McGraw-Hill Book Company, Nueva York, 1964.
   Sah, C. T., R. N. Noyce y W. Shockley: "Carrier-generation and Recombination in P-N Junctions and P-N Junction Characteristics", *Proc. IRE,* vol. 45, pp. 1228-1243, septiembre de 1957.
8. Ebers, J. J., y J. L. Moll: "Large-signal Behavior of Junction Transistors", *Proc. IRE,* vol. 42, pp. 1761-1772, diciembre de 1954.

TEMAS DE REPASO

19-1 (*a*) Trazar el gráfico de la energía potencial de un metal. (*b*) Explicar cualitativamente la existencia de la barrera de potencia en la superficie.
19-2 Explicar qué se entiende por *función de distribución.* Emplear como ejemplo la distribución en edades de una población.
19-3 (*a*) Dibujar *la función de probabilidad de Fermi-Dirac f(E)* en función de la energía E a 0 °K y a 2 500 °K. (*b*) ¿Qué significado tienen estas curvas?
19-4 (*a*) Dibujar la función de la *distribución de energía* ρ_E en un metal a 0 y a 2 500 °K. (*b*) Indicar el nivel de Fermi E_F en el gráfico y explicar su significado físico.
19-5 La función de distribución de energía viene dada por el producto de dos factores. ¿Cuál es la interpretación dada a estos dos factores?
19-6 Definir la función de *trabajo.*

19-7 Indicar gráficamente en la curva de distribución, qué electrones pueden escapar del metal a (*a*) 0 °K y (*b*) 2 500 °K.

19-8 Dar la ecuación que indica que hay una distribución en energía de los electrones que escapan del metal. Explicar el significado de esta ecuación.

19-9 (*a*) Definir la *tensión equivalente de temperatura.* (*b*) ¿Cuál es su valor a temperatura ambiente?

19-10 ¿De qué manera varía la densidad de estados $N(E)$ con E para (*a*) los electrones de un metal, (*b*) los electrones de un semiconductor, y (*c*) los huecos en un semiconductor?

19-11 Trazar las curvas de (*a*) E en función de $f(E)$, (*b*) E en función de $N(E)$, y (*c*) E en función de $\rho\ (E)$ para los electrones y los huecos de un semiconductor.

19-12 Esbozar el gráfico de las bandas de energía para un semiconductor (*a*) intrínseco, (*b*) de tipo *n*, y (*c*) de tipo *p*. Indicar los niveles de Fermi, de los donadores, y de los aceptadores.

19-13 Esbozar el gráfico de las bandas de energía para una unión *p-n* en circuito abierto. Indicar el nivel de Fermi E_F y la diferencia de potencial de contacto E_o.

19-14 Indicar la *ley de acción de masas.* Explicar su significado.

19-15 Indicar la ecuación de Einstein comprendiendo la constante de difusión.

19-16 Trazar el gráfico de las bandas de energía en un diodo *p-n* altamente dopado: (*a*) en circuito abierto, y (*b*) con polarización inversa.

19-17 Trazar el gráfico de las bandas de energía de un diodo *p-n* altamente dopado, para (*a*) una pequeña polarización directa, (*b*) la polarización directa que resulta de un pico de la corriente de túnel, y (*c*) la polarización directa por encima de la cual la corriente por efecto túnel será cero.

19-18 Para un diodo Esaki, esbozar (*a*) la corriente por efecto túnel, (*b*) la corriente de inyección, y (*c*) la corriente total.

19-19 Escribir la *ecuación de continuidad* para los huecos. Explicar el significado físico de cada uno de los términos de la misma.

19-20 Escribir la ecuación de densidad de corriente para los huecos. Explicar el significado físico de cada término.

19-21 ¿Cuáles son las cinco ecuaciones que determinan p, n, $\mathscr{E}$, J_p y J_n?

19-22 (*a*) Establecer la ley de la unión. (*b*) Deducir esta ecuación en el supuesto de que la corriente de difusión sea aproximadamente igual a la corriente de desplazamiento tanto con polarización directa del diodo como en circuito abierto.

19-23 (*a*) De la expresión de $p_n(x)$, hallar $I_{pn}(0)$ como función de $p'_n(0)$. (*b*) Emplear la ley de la unión para hallar el valor de $I_{pn}(0)$ en función de la tensión aplicada V. (*c*) Hallar la ecuación para la corriente inversa de saturación I_o.

19-24 (*a*) Escribir la ecuación de Ebers-Moll para I_C en función de V_E y V_C. (*b*) ¿Cuál es la ecuación correspondiente al funcionamiento en inverso?

19-25 A partir de las ecuaciones del tema 19-24, hallar la tensión en la unión en función de la corriente en la misma.

19-26 (*a*) Definir *el corte.* (*b*) Obtener la expresión de la tensión de la unión del emisor en corte.

19-27 Obtener las expresiones de I_C e I_E si apareciera una gran tensión inversa de polarización en las uniones.

19-28 Obtener las expresiones de I_C e I_E con la base en cortocircuito.

19-29 Obtener las expresiones de I_C y V_E con la base en circuito abierto.

APENDICE A

Valores probables de las constantes físicas generales*

Constante	Símbolo	Valor
Carga del electrón	q	$1{,}602 \times 10^{-19}$ C
Masa del electrón	m	$9{,}109 \times 10^{-31}$ kg
Relación entre carga y masa del electrón	q/m	$1{,}759 \times 10^{11}$ C/kg
Masa del átomo de peso atómico unidad (hipotética)	.....	$1{,}660 \times 10^{-27}$ kg
Masa del protón	m_p	$1{,}673 \times 10^{-27}$ kg
Relación de masas del protón y del electrón	m_p/m	$1{,}837 \times 10^3$
Constante de Planck	h	$6{,}626 \times 10^{-34}$ J-seg
Constante de Boltzmann	$\bar{k}$	$1{,}381 \times 10^{-23}$ J/°K
	k	$8{,}620 \times 10^{-5}$ eV/°K
Constante de Stefan-Boltzmann	σ	$5{,}670 \times 10^{-8}$ W/(m^2)(°K^4)
Número de Avogadro	N_A	$6{,}023 \times 10^{23}$ molec/mole
Constante de los gases	R	8,314 J/(gr) (mole)
Velocidad de la luz	c	$2{,}998 \times 10^8$ m/seg
Constante de Faraday	F	$9{,}649 \times 10^3$ C/mole
Volumen por mol	V_o	$2{,}241 \times 10^{-2}$ m^3
Aceleración de la gravedad	g	9,807 m/seg^2
Permeabilidad del espacio libre	μ_o	$1{,}257 \times 10^{-6}$ H/m
Permisividad del espacio libre	ϵ_o	$8{,}849 \times 10^{-12}$ F/m

* E. A. Mechtly, "Sistema internacional de unidades: Constantes físicas y factores de conversión", Administración Nacional de Aeronáutica y del Espacio, NASA SP-7012, Washington, D. C., 1964.

APENDICE B

Factores de conversión y prefijos

1 ampere (A)	= 1 C/seg
1 angstrom (Å)	= 10^{-10} m
	= 10^{-4} μm
1 atmósfera de presión	= 760 mm Hg
1 coulomb (C)	= 1 A-seg
1 electrón volt (eV)	= $1{,}60 \times 10^{-19}$ J
1 farad (F)	= 1 C/V
1 pie (ft)	= 0,305 m
1 caloría gramo	= 4,185 J
giga (G)	= $\times\ 10^{9}$
1 henry (H)	= 1 V-seg/A
1 hertz (Hz)	= 1 ciclo/seg
1 pulgada (in.)	= 2,54 cm
1 joule (J)	= 10^{7} erg
	= 1 W-seg
	= $6{,}25 \times 10^{18}$ eV
	= 1 N-m
	= 1 C-V
kilo (k)	= $\times\ 10^{3}$
1 kilogramo (kg)	= 2,205 lb
1 kilómetro (km)	= 0,622 millas
1 lumen	= 0,0016 W (a 0,55 μm)
1 lumen por pie cuadrado	= 1 ft-candela (fc)
mega (M)	= $\times\ 10^{6}$
1 metro (m)	= 39,37 pulgadas
micra (μ)	= $\times\ 10^{-6}$
1 micrón	= 10^{-6} m
	= 1 μm
1 mil	= 10^{-3} in.
	= 25 μm
1 milla	= 5,280 pies (ft)
	= 1,609 km
mili (m)	= $\times\ 10^{-3}$
nano (n)	= $\times\ 10^{-9}$
1 newton (N)	= 1 kg-m/seg^2
pico (p)	= $\times\ 10^{-12}$
1 libra (lb)	= 453,6 gr
1 tesla (T)	= 1 Wb/m^2
1 tonelada	= 2 000 libras
1 volt (V)	= 1 W/A
1 wat (W)	= 1 J/seg
1 weber (Wb)	= 1 V-seg
1 weber por metro cuadrado (Wb/m^2)	= 10^{4} gauss

APENDICE C

Problemas

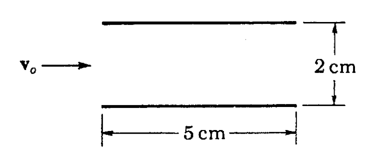
CAPITULO 1

1-1 (*a*) La distancia entre las placas de un condensador plano paralelo es de 1 cm. Un electrón está parado sobre la placa negativa. Si se aplica una tensión directa de 1 000 V, ¿cuánto tardará el electrón en alcanzar la placa positiva?
(*b*) ¿Cuál es el valor de la fuerza que se ejerce sobre el electrón al principio y al final de su trayectoria?
(*c*) ¿Cuál será su velocidad final?
(*d*) Si se aplica una tensión senoidal de 60 Hz, de 1 000 V de pico, ¿cuál será el tiempo de tránsito? Supóngase que el electrón tiene una velocidad nula en el instante en que la tensión aplicada pasa por cero. Sugerencia: Desarrollar en serie la función senoidal. Es decir, sen $\theta = \theta - \theta^3/3! + \theta^5/5! - \ldots$.

1-2 Las placas de un condensador plano están separadas entre sí d m. En el instante $t = 0$, un electrón es liberado de la superficie de la placa inferior con una velocidad v_o (metros por segundo) normal a las placas. El potencial de la placa superior, respecto a la inferior, es $-V_m$ sen ωt.
(*a*) Hallar la posición del electrón en cualquier instante.
(*b*) Hallar el valor del campo eléctrico en el instante en que la velocidad del electrón sea cero.

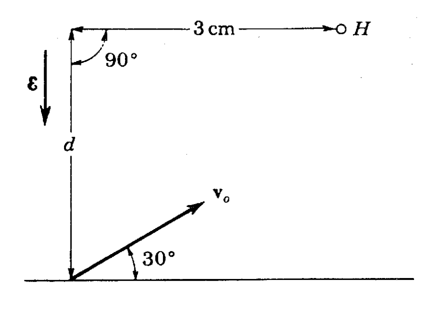
1-3 Un electrón parte con velocidad nula de la inferior de dos placas horizontales separadas 3 cm. El potencial de aceleración entre estas dos placas aumenta linealmente con el tiempo desde cero, a un ritmo de 10 V/μs. Cuando el electrón está a 2,8 cm de la placa inferior, una tensión inversa de 50 V sustituye la tensión de aumento lineal.
(*a*) ¿Cuál es el potencial instantáneo entre las placas, en el momento de aplicar tensión inversa?
(*b*) ¿Con qué electrodo chocará el electrón?
(*c*) ¿Durante cuánto tiempo estará circulando?
(*d*) ¿Cuál será la velocidad del electrón en el momento del impacto?

1-4 Un ión de hidrógeno de 100 eV, se libera en el centro entre dos placas, como muestra la figura. La tensión entre placas varía linealmente desde 0 a 50 V en 10^{-7} seg pasando inmediatamente a cero, donde permanece. La separación entre placas es de 2 cm. Si el ión entra en la región entre placas, en el instante $t = 0$, ¿a qué distancia del eje X saldrá de las placas?



Prob. 1-4

1-5 Se proyectan electrones en una región de intensidad de campo eléctrico constante de valor 5×10^3 V/m en posición vertical. El dispositivo que emite los electrones forma un ángulo de 30° con el horizontal, y además inyecta los electrones con una energía de 100 eV.
(*a*) ¿Cuánto tarda el electrón al dejar el dispositivo emisor en poder atravesar un orificio situado a 3 cm en distancia horizontal desde la posición del disparador? Referirse a la figura. Suponer que el campo es hacia abajo.
(*b*) ¿Cuál debe ser la distancia d para que las partículas crucen por el agujero?
(*c*) Repetir el problema en el caso del campo dirigido hacia arriba.



Prob. 1-5

1-6 (*a*) Un electrón es emitido desde un electrodo con velocidad inicial despreciable y se le acelera con un potencial de 1 000 V. Calcular la velocidad final de la partícula.
(*b*) Repetir el problema en el caso de un átomo de deuterio (ión de hidrógeno pesado, de peso atómico 2,01) que se ha introducido en el campo eléctrico con la velocidad inicial de 10^5 m/seg.

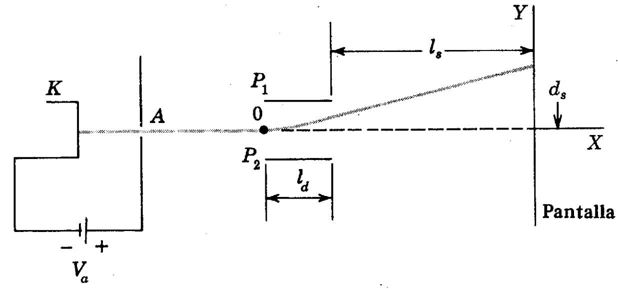
1-7 Un electrón con una energía cinética inicial de 10^{-16} J en la superficie de una de dos placas paralelas, se mueve hacia la otra, viéndose frenado por el campo creado por un potencial de 400 V aplicado entre los dos electrodos,
(*a*) ¿Alcanzará el electrón el segundo electrodo?
(*b*) ¿Qué potencial de retardo se requerirá para que un electrón alcance el segundo electrodo con velocidad nula?

1-8 En un cierto diodo de placas paralelas, el potencial V viene dado en función de la distancia x entre electrodos por la ecuación

$$V = kx^{4/3}$$

en la que k es una constante.
(*a*) Hallar la expresión del tiempo que tarda un electrón que parte del electrodo de menor potencial con velocidad inicial cero hasta alcanzar el otro electrodo situado a una distancia d.
(*b*) Hallar la expresión de la velocidad de ese electrón.

1-9 La disposición esencial del tubo de un osciloscopio se indica en la figura adjunta. La diferencia de potencial entre K y A es V_a y entre P_1 y P_2, es de V_p. No existe interferencia entre los dos campos. Los electrones se emiten desde el electrodo K con velocidad inicial nula, y pasan por un orificio en la mitad del electrodo A. Debido al campo existente entre P_1 y P_2, cambia de dirección cuando pasa por entre las dos placas siguiendo después con velocidad uniforme hasta la pantalla S. La distancia entre las placas es d.



Prob. 1-9

(*a*) Hallar la velocidad v_x de los electrones en función de V_a, cuando pasan por A.
(*b*) Hallar la componente Y de la velocidad v_y de los electrones cuando salen del campo de las placas P_1 y P_2, en función de V_p, l_p, d y v_x.
(*c*) Hallar la distancia al centro de la pantalla (d_s) cuando los electrones la alcanzan, en función de las dimensiones del tubo y de las tensiones aplicadas.
(*d*) Hallar los valores numéricos de v_x, v_y y d_s para $V_a = 1{,}0$ kV y $V_p = 10$ V, $l_d = 1{,}27$ cm, $d = 0{,}475$ cm, y $l_s = 19{,}4$ cm.
(*e*) Si queremos tener una deflexión $d_s = 10$ cm del rayo de electrones, ¿cuál será el valor de V_a?

1-10 Un diodo está constituido por un emisor plano y por un ánodo plano paralelo, separados por una distancia de 0,5 cm. El ánodo se mantiene a un potencial de 10 V negativo con respecto al cátodo.
(*a*) Si un electrón parte del emisor con una velocidad de 10^6 m/seg y dirigido hacia el ánodo, ¿a qué distancia del cátodo cortará la barrera de energía potencial?
(*b*) ¿Cuál deberá ser la velocidad del electrón al dejar el emisor, para poder alcanzar el ánodo?

1-11 Cuando una partícula es desplazada de su posición de equilibrio, queda sujeta a una fuerza de restitución $f = -kx$, en la que x es el desplazamiento medido desde la posición de equilibrio. Demostrar por el método de la energía, que la partícula ejecutará vibraciones periódicas con un desplazamiento máximo proporcional a la raíz cuadrada de la energía total de la partícula.

1-12 Una partícula de masa m es proyectada verticalmente hacia arriba en el campo de gravitación, con una velocidad v_o.
(*a*) Demostrar por el método de la energía que esta partícula cambiará de dirección a la altura de $v^2_o/2g$, en la que g es la aceleración de la gravedad.
(*b*) Demostrar que el punto de inversión equivale a la "colisión" con la barrera de energía potencial.

1-13 (*a*) Demostrar la Ec. (1-13).
(*b*) Demostrar que el punto de inversión equivale a la "colisión" con la barrera de energía potencial.

$$r = \frac{h^2 \epsilon_o n^2}{\pi m q^2}$$

donde n es un entero distinto de cero. Para el estado de tierra ($n = 1$), demostrar que el radio es de 0,53 Å.

1-14 Demostrar que el tiempo de una revolución del electrón de un átomo de hidrógeno en su trayectoria circular en torno al núcleo, es

$$T = \frac{m^{1/2} q^2}{4\sqrt{2}\, \epsilon_o (-W)^{3/2}}$$

donde los símbolos se definen en la Sec. 1-4.

1-15 Demostrar, para un átomo de hidrógeno, que la inversa de la longitud de onda (denominada *número de onda*) de las líneas del espectro, viene dada, en ondas por metro, por

$$\frac{1}{\lambda} = R \left(\frac{1}{n_2{}^2} - \frac{1}{n_1{}^2} \right)$$

en cuya igualdad n_1 y n_2 son números enteros, con n_1 mayor que n_2, y $R = mq^4/8\epsilon_o{}^2 h^3 c = 1{,}10 \times 10^7\ \text{m}^{-1}$ se denomina *constante de Rydberg*.

Si $n_2 = 1$, esta fórmula da una serie de líneas en el ultravioleta, llamada *serie de Lyman*. Si $n_2 = 2$, la fórmula da una serie de líneas en el espectro visible, denominada *serie de Balmer*. Asimismo, la serie para $n_2 = 3$ se denomina *serie de Paschem*. Estas líneas indicadas se observan en el espectro del hidrógeno.

1-16 Demostrar que la Ec. (1-14) es equivalente a la Ec. (1-11).

1-17 (*a*) Un fotón, de longitud de onda 1 026 Å es absorbido por hidrógeno, y son emitidos otros dos fotones. Si uno de ellos está en la línea 1 216 Å, ¿cuál será la longitud de onda del segundo?
(*b*) Si el resultado del bombardeo del hidrógeno señala la presencia de líneas fluorescentes de 18 751 y 1 026 Å, ¿cuál ha sido la longitud de onda de la radiación de bombardeo?

1-18 Los siete niveles más bajos de energía del vapor de sodio, son 0, 2,10, 3,19, 3,60, 3,75, 4,10 y 4,26 eV. Un fotón de longitud de onda de 3 300 Å es absorbido por un átomo del vapor.
(*a*) ¿Cuáles son todas las posibles líneas fluorescentes que aparezcan?
(*b*) Si se emiten tres fotones y uno de ellos está en la línea de los 11 380 Å; ¿cuál será la longitud de onda de los otros dos?
(*c*) ¿Entre qué estados de energía tiene lugar la transición para producir estas líneas?

1-19 (*a*) ¿Con qué velocidad deberá circular un electrón, por una lámpara de vapor de sodio para excitar la línea amarilla cuya longitud de onda es de 5 893 Å?
(*b*) ¿Cuál deberá ser la frecuencia de un fotón para excitar la misma línea amarilla?
(*c*) ¿Qué sucederá si la frecuencia del fotón es de 530 ó 490 THz (T = Tera = 10^{12})?
(*d*) ¿Cuál deberá ser la frecuencia mínima del fotón para ionizar un átomo sin excitar de vapor de sodio?
(*e*) ¿Cuál deberá ser la velocidad mínima de un electrón para ionizar un átomo sin excitar de vapor de sodio? Ionización del vapor de sodio: 5,12 eV.

1-20 Un tubo de rayos X es, esencialmente, un diodo de alta tensión. Los electrones del filamento incandescente se aceleran por la tensión de alimentación de la placa, de manera que llegan al ánodo con una considerable energía. Por tanto pueden efectuar transiciones entre los electrones de los átomos del metal que hace de blanco (ánodo).
(*a*) ¿Cuál es la mínima tensión que se debe aplicar en el tubo para producir rayos X con una longitud de onda de 0,5 Å?
(*b*) ¿Cuál es la mínima longitud de onda del espectro de un tubo de rayos al que se aplican 60 kV?

1-21 La radiación de resonancia del argón, correspondiente a una energía de 11,6 eV, cae sobre vapor de sodio. Si un fotón ioniza un átomo de sodio desexcitado, ¿cuál será la velocidad de emisión del electrón? El potencial de ionización del sodio es de 5,12 eV.

1-22 Un transmisor de radio emite 1 000 W a una frecuencia de 10 MHz.
(*a*) ¿Cuál será la energía de cada cuantum radiado en electrón-volt?
(*b*) ¿Qué cantidad de cuantum son emitidos por segundo?
(*c*) ¿Qué cantidad de cuantum son emitidos en cada período de oscilación del campo electromagnético?
(*d*) Si cada cuantum actúa como una partícula, ¿cuál es su momento?

1-23 ¿Cuál es la longitud de onda de: (*a*) una masa de 1 kg movida a una velocidad de 1 m/seg, (*b*) un electrón que ha sido acelerado desde el reposo por una diferencia de potencial de 10 V?

1-24 La física clásica es válida mientras las dimensiones físicas del sistema sean mucho mayores que la longitud de onda de De Broglie. Determinar si la partícula se comporta de la forma clásica en cada uno de los siguientes casos:
(*a*) Un electrón que se acelera con un potencial de 300 V en un dispositivo cuyas dimensiones son del orden de 1 cm.
(*b*) Un electrón del haz de electrones de un tubo de rayos catódicos (la tensión de ánodo a cátodo es de 25 kV)
(*c*) El electrón de un átomo de hidrógeno.

1-25 Un fotón de una longitud de onda de 1 216 Å excita un átomo de hidrógeno en reposo.
Calcular:
(*a*) El momento del fotón comunicado al átomo.
(*b*) La energía correspondiente a este momento y dada al átomo de hidrógeno.
(*c*) La relación entre la energía hallada en el apartado *b* con respecto a la energía del fotón. Sugerencia: emplear la conservación del momento.

CAPITULO 2

2-1 Demostrar que la concentración n de electrones libres por metro cúbico de un metal, viene dada por

$$n = \frac{dv}{AM} = \frac{A_o dv \times 10^3}{A},$$

donde d = densidad, kg/m³
v = valencia, electrones libres por átomo
A = peso atómico
M = peso del átomo de peso atómico unidad, kg (Apéndice A)
A_o = número de Avogadro, moléculas/mol

2-2 La densidad específica del tungsteno es de 18,8 g/cm³, y su peso atómico es 184,0. Supóngase que hay dos electrones libres por átomo. Calcular la concentración de electrones libres.

2-3 (*a*) Calcular la conductividad del cobre, para el que μ = 34,8 cm²/V-seg y d = 8,9 g/cm³. Emplear el resultado del Prob. 2-1.
(*b*) Si se aplica un campo eléctrico a través de una barra de cobre con una intensidad de 10 V/cm, hallar la velocidad media de los electrones libres.

2-4 Calcular la movilidad de los electrones libres del aluminio cuya densidad es de 2,70 g/cm³ y cuya resistividad es de 3,44 × 10⁻⁶ Ω-cm. Supóngase que el aluminio tiene tres electrones de valencia por átomo. Emplear el resultado del problema 2-1.

2-5 La resistencia de un hilo de cobre del n.º 18 (diámetro = 1,03 mm) es de 21,34 Ω por 1 000 metros. La concentración de electrones libres en el cobre es de 8,4 × 10^{28} electrones/m³. Si la corriente es de 2 A, hallar la (*a*) velocidad de desplazamiento, (*b*) movilidad, (*c*) conductividad.

2-6 (*a*) Determinar la concentración de electrones libres y de huecos en una muestra de germanio a 300° K que tiene una concentración de átomos donadores igual a 2 × 10^{14} átomos/cm³ y una concentración de átomos aceptadores de 3 × 10^{14} átomos/cm³. ¿Es un germanio de tipo p o n? En otras palabras, ¿la conductividad se debe fundamentalmente a los huecos o a los electrones?
(*b*) Repetir el apartado *a* para una concentración igual de donadores y de aceptadores de 10^{15} átomos/cm³. ¿Es un germanio del tipo p o del tipo n?
(*c*) Repetir el apartado *a* para una concentración de donadores de 10^{16} átomos/cm³ y de aceptadores de 10^{14} átomos/cm³.

2-7 (*a*) Hallar la concentración de huecos y de electrones en un germanio del tipo p a 300° K, si su conductividad es de 100 $(\Omega\text{-cm})^{-1}$.
(*b*) Repetir el apartado *a* para un silicio de tipo n, si su conductividad es de 0,1 $(\Omega\text{-cm})^{-1}$.

2-8 (*a*) Demostrar que la resistividad del germanio intrínseco a 300° K, es de 45 Ω-cm.
(*b*) Si se agrega un tipo de impureza donadora del orden de 1 átomo por cada 10^8 átomos de germanio, demostrar que la resistividad desciende a 3,7 Ω-cm.

2-9 (*a*) Hallar la resistividad del silicio intrínseco a 300° K.
(*b*) Si se agrega una impureza donadora en la cuantía de 1 átomo por cada 10^8 átomos de silicio, hallar la resistividad.

2-10 Considerar un germanio intrínseco a temperatura ambiente (300° K). ¿En qué porcentaje aumenta la conductividad por grado de incremento de la temperatura?

2-11 Repetir el problema 2-10 para el silicio intrínseco.

2-12 Repetir el problema 2-6*a* para la temperatura de 400° K, y demostrar que la muestra es esencialmente intrínseca.

2-13 Una muestra de germanio se dopa en una cuantía de 10^{14} átomos donadores/cm³ y 7 × 10^{13} átomos aceptadores/cm³. A la temperatura de la muestra, la resistividad del germanio puro (intrínseco) es de 60 Ω-cm. Si el campo eléctrico aplicado es de 2 V/cm, hallar la densidad de corriente total de conducción.

2-14 (*a*) Hallar la tensión de Hall V_H en una barra de germanio de tipo n empleada en la Fig. 2-10, teniendo una concentración de portadores mayoritarios $N_D = 10^{17}/\text{cm}^3$. Supóngase B_z = 0,1 Wb/m², d = 3 mm, y $\mathscr{E}_x$ = 5 V/cm.
(*b*) ¿Qué le sucederá a V_H si se emplea en el apartado *a* una barra de germanio del tipo p con $N_A = 10^{17}/\text{cm}^3$?

2-15 El efecto Hall se emplea para determinar la movilidad de los huecos de la barra de silicio tipo p de la Fig. 2-10. Supóngase que la resistividad de la barra es de 200 000 Ω-cm, que el valor del campo magnético es B_z = 0,1 Wb/m², y que $d = w$ = 3 mm. Los valores medidos de la corriente y de la tensión de Hall son 10 μA y 50 mV, respectivamente. Hallar μ_p.

2-16 Una cierta superficie fotosensible tiene una sensibilidad espectral de 6 mA/W de la radiación incidente de longitud de onda 2 537 Å. ¿Cuántos elentrones se emitirán fotoeléctricamente por un impulso de radiación de 10 000 fotones de esta longitud de onda?

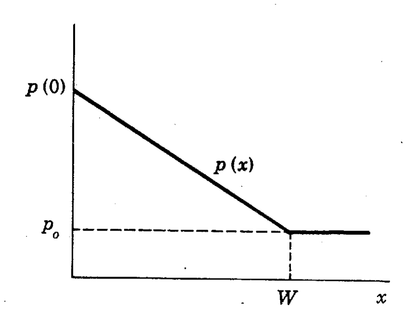
2-17 (*a*) Considerar la situación indicada en la Fig. 2-13 con la luz encendida. Demostrar que la ecuación de la conservación de la carga es

$$\frac{dp}{dt} + \frac{p}{\tau} = \frac{\bar{p}}{\tau}$$

con el eje de tiempos en la Fig. 2-13 trasladado a t'.
(*b*) Comprobar que la concentración viene dada por la ecuación

$$p = \bar{p} + (p_o - \bar{p})e^{-t/\tau}$$

2-18 La concentración de huecos en un semiconductor está indicada en la figura.
(*a*) Hallar la expresión y esbozar la densidad de corriente de huecos $J_p(x)$ para el caso en el que no hay campo eléctrico exterior aplicado.
(*b*) Hallar la expresión y esbozar el campo eléctrico interno que debe existir si no ha de haber ninguna corriente de huecos asociada con la distribución indicada.
(*c*) Hallar el valor del potencial entre los puntos $x = 0$ y $x = W$ si $p(0)/p_o = 10^3$.



Prob. 2-18

2-19 Tenemos una barra de germanio tipo n de 20 Ω-cm, con material con un tiempo de vida de 100 μseg, una sección de 1 mm^2, y una longitud de 1 cm. Un lado de la barra se ilumina con 10^{15} fotones/seg. Supóngase que cada fotón incidente genera un par electrón-hueco y que estos están distribuidos uniformemente en toda la barra. Hallar la resistencia de la barra bajo excitación continua de luz a la temperatura ambiente.

2-20 (a) Considerar un semiconductor con unión gradual como el de la Fig. 2-17a, en circuito abierto. Comprobar la ecuación de Boltzmann para los electrones [Ec. (2-61)].
(b) Para el semiconductor con unión abrupta de la Fig. 2-17b, comprobar la expresión del potencial de contacto V_o dado en la Ec. (2-63), empezando con $J_n = 0$.

2-21 (a) Considerar el semiconductor de germanio con unión abrupta de la Fig. 2-17b, con $N_D = 10^3\ N_A$ y con N_A que corresponda a 1 átomo aceptador por 10^8 átomos de germanio. Calcular la diferencia de potencial de contacto V_o a temperatura ambiente.
(b) Repetir el apartado a para una unión p-n de silicio.

CAPITULO 3

3-1 (a) Las resistividades de los dos lados de un diodo de germanio de unión abrupta es de 2 Ω-cm (lado p) y de 1 Ω-cm (lado n). Calcular la altura de la barrera de energía potencial E_o.
(b) Repetir el apartado (a) para una unión p-n de silicio.

3-2 (a) Esbozar los diagramas lineal y logarítmico de la concentración de portadores en función de la distancia para una unión abrupta de silicio, si $N_D = 10^{15}$ átomos/cm^3 y $N_A = 10^{16}$ átomos/cm^3. Dar valores numéricos a las ordenadas. Marcar las regiones n, p y de deflexión.
(b) Esbozar el campo eléctrico, la carga de espacio y el potencial en función de la distancia, para este caso. (Fig. 3-1).

3-3 Repetir el problema 3-2 para una unión abrupta de germanio.

3-4 (a) Consideremos un diodo p-n que trabaja con una inyección a bajo nivel, de forma que $p_n \ll n_n$. Suponiendo que la corriente de minoritarios sea debida enteramente a la difusión, comprobar que el campo eléctrico en el lado n viene dado por

$$\mathcal{E}(x) = \frac{I + (D_n/D_p - 1)\, I_{pn}(x)}{q n \mu_n A}$$

(b) Empleando este valor de $\mathcal{E}$, hallar la siguiente aproximación para la corriente de desplazamiento de los huecos, y demostrar que cabe verdaderamente despreciarla comparada con la corriente de difusión de los huecos.
(c) Esbozar las siguientes corrientes en función de la distancia en el lado n: (i) corriente total del diodo; (ii) corriente de los portadores minoritarios; (iii) corriente de difusión mayoritaria; (iv) corriente de desplazamiento mayoritaria; (v) corriente total de portadores mayoritarios.

3-5 Partiendo de la Ec. (3-5) para I_{pn} y la correspondiente expresión para I_{np}, probar que la relación entre las corrientes de huecos y de electrones que atraviesan una unión p-n, viene dada por

$$\frac{I_{pn}(0)}{I_{np}(0)} = \frac{\sigma_p L_n}{\sigma_n L_p}$$

donde $\sigma_p(\sigma_n)$ = conductividad del lado $p(n)$. Obsérvese que esta relación depende de la relación de conductividades. Por ejemplo, si el lado p está mucho más dopado que el lado n, la corriente de huecos que atraviesa la unión será mucho mayor que la de electrones.

3-6 (a) Demostrar que la corriente de saturación inversa en un diodo p-n, viene dada por

$$I_o = A_q \left(\frac{D_p}{L_p N_D} + \frac{D_n}{L_n N_A} \right) n_i^2$$

(b) Partiendo de la expresión de I_o hallada en el apartado a, comprobar que la corriente de saturación inversa viene dada por

$$I_o = A V_T \frac{b \sigma_i^2}{(1+b)^2} \left(\frac{1}{L_p \sigma_n} + \frac{1}{L_n \sigma_p} \right)$$

donde $\sigma_n(\sigma_p)$ = conductividad de lado $n(p)$
σ_i = conductividad del material intrínseco
$b = \mu_n/\mu_p$

3-7 (a) Empleando el resultado del problema 3-6, hallar la corriente inversa de saturación de un diodo de unión p-n de germanio a temperatura ambiente, 300° K. El área de la sección transversal es de 4,0 mm^2, y

$$\sigma_p = 1{,}0\ (\Omega\text{-cm})^{-1} \qquad \sigma_n = 0{,}1\ (\Omega\text{-cm})^{-1} \qquad L_n = L_p = 0{,}15 \text{ cm}$$

Las otras constantes físicas vienen dadas en la Tabla 2-1.
(b) Repetir el apartado a para un diodo de unión p-n de silicio. Suponer $L_n = L_p =$ 0,01 cm y $\sigma_n = \sigma_p = 0{,}01\ (\Omega\text{-cm})^{-1}$

3-8 (a) Hallar la relación entre las corrientes inversas de saturación, del germanio y del silicio, empleando el resultado del problema 3-6. Suponer $L_n = L_p = 0{,}1$ cm y $\sigma_n = \sigma_p = 1{,}0\ (\Omega\text{-cm})^{-1}$ para el germanio, mientras que los valores correspondientes del silicio serán 0,01 cm y 0,01 $(\Omega\text{-cm})^{-1}$. Ver tabla 2-1.

3-9 (a) ¿A qué tensión la corriente inversa de un diodo p-n de germanio alcanza el 90 % del valor de saturación, a temperatura ambiente?
(b) ¿Cuál es la relación entre la corriente con polarización directa de 0,05 V, y la corriente con polarización inversa del mismo valor?
(c) Si la corriente inversa de saturación es de 10 μA, calcular la corriente directa para las tensiones de 0,1, 0,2 y 0,3 V respectivamente.

3-10 (a) Hallar el valor de η de la Ec. (3-9) a partir de la pendiente del gráfico de la Fig. 3-8, para la temperatura de $T = 25°$ C. Dibujar la línea más ajustada en el margen de corrientes desde 0,01 a 10 mA.
(b) Repetirlo para $T = -55$ y 150° C.

3-11 (a) Calcular el factor por el que se multiplica la corriente inversa de saturación del diodo de germanio cuando la temperatura aumenta desde 25 a 80° C.
(b) Repetir el apartado a para el diodo de silicio en un margen de temperaturas de 25 a 150° C.

3-12 Se predice que, para el germanio, la corriente inversa de saturación aumentará en 0,11° C^{-1}. Se encuentra experimentalmente que, en un diodo determinado con una tensión inversa de 10 V, la corriente inversa es de 5 μA y la dependencia con la

temperatura sólo es de 0,07 °C^{-1}. ¿Cuál es la resistencia de dispersión en paralelo del propio diodo?

3-13 Un diodo se monta en un chasis de tal manera que, por cada grado de temperatura sobre la ambiente, se transfiere térmicamente 0,1 mW desde el diodo a su contorno. (La "resistencia térmica" del contacto mecánico entre el diodo y su contorno es de 0,1 mW/ ° C.) La temperatura ambiente es de 25 ° C. La temperatura del diodo no debe aumentar más de 10 ° C por encima del ambiente. Si la corriente inversa de saturación es de 5,0 μA a 25 ° C y aumenta con una relación de 0,07 ° C^{-1}, ¿cuál será la máxima tensión inversa de polarización que se pueda mantener en el diodo?

3-14 Un diodo de silicio trabaja con una tensión directa de 0,4 V. Calcular el factor por el que se multiplica la corriente cuando la temperatura aumenta desde 25 a 150 ° C. Comparar el resultado con la curva de la Fig. 3-8.

3-15 Un diodo de unión ideal *p-n* de germanio tiene, a la temperatura de 125 ° C, una corriente inversa de saturación de 30 μA. A dicha temperatura de 125 ° C, hallar la resistencia dinámica para una polarización de 0,2 V en (*a*) sentido directo, (*b*) sentido inverso.

3-16 Demostrar que, en una unión *p-n* aleada (con $N_A \ll N_D$), la anchura W de la capa de deflexión viene dada por

$$W = \left(\frac{2\epsilon\mu_p V_j}{\sigma_p}\right)^{1/2}$$

donde V_j es el potencial de la unión en las condiciones de una tensión V_d aplicada al diodo.

3-17 (*a*) Demostrar que, en una unión *p-n* aleada de silicio (con $N_A \ll N_D$), la capacidad de la capa de deflexión en picofarad por centímetro cuadrado viene dada por

$$C_T = 2{,}9 \times 10^{-4} \left(\frac{N_A}{V_j}\right)^{1/2}$$

(*b*) Si la resistividad del material *p* es de 3,5 Ω-cm, la altura V_o de la barrera es de 0,35 V, la tensión inversa aplicada es de 5 V, y la sección transversal tiene 1 mm de diámetro, hallar C_T.

3-18 (*a*) Para la unión de la Fig. 3-10, hallar la expresión de $\mathcal{E}$ y de V en función de x en el lado del tipo *n*, en el caso de que N_A y N_D sean de valores comparables. Sugerencia: Desplazar el origen de las x, de manera que $x = 0$ coincida con la unión.
(*b*) Demostrar que la tensión total de la barrera viene dada por la Ec. (3-21) multiplicada por $N_A/(N_A + N_D)$ y con $W = W_p + W_n$.
(*c*) Demostrar que $C_T = [qN_A N_D\epsilon/2(N_A + N_D)]^{1/2} V^{-1/2}$
(*d*) Demostrar que $C_T = \epsilon A/(W_p + W_n)$.

3-19 Los diodos polarizados inversamente se emplean a menudo como condensadores variables controlables eléctricamente. La capacidad de transición de la unión abrupta de un diodo es de 20 pF a 5 V. Calcular la disminución de capacidad para un incremento de polarización de 1,0 V.

3-20 Calcular la capacidad de barrera de una unión de *p-n* germanio, cuya sección es de 1 × 1 mm y cuya carga espacial tiene un espesor de 2 × 10^{-4} cm. La constante dieléctrica del germanio es de 16 (relativa al espacio libre).

3-21 La altura de la barrera a tensión cero de una unión aleada *p-n* de germanio es de 0,2 V. La concentración N_A de átomos aceptadores en el lado *p* es mucho menor

que la concentración de átomos donadores en el material *n*, y $N_A = 3 \times 10^{20}$ átomos/m^3. Calcular la anchura de la capa de deflexión para una tensión inversa aplicada de (*a*) 10 V, (*b*) 0,1 V y (*c*), para una polarización directa de 0,1 V. (*d*) Si la sección transversal del diodo es de 1 mm^2, calcular la capacidad de transición correspondiente a los valores de la tensión aplicada en los apartados (*a*) y (*b*).

3-22 (*a*) Considerar una unión de crecimiento para la cual la densidad de carga no neutralizada ρ varía linealmente con la distancia. Si $\rho = ax$, demostrar que la tensión de barrera V_j viene dada por

$$V_j = \frac{aW^3}{12\epsilon}$$

(*b*) Comprobar que la capacidad de la barrera C_T viene dada por la Ec. (3-23).

3-23 Supongamos un diodo de silicio polarizado en directo con $I = 1$ mA. Si la capacidad de difusión es de $C_D = 1$ μF, ¿cuál será la longitud de difusión L_p? Supóngase que el lado *p* está mucho más dopado que el *n*.

3-24 En la obtención de la Ec. (3-28) para la capacidad de difusión se supone que el lado *p* está mucho más fuertemente dopado que el lado *n*, de tal manera que la corriente en la unión es debida enteramente a los huecos. Hallar una expresión para la capacidad total de difusión cuando no se emplea esta aproximación.

3-25 (*a*) Demostrar que el campo eléctrico máximo $\mathcal{E}_m$, en una unión abrupta con $N_A \gg N_D$, viene dado por

$$\mathcal{E}_m = \frac{2V_j}{W}$$

(*b*) Se ha comprobado que la ruptura zener sucede cuando $\mathcal{E}_m = 2 \times 10^7$ V/m ≡ $\mathcal{E}_z$. Demostrar que la tensión de zener V_z viene dada por

$$V_z = \frac{\epsilon\mathcal{E}_z^{\,2}}{2qN_D}$$

Obsérvese que la tensión de ruptura zener puede ser controlada variando la concentración de iones donadores.

3-26 (*a*) La ruptura zener ocurre en el germanio con una intensidad de campo de 2 × 10^7 V/m. Demostrar que la tensión de ruptura es $V_z = 51/\sigma_p$, siendo σ_p la conductividad del material *p* en (Ω-cm)$^{-1}$. Supóngase que $N_A \ll N_D$.
(*b*) Si el material *p* es esencialmente intrínseco, calcular V_Z.
(*c*) Para un dopado de 1 parte en 10^8 de material tipo *p*, la resistividad cae a 3,7 Ω-cm. Calcular V_Z.
(*d*) ¿Para qué resistividad del material tipo *p* tendremos $V_Z = 1$ V?

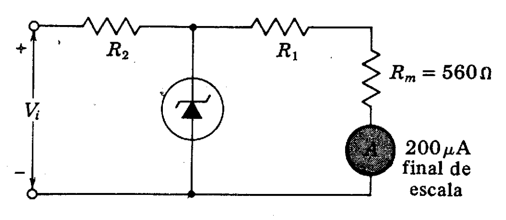
3-27 (*a*) Dos diodos *p-n* de germanio están conectados en serie y en oposición. Se conecta una batería de 5 V a este circuito. Hallar la diferencia de potencial en cada unión a temperatura ambiente. Suponer que el valor de la tensión zener es superior a 5 V.

Obsérvese que el resultado es independiente de la corriente inversa de saturación. ¿Es también independiente de la temperatura?

Sugerencia: Suponer que la corriente inversa de saturación pasa por el circuito, y justificar esta suposición.

(*b*) Si el valor de la tensión zener es de 4,9 V, ¿cuál será la corriente en el circuito? La corriente inversa de saturación es de 5 μA.

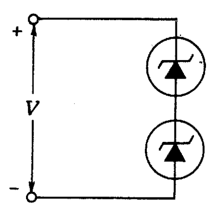
3-28 El diodo zener se puede emplear para prevenir las sobrecargas en un medidor sin afectar la linealidad de éste. El circuito mostrado representa un voltímetro de continua que mide 20 V a final de escala. La resistencia del voltímetro es de 560 Ω, y $R_1 + R_2 = 99{,}5$ K. Si el diodo es un zener de 16 V, hallar R_1 y R_2 de manera que, cuando $V_i > 20$ V, el diodo zener conduzca y la corriente de sobrecarga se derive en paralelo con el medidor.



Prob. 3-28

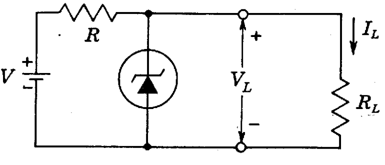
3-29 Una combinación de un diodo de avalancha de 15 V en serie con un diodo de silicio polarizado en directo, se emplea para construir una referencia de tensión de coeficiente de temperatura cero. El coeficiente de temperatura del diodo de silicio es de $-1{,}7$ mV/° C. Expresar en tanto por ciento por grado centígrado el coeficiente de temperatura requerido del diodo zener.

3-30 Las corrientes de saturación de los dos diodos son 1 y 2 μA. La tensión de ruptura es la misma en ambos e igual a 100 V.
(*a*) Calcular la corriente y la tensión en cada diodo, si $V = 90$ V y $V = 110$ V.
(*b*) Repetir el apartado *a* si a cada diodo se le coloca en paralelo una resistencia de 10 M.



Prob. 3-30

3-31 (*a*) El diodo de avalancha regula a 50 V en un margen de corriente en el diodo de 5 a 40 mA. La tensión de alimentación es de $V = 200$ V. Calcular R para conseguir la regulación de tensión con una corriente de carga desde $I_L = 0$ hasta I_{max}, máximo valor posible de I_L. ¿Cuál es I_{max}? (*b*) Si R se fija como en el apartado *a* y la corriente de carga es de $I_L = 25$ mA, ¿cuáles son los límites entre los que V puede variar sin perder la regulación del circuito?



Prob. 3-31

3-32 (*a*) Considerar un diodo túnel con $N_D = N_A$ y con una concentración de impurezas correspondiente a 1 átomo por 10^3 átomos de germanio. Calcular, a temperatura ambiente, (i) la altura de la barrera de energía potencial en circuito abierto (energía potencial de contacto), (ii) la anchura de la región de carga espacial.
(*b*) Repetir la parte *a* si el semiconductor es de silicio en lugar de germanio.

3-33 La fotocorriente I en un fotodiodo de unión *p-n*, en función de la distancia x del punto de luz a la unión, viene dada en la Fig. 3-22. Demostrar que las pendientes de $l_n\, I$ en función de x son $-1/L_p$ y $-1/L_n$, respectivamente, en los lados *n* y *p*. Obsérvese que L_p representa la longitud de difusión de los huecos en el material *n*.

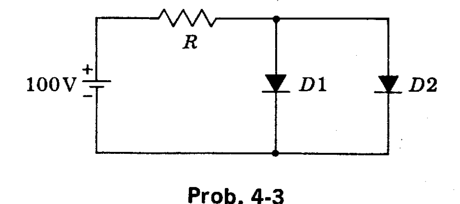
3-34 (*a*) Para el tipo de célula fotovoltaica LS 223, cuyas características vienen dadas en la Fig. 3-23, dibujar la potencia de salida en función de la resistencia de carga R_L.
(*b*) ¿Cuál es el valor óptimo de R_L?

CAPITULO 4

4-1 (*a*) En el circuito del problema 3-27, la tensión de avalancha zener es de 2,0 V. La corriente inversa de saturación es de 5 μA. Si la resistencia del diodo de silicio se puede despreciar, ¿cuál será la corriente?
(*b*) Si la resistencia óhmica es de 100 Ω, ¿cuál será la corriente?
Observación: Responder el apartado *b* trazando gráficamente la Ec. (3-9) y dibujando una línea de carga. Verificar la respuesta analíticamente, mediante el método de las sucesivas aproximaciones.

4-2 Un diodo de unión *p-n* de germanio a temperatura ambiente tiene una corriente inversa de saturación de 10 μA, resistencia óhmica despreciable, y una tensión de avalancha zener de 100 V. Se coloca una resistencia de 1 K en serie con el diodo, y se alimenta esta combinación con una batería de 30 V. Hallar la corriente (*a*) si el diodo está polarizado en directo, (*b*) si la batería se coloca en el circuito en sentido inverso. (*c*) Repetir los apartados *a* y *b* si la tensión de avalancha zener es de 10 V.

4-3 Cada diodo se describe por una característica linealizada de tensión-corriente, con una resistencia incremental r y una tensión umbral V_γ. El diodo $D1$ es de germanio, con $V_\gamma = 0{,}2$ V y $r = 20\ \Omega$, mientras que $D2$ es de silicio con $V_\gamma = 0{,}6$ V y $r = 15\ \Omega$. Hallar las corrientes por ambos diodos si (*a*) $R = 10$ K, (*b*) $R = 1$ K.



Prob. 4-3

4-4 El fotodiodo cuyas características vienen dadas en la Fig. 3-21 está en serie con una alimentación de 30 V y con una resistencia R. Si la iluminación es de 3 000 fc, hallar la corriente para (*a*) $R = 0$, (*b*) $R = 50$ K, (*c*) $R = 100$ K.

4-5 (*a*) Como aplicación de la Sec. 4-3, dibujar la diferencia de potencial en el diodo para un ciclo de la tensión de entrada v_i. Supondremos $V_m = 2{,}4$ V, $V_\gamma = 0{,}6$ V, $R_f = 10\ \Omega$ y $R_L = 100\ \Omega$.
(*b*) Por integración directa hallar el valor medio de la tensión del diodo y la tensión

de la carga. Obsérvese que estas dos respuestas son numéricamente iguales; explicar por qué.

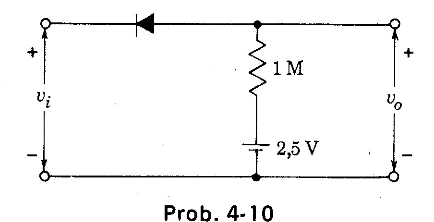
4-6 Calcular la región de ruptura en la que la resistencia dinámica de un diodo queda multiplicada por el factor 1 000.

4-7 Para el circuito del diodo cortador de la Fig. 4-9*a*, supongamos que $V_R = 10$ V, $v_i = 20$ sen ωt, y que la resistencia directa del diodo es de $R_f = 100\ \Omega$, mientras que $R_r = \infty$ y $V_\gamma = 0$. Despreciar todas las capacidades. Dibujar a escala las formas de onda de entrada y de salida, y señalar los valores máximo y mínimo si (*a*) $R = 100\ \Omega$, (*b*) $R = 1$ K, y (*c*) $R = 10$ K.

4-8 Repetir el prob. 4-7 para el caso en que la resistencia inversa sea $R_r = 10$ K.

4-9 En el circuito del diodo recortador de las Figs. 4-9*a* y *d*, $v_i = 20$ sen ωt, $R = 1$ K, y $V_R = 10$ V. La tensión de referencia se obtiene de la toma central de un potenciómetro de 10 K conectado a la fuente de 100 V. Despreciar las capacidades. La resistencia directa del diodo es de 50 Ω, $R_r = \infty$ y $V_\gamma = 0$. En ambos casos, dibujar las formas de onda de entrada y de salida a escala. ¿Qué circuito es mejor recortador? *Sugerencia:* Aplicar el teorema de Thévenin para la red divisora de la tensión de referencia.

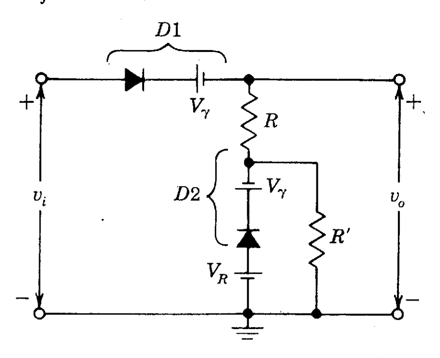
4-10 Una onda cuadrada simétrica de 5 kHz, cuya salida varía entre + 10 y − 10 V, se aplica al circuito recortador de la figura. Suponer que $R_f = 0$, $R_r = 2$ M, y $V_\gamma = 0$. Esbozar la forma de onda de salida en régimen permanente, indicando los valores numéricos del máximo y del mínimo, y de las partes constantes.



Prob. 4-10

4-11 Para los circuitos recortadores indicados en las Figs. 4-9*b* y *d*, obtener la característica de transferencia v_o en función de v_i, teniendo en cuenta R_f y V_γ y considerando $R_r = \infty$.

4-12 El circuito recortador indicado emplea compensación de temperatura. La tensión continua V_γ de la fuente representa la tensión umbral; por otra parte, los diodos se suponen ideales con $R_f = 0$ y $R_r = \infty$.



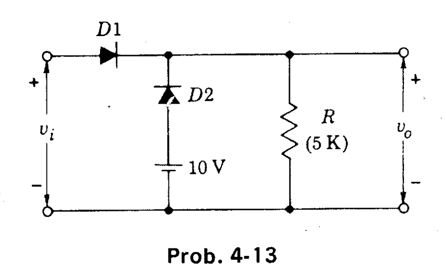
Prob. 4-12

(*a*) Esbozar la curva de transferencia v_o en función de v_i.
(*b*) Demostrar que el valor máximo de la tensión de entrada v_i para que la corriente en $D2$ sea siempre en sentido directo, vale:

$$v_{i,\max} = V_R + \frac{R}{R'}(V_R - V_\gamma)$$

(*c*) ¿Cuál es la dependencia de la temperatura sobre el punto de la onda de entrada en el que ocurre el recorte?

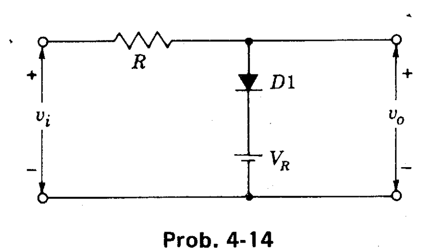
4-13 (*a*) En el circuito recortador indicado, $D2$ compensa las variaciones de la temperatura. Supóngase que los diodos tienen una resistencia inversa infinita, una resistencia directa de 50 Ω, y un punto de cebado en el origen ($V_\gamma = 0$). Calcular y dibujar la característica de transferencia de v_o en función de v_i. Demostrar que el circuito tiene un punto de ruptura ampliado, es decir, dos puntos de ruptura juntos.



Prob. 4-13

(*b*) Hallar la característica de transferencia que resultaría eliminando $D2$ y reemplazándolo por la resistencia R.
(*c*) Demostrar que la ruptura doble del apartado *a* desaparecería y sólo persistiría la del apartado *b*, si las resistencias directas de los diodos pudieran ser despreciablemente pequeñas en comparación con R.

4-14 (*a*) En el circuito recortador de picos indicado, agregar otro diodo $D2$ y una resistencia R', de manera que se compense la desviación con la temperatura.

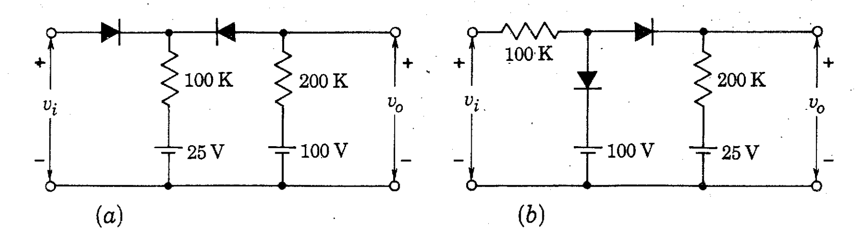


Prob. 4-14

(*b*) Demostrar que el punto de ruptura de la curva de transmisión tiene lugar a V_R. Suponer que $R_r \gg R \gg R_f$.
(*c*) Demostrar que para que $D2$ permanezca siempre en conducción es necesario que:

$$v_i < v_{i,\max} = V_R + \frac{R}{R'}(V_R - V_\gamma)$$

4-15 (*a*) La tensión de entrada v_i del recortador de doble nivel indicado en el apartado *a*



Prob. 4-15

de la figura varía linealmente desde 0 a 150 V. Esbozar la tensión de salida v_o en la misma escala de tiempos que la tensión de entrada. Suponer los diodos ideales.

(b) Repetir (a) para el circuito mostrado en la parte b de la figura.

4-16 El circuito de la Fig. 4-10a se emplea para "hacer cuadrada" una onda senoidal de entrada de 10 kHz, cuyo valor de pico es de 50 V. Se desea que la onda de tensión de salida sea plana durante el 90 % del tiempo. Se emplean diodos que tienen una resistencia directa de 100 Ω y una resistencia inversa de 100 K.

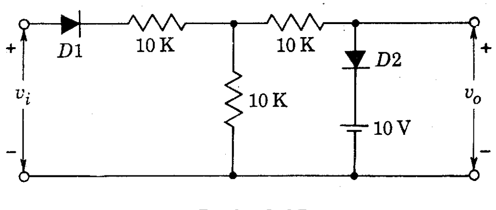
(a) Hallar el valor de V_{R1} y V_{R2}.

(b) ¿Qué valor se puede considerar razonable para R?

4-17 (a) Los diodos son ideales. Escribir las ecuaciones de la característica de transferencia (v_o en función de v_i).

(b) Dibujar v_o en relación con v_i, indicando todas las intersecciones, pendientes y niveles de tensión.

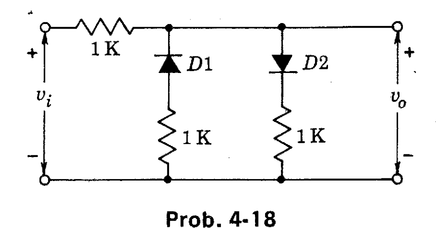
(c) Trazar v_o si $v_i = 40$ sen ωt. Indicar todos los niveles de tensión.



Prob. 4-17

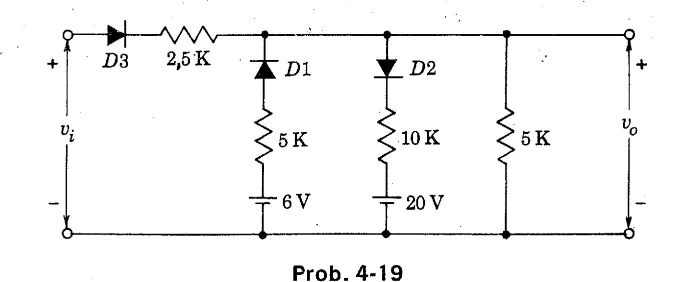
4-18 (a) Repetir el problema 4-17 para el circuito indicado.

(b) Repetirlo para el caso en que los diodos tengan una tensión umbral de $V_\gamma = 1$ V.



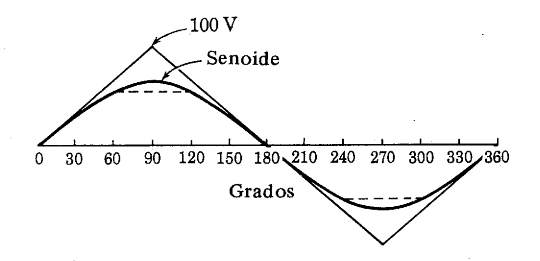
Prob. 4-18

4-19 Supóngase que los diodos son ideales. Construir la curva v_o en función de v_i para un intervalo de v_i, comprendido desde 0 hasta 50 V. Indicar todas las pendientes y niveles de tensión. Indicar, para cada región, qué diodos conducen.



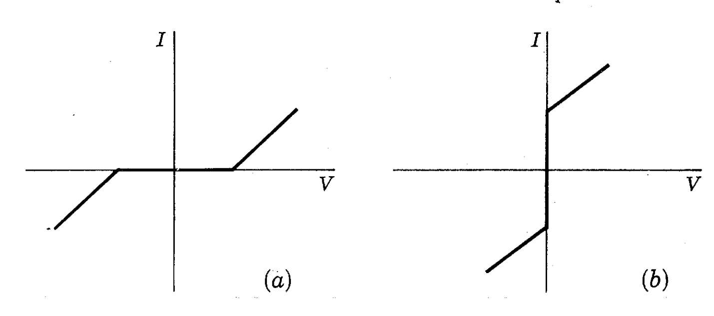
Prob. 4-19

4-20 La onda triangular indicada debe convertirse en senoidal empleando diodos recortadores. Considerar la onda dibujada con trazos como primera aproximación de una senoide. La onda de trazos coincide con la senoide a 0°, 30°, 60°, etc. Idear un circuito cuya salida sea esta línea quebrada cuando la entrada sea triangular. Suponer diodos ideales y calcular el valor de todas las tensiones de alimentación y de las resistencias empleadas. El valor de pico de la senoide es de 50 V.



Prob. 4-20

4-21 Construir circuitos cuyos terminales tengan las características mostradas en los apartados a y b de la figura.



Prob. 4-21

4-22 El comparador diodo-resistencia de la Fig. 4-13 se conecta a un dispositivo que responde cuando la salida del comparador alcanza un nivel de 0,1 V. La entrada es una rampa cuya pendiente es de 10 V/μs. El diodo de germanio tiene una corriente inversa de saturación de 1 μA. Inicialmente, $R = 1$ K, y el nivel de salida de 0,1 V se obtiene al cabo de un tiempo $t = t_1$. Si ahora ponemos $R = 100$ K. ¿Cuál será el correspondiente cambio en t_1? $V_R = 0$.

4-23 Para la puerta muestreadora de cuatro diodos de la Fig. 4-14, considerar que v_s está en su valor más negativo, por ejemplo $v_s = -V_s$. Comprobar que las expresiones para $V_{n,\min}$ y $V_{c,\min}$ dadas en las Ecs. (4-7) y (4-8) permanecen válidas.

4-24 Un divisor de tensión equilibrador se intercala entre $D3$ y $D4$ en la Fig. 4-14, de manera que da una tensión de salida cero para una entrada cero. Si se supone que el divisor está puesto en su punto medio, si la resistencia total es R, y si R y R_f son ambas mucho menores que R_c o R_L, demostrar que

$$V_{c,\min} = V_s \left(2 + \frac{R_c}{R_L}\right)\left(1 + \frac{R}{4R_f}\right)$$

4-25 (a) Explicar cualitativamente el funcionamiento de la puerta muestreadora indicada. La tensión de alimentación V es constante. La tensión de control es la onda cuadrada de la Fig. 4-14b. Suponer diodos ideales con $V_\gamma = 0, R_f = 0$ y $R_r = \infty$. *Sugerencia:* Cuando $v_c = V_c$, los diodos $D1$ y $D2$ conducen (si $V > V_{\min}$) y $D3$ y $D4$ están en corte. Si $v_c = -V_n$, entonces $D3$ y $D4$ conducen y $D1$ y $D2$ están cortados.

Comprobar las siguientes relaciones:

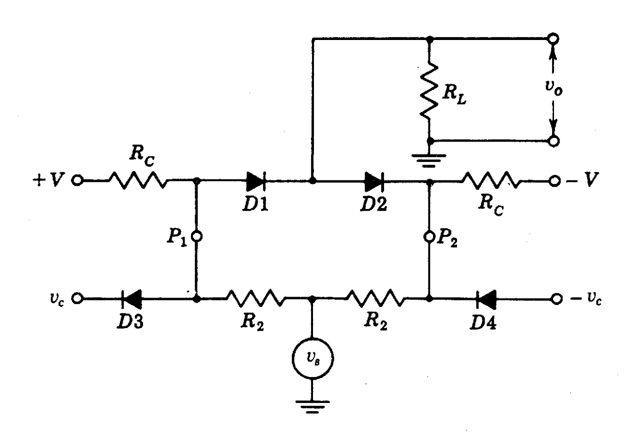
(b) $$V_{\min} = \frac{R_c}{R_2}\,\frac{R_1}{R_1 + 2R_L}\,V_s$$

en que $R_1 = R_c \parallel R_2$.

(c) $$A = \frac{v_o}{v_s} = \frac{2R_L}{R_2}\,\frac{R_1}{R_1 + 2R_L}$$

(d) $$V_{n,\min} = V_s\,\frac{R_c}{R_c + R_2} - V\,\frac{R_2}{R_c + R_2}$$

(e) $$V_{c,\min} = AV_s$$



Prob. 4-25

4-26 Un diodo cuya resistencia interna es de 20 Ω debe suministrar potencia a una carga de 1 000 Ω desde una fuente de alimentación de 110 V (eficaces). Calcular (a) la corriente de pico en la carga, (b) la corriente continua de carga, (c) la corriente alterna de carga, (d) la tensión continua del diodo, (e) la potencia total de entrada al circuito, (f) el porcentaje de regulación desde la carga nula a la carga considerada.

4-27 Demostrar que la máxima potencia de salida en continua $P_{dc} \equiv V_{dc}I_{dc}$ en un circuito de media onda de una sola fase, tiene lugar cuando la resistencia de carga iguala a la resistencia del diodo R_f.

4-28 El rendimiento de la rectificación η_r se define como la relación entre la potencia de salida en continua $P_{dc} \equiv V_{dc}I_{dc}$ respecto a la potencia de entrada $P_i = (1/2\pi)\int_0^{2\pi} v_i i\, d\alpha$.

(a) Demostrar que, para un circuito de rectificación de media onda,

$$\eta_r = \frac{40{,}6}{1 + R_f/R_L}\ \%$$

(b) Demostrar que, para un rectificador de onda completa, η_r es el doble del valor dado en el apartado a.

4-29 Demostrar que la regulación de un rectificador ya sea de media onda o de onda completa, viene dado por:

$$\%\ \text{regulación} = \frac{R_f}{R_L} = 100\ \%$$

4-30 (a) Demostrar las Ecs. (4-21) y (4-22) para la tensión continua de un rectificador de onda completa.

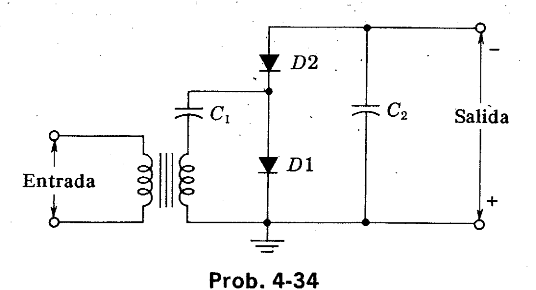
(b) Hallar la diferencia de potencia continua en un diodo, por integración directa.

4-31 Un rectificador de onda completa de una sola fase está constituido por un tubo de vacío de doble diodo; la resistencia interna de cada elemento del mismo, se puede considerar constante e igual a 500 Ω. Alimentan una carga de resistencia pura de 2 000 Ω. La tensión del secundario del transformador al centro es de 280 V. Calcular (a) la corriente continua de carga, (b) la corriente directa en cada tubo, (c) la caída de tensión alterna en cada diodo, (d) la potencia continua de salida, (e) el porcentaje de regulación.

4-32 En un puente de onda completa de una sola fase, ¿pueden intercambiarse el transformador y la carga? Explicarlo detenidamente.

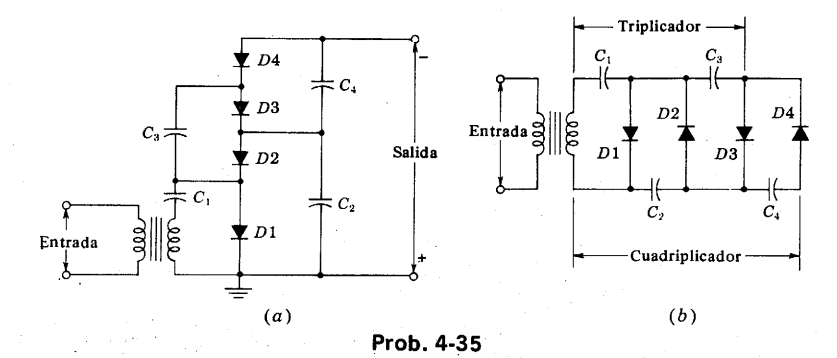
4-33 Un miliamperímetro de continua de 1 mA cuya resistencia interna es de 10 Ω, se calibra para leer tensiones eficaces cuando se emplea en un circuito puente con diodos semiconductores. La resistencia efectiva de cada elemento se puede considerar cero en el sentido directo e infinita en el sentido inverso. La tensión de entrada senoidal se aplica en serie con una resistencia de 5 K. ¿Cuál será la lectura a fondo de escala del miliamperímetro?

4-34 El circuito indicado es un doblador de tensión de media onda. Analizar el funcionamiento de este circuito. Calcular (a) la tensión máxima posible en cada condensador, (b) la tensión inversa de pico de cada diodo. Comparar este circuito con el puente doblador de tensión de la Fig. 4-22. En este circuito, la tensión de salida es negativa con respecto a tierra. Demostrar que, si las conexiones del cátodo y del ánodo de cada diodo se permutan entre sí, la tensión de salida será positiva con respecto a tierra.



Prob. 4-34

4-35 El circuito del problema 4-34 puede ampliarse de doblador a cuadriplicador añadiendo dos diodos y dos condensadores, tal como se indica en la Fig., cuyas partes *a* y *b* son dos formas distintas de representar el mismo circuito.
(*a*) Analizar el funcionamiento de este circuito.
(*b*) Contestar las mismas preguntas del problema 4-34.
(*c*) Generalizar este circuito y el del Prob. 4-34 para multiplicar por *n*, con la condición de que *n* sea par. Como caso particular, indicar un circuito multiplicador por 6.
(*d*) Demostrar que la multiplicación por *n*, cuando *n* sea impar, se puede obtener también si se elige apropiadamente la salida.



Prob. 4-35

4-36 En un rectificador de onda completa de una sola fase, se emplea un diodo semiconductor. La tensión del transformador es de 35 V eficaces al centro del devanado. La carga consiste en un condensador de 40 μF, en paralelo con una resistencia de 250 Ω. Las resistencias del diodo, del transformador, y las reactancias de dispersión se pueden despreciar.
(*a*) Calcular el ángulo de corte.
(*b*) Dibujar a escala la tensión de salida y la corriente del diodo como en la Fig. 4-25. Determinar gráficamente el punto de cebado, a partir de este dibujo, y hallar la corriente de pico del diodo correspondiente a este punto.
(*c*) Repetir los apartados *a* y *b* empleando un condensador de 160 μF en lugar de 40 μF.

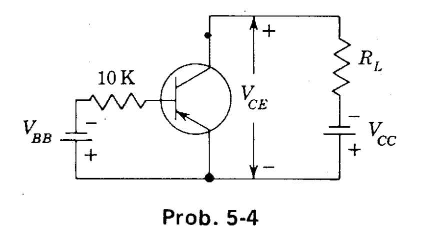
CAPITULO 5

5-1 (*a*) Demostrar que, para un transistor de silicio *n-p-n* del tipo de aleación en que la resistividad ρ_B de la base es mucho mayor que la del colector, la tensión de perforación V viene dada por $V = 240 \times 10^3 W_B{}^2/\rho_B$, donde V está en voltios, ρ_B en ohm-centímetro, y W en milímetros. Para que haya perforación, $W = W_B$ en la Fig. 5-8*a*.
(*b*) Calcular la tensión de perforación si $W = 1\ \mu$m y $\rho_B = 0{,}5\ \Omega$-cm.

5-2 El transistor de la Fig. 5-3*a* tiene las características dadas por las Figs. 5-6 y 5-7. Dados $V_{CC} = 6$ V, $R_L = 200\ \Omega$, e $I_E = 15$ mA:
(*a*) Hallar I_C y V_{CB}.
(*b*) Hallar V_{EB} y V_L.
(*c*) Si I_E varía en $\Delta I_E = 10$ mA simétricamente en torno al punto del apartado *a* siendo V_{CB} constante, hallar el correspondiente cambio de I_C.

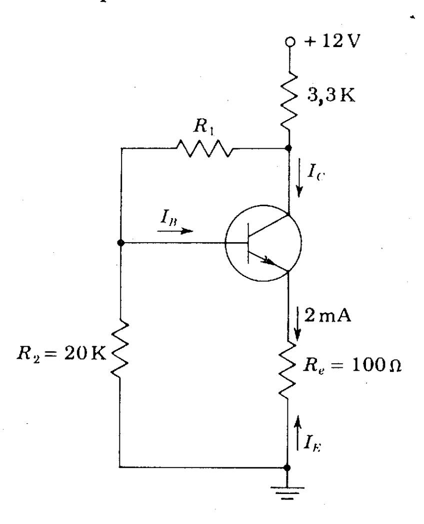
5-3 El transistor en BC empleado en el circuito de la Fig. 5-3*a* tiene las características dadas en las Figs. 5-6 y 5-7. Dados $I_C = -20$ mA, $V_{CB} = -4$ V y $R_L = 200\ \Omega$.
(*a*) Hallar V_{CC} e I_E.
(*b*) Si la tensión de alimentación V_{CC} baja de su valor del apartado *a* en 2 V, mientras I_E mantiene su primitivo valor, hallar los nuevos valores de I_C y V_{CB}.

5-4 El transistor en EC empleado en el circuito de la Fig., tiene las características dadas en las Figs. 5-10 y 5-11.
(*a*) Hallar V_{BB} si $V_{CC} = 10$ V, $V_{CE} = -1$ V, y $R_L = 250\ \Omega$.
(*b*) Si $V_{CC} = 10$ V. Hallar R_L tal que $I_C = -20$ mA y $V_{CE} = -4$ V. Hallar V_{BB}.



Prob. 5-4

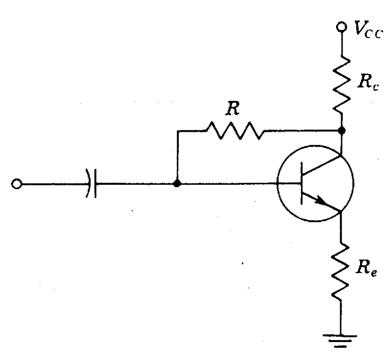
5-5 Si $\alpha = 0{,}98$ y $V_{BE} = 0{,}7$ V, hallar R_1 en el circuito indicado para una corriente de emisor de $I_E = -2$ mA. Despreciar la corriente inversa de saturación.



Prob. 5-5

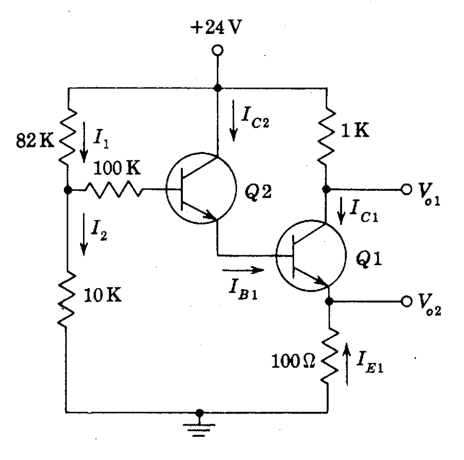
5-6 (*a*) Hallar R_c y R_b en el circuito de la Fig. 5-12*a* si $V_{CC} = 10$ V y $V_{BB} = 5$ V, de tal manera que $I_C = 10$ mA y $V_{CE} = 5$ V. Debe considerarse un transistor de silicio con $\beta = 100$, $V_{BE} = 0{,}7$ V, y una corriente inversa de saturación despreciable.
(*b*) Repetir el apartado *a* si se añade una resistencia de emisor de 100 Ω al circuito.

5-7 En el circuito indicado, $V_{CC} = 24$ V, $R_c = 10$ K, y $R_e = 270$ Ω. Si se emplea un transistor de silicio con $\beta = 45$ y si $V_{CE} = 5$ V, hallar R. Despreciar la corriente inversa de saturación.



Prob. 5-7

5-8 En el circuito indicado, los transistores $Q1$ y $Q2$ trabajan en la región activa con $V_{BE1} = V_{BE2} = 0{,}7$ V, $\beta_1 = 100$ y $\beta_2 = 50$. La corriente inversa de saturación se puede despreciar.
(*a*) Hallar las corrientes $I_{B2}, I_1, I_2, I_{C2}, I_{B1}, I_{C1}$, e I_{E1}.
(*b*) Hallar las tensiones de V_{o1} y V_{o2}.

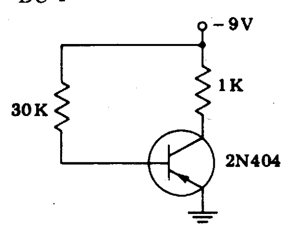


Prob. 5-8

5-9 (*a*) La corriente inversa de saturación del transistor de germanio de la Fig. 5-13 es de 2 μA a la temperatura ambiente (25 °C) y aumenta al ser multiplicada por un factor 2 por cada aumento de 10 °C en la temperatura. La polarización es $V_{BB} = 5$ V. Hallar el máximo valor alcanzable para R_B si el transistor debe permanecer al corte a 75 °C.

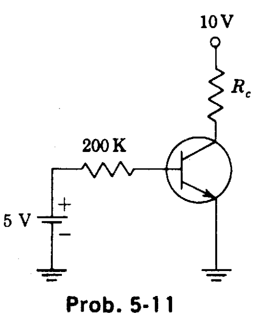
(*b*) Si $V_{BB} = 1{,}0$ V y $R_B = 50$ K, ¿hasta qué valor puede aumentar la temperatura antes de que el transistor quede fuera de corte?

5-10 De las curvas características del transistor tipo 2N404 dadas en la Fig. 5-14, deducir las tensiones V_{BE}, V_{CE} y V_{BC} para el circuito indicado.



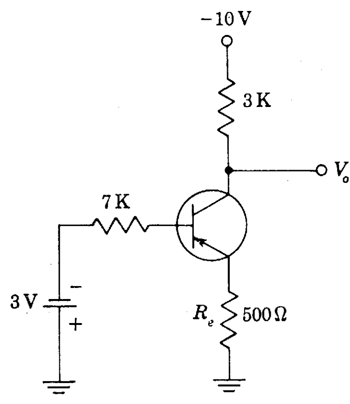
Prob. 5-10

5-11 En el circuito indicado se emplea un transistor de silicio con $V_{BE,\mathrm{sat}} = 0{,}8$ V, $\beta = h_{FE} = 100$, $V_{CE,\mathrm{sat}} = 0{,}2$ V. Hallar el mínimo valor de R_c para que el transistor permanezca en saturación.



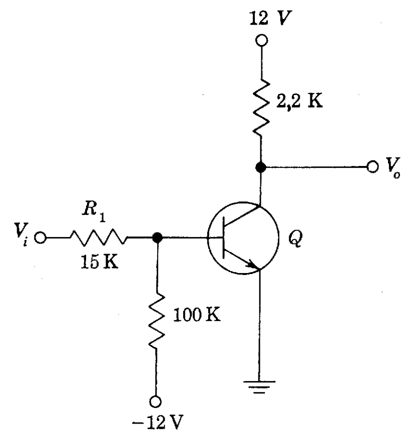
Prob. 5-11

5-12 Para el circuito indicado, suponer $\beta = h_{FE} = 100$.
(*a*) Averiguar si el transistor de silicio está al corte, en saturación, o en la región activa.
(*b*) Hallar V_o.
(*c*) Hallar el mínimo valor de la resistencia de emisor R_e, para el que el transistor funciona en la región activa.



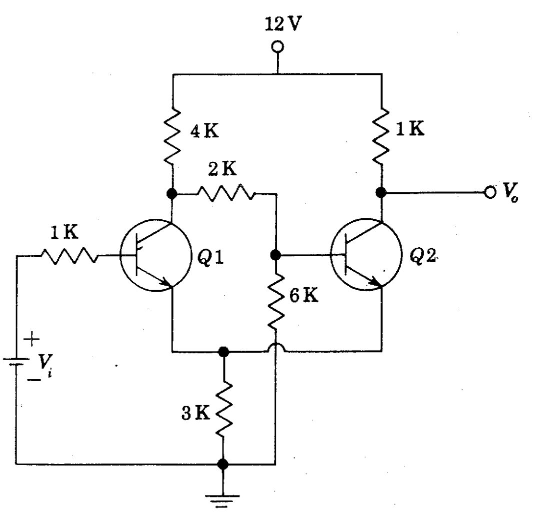
Prob. 5-12

5-13 Si el transistor de silicio empleado en el circuito indicado tiene un valor mínimo de $\beta = h_{FE}$ de 30, y si $I_{CBO} = 10$ nA a 25 °C:
(*a*) Hallar V_o para $V_i = 12$ V y demostrar que Q está en saturación.
(*b*) Hallar el mínimo valor de R_1 para el que el transistor del apartado *a* esté en la región activa.
(*c*) Si $R_1 = 15$ K y $V_i = 1$ V, hallar V_o y demostrar que Q está al corte.
(*d*) Hallar la temperatura máxima a la que el transistor del apartado *c* permanece al corte.



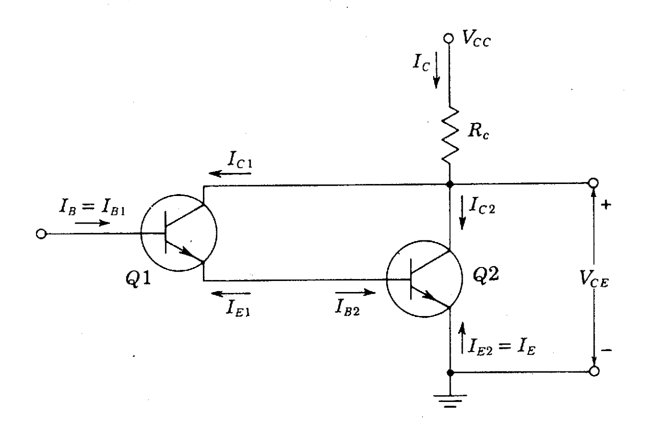
Prob. 5-13

5-14 En el circuito indicado, se emplean transistores de silicio con $h_{FE} = 100$. Despreciar la corriente inversa de saturación.
(*a*) Hallar V_o cuando $V_i = 0$ V. Suponer que $Q1$ está cortado y justificar esta suposición.
(*b*) Hallar V_o cuando $V_i = 6$ V. Suponer que $Q2$ está cortado y justificar esta suposición.



Prob. 5-14

5-15 Para el circuito indicado, $\alpha_1 = 0{,}98$, $\alpha_2 = 0{,}096$, $V_{CC} = 24$ V, $R_c = 120\ \Omega$ e $I_E = -100$ mA. Despreciando las corrientes inversas de saturación, determinar (*a*) las corrientes I_{C1}, I_{B1}, I_{E1}, I_{C2}, I_{B2} e I_C; (*b*) V_{CE}; (*c*) I_C/I_B, I_C/I_E.



Prob. 5-15

5-16 Obtener de las Ecs. (5-24) y (5-25) las expresiones explícitas para I_C e I_E en función de V_C y V_E.

5-17 (*a*) Deducir las Ecs. (5-29) y (5-30).
(*b*) Deducir la Ec. (5-31).

5-18 Dibujar el modelo de Ebers-Moll para un transistor *n-p-n*.

5-19 (*a*) Demostrar que la expresión exacta para la característica de salida de un transistor *p-n-p* que trabaja en EC es:

$$V_{CE} = V_T\ 1\ \frac{\alpha_I}{\alpha_N} + V_T\ 1\ \frac{I_{CO} + \alpha_N I_B - I_C(1 - \alpha_N)}{I_{EO} + I_B + I_C(1 - \alpha_I)}$$

(*b*) Demostrar que se reduce a la Ec. (5-31) si $I_B \gg I_{EO}$ e $I_B \gg I_{CO}/\alpha_N$.

5-20 (*a*) Un transistor está trabajando en la región de corte con las uniones de emisor y de colector polarizadas en sentido inverso, por lo menos en unas pocas décimas de volt. Demostrar que las corrientes vienen dadas por:

$$I_E = \frac{I_{EO}(1 - \alpha_N)}{1 - \alpha_N \alpha_I}$$

$$I_C = \frac{I_{CO}(1 - \alpha_I)}{1 - \alpha_N \alpha_I}$$

(*b*) Demostrar que la tensión de la unión de emisor necesaria para provocar precisamente el corte ($I_E = 0$ y el colector polarizado en inverso) es

$$V_E = V_T\ 1\ (1 - \alpha_N)$$

5-21 (*a*) Hallar la corriente de colector para un transistor cuando las dos uniones de emisor y de colector están polarizadas en sentido inverso. Suponer $I_{CO} = 5\ \mu A$, $I_{EO} = 3{,}57\ \mu A$, y $\alpha_N = 0{,}98$.
(*b*) Hallar la corriente de emisor I_E en las mismas condiciones que en el apartado *a*.

5-22 Demostrar que la característica tensión-corriente de emisor de un transistor en la región activa, viene dada por:

$$I_E \approx I_S \epsilon^{V_E/V_T}$$

donde $I_S = -I_{EO}/(1 - \alpha_N\alpha_1)$. Obsérvese que esta característica es la de un diodo de unión *p-n*.

5-23 (*a*) Dado un transistor *n-p-n* para el cual, a la temperatura ambiente, $\alpha_N = 0{,}98$, $I_{CO} = 2\ \mu A$ e $I_{EO} = 1{,}6\ \mu A$. Se emplea una conexión en emisor común, y $V_{CC} = 12$ V y $R_L = 4{,}0$ K. ¿Cuál es la mínima corriente de base que se requiere para que el transistor entre en la región de la saturación?
(*b*) En las condiciones del apartado *a*, hallar las tensiones en las uniones, si se desprecia la resistencia de dispersión de la base $r_{bb'}$.
(*c*) Repetir el apartado *b* si la corriente de base es de 200 μA.
(*d*) ¿Cómo se modifican los resultados anteriores si $r_{bb'} = 250\ \Omega$?

5-24 Dibujar la corriente de emisor en función de la diferencia de potencial emisor-base para un transistor en el que $\alpha_N = 0{,}98$, $I_{CO} = 2\ \mu A$, e $I_{EO} = 1{,}6\ \mu A$, si: (*a*) $V_C = 0$, (*b*) V_C está polarizado en inverso por algo más de unas pocas décimas de volt. Despreciar la resistencia de dispersión de la base.

5-25 Dibujar cuidadosamente y a escala la característica en emisor común de I_C/I_B en función de V_{CE}, para un transistor con $\alpha_N = 0{,}90 = \alpha_1$.

5-26 Demostrar que

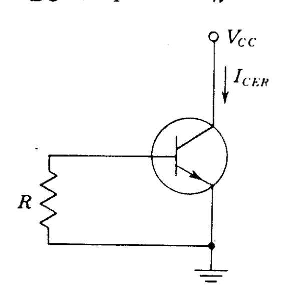
$$I_{CES} = \frac{I_{CO}}{1 - \alpha_N\alpha_I} \qquad I_{CEO} = \frac{I_{CO}}{1 - \alpha_N}$$

5-27 Un método bastante corriente para calcular α_N y α_I consiste en medir I_{CO}, I_{CEO}, e I_{CES}. Demostrar que

$$(a)\ \alpha_N = \frac{I_{CEO} - I_{CO}}{I_{CEO}} \qquad (b)\ \alpha_I = \frac{1 - I_{CO}/I_{CES}}{1 - I_{CO}/I_{CEO}}$$

5-28 La corriente de fuga del colector se mide tal como indica la figura, con el emisor a tierra y una resistencia R conectada entre base y tierra. Si esta corriente se designa por I_{CER}, demostrar que

$$I_{CER} = \frac{I_{CO}(1 + I_{EO}R/V_T)}{1 - \alpha_N\alpha_I + (I_{EO}R/V_T)(1 - \alpha_n)}$$

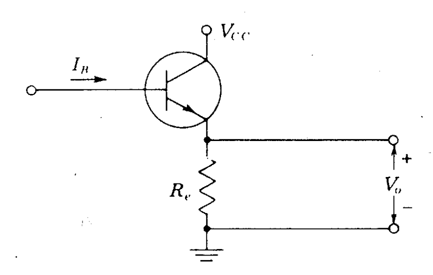


Prob. 5-28

5-29 Para el circuito indicado, comprobar que $V_o = V_{CC}$ cuando

$$I_B = \frac{V_{CC}}{R_e}\left(1 + \frac{\alpha_N}{\alpha_I}\cdot\frac{1 - \alpha_I}{1 - \alpha_N}\right) = \frac{V_{CC}}{R_e}\left(1 + \frac{\beta_N}{\beta_I}\right)$$

En estas condiciones la corriente de base excede a la de emisor.

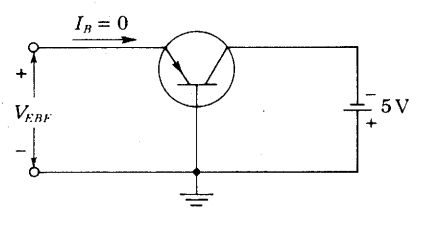


Prob. 5-29

5-30 Para el circuito indicado, demostrar que la tensión flotante entre emisor y base viene dada por:

$$V_{EBF} = V_T\ 1\ (1 - \alpha_N)$$

Despreciar $r_{bb'}$.

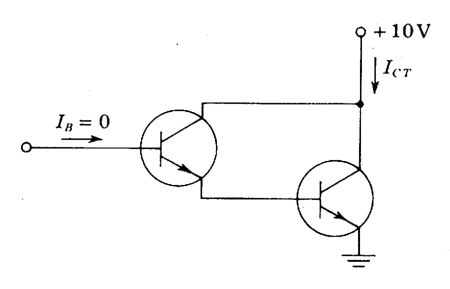


Prob. 5-30

5-31 Para la conexión de "base flotante" indicada, demostrar que:

$$I_{CT} = \frac{2 - \alpha_N}{(1 - \alpha_N)^2} I_{CO}$$

Supóngase que los transistores son idénticos.



Prob. 5-31

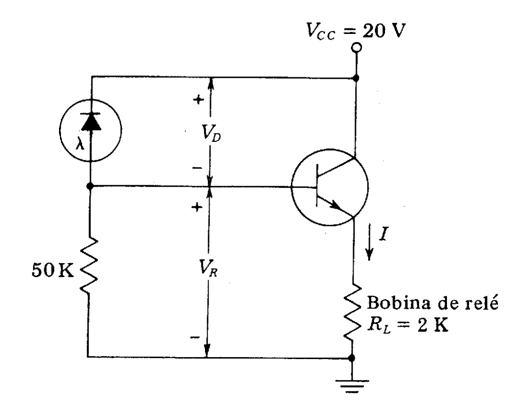
5-32 (*a*) Demostrar que, si la unión de colector está polarizada en inverso con $|V_{CB}| \gg V_T$, la tensión V_{BE} está relacionada con la corriente de base por:

$$V_{BE} = I_B \left(r_{bb'} + \frac{R_E}{1 - \alpha_N} \right) + \left\{ \frac{I_{CO} R_E}{1 - \alpha_N} + V_T \ln \left[1 + \frac{I_B(1 - \alpha_N \alpha_I)}{I_{EO}(1 - \alpha_N)} + \frac{\alpha_N(1 - \alpha_I)}{\alpha_I(1 - \alpha_N)} \right] \right\}$$

donde $r_{bb'}$ es la resistencia de dispersión de base, y R_E es la resistencia del cuerpo del emisor. (*b*) Demostrar que $V_{BE} = I_B\ (r_{bb'} + R_E) + V_T(1 + I_B/I_E)$ si el colector está en circuito abierto.

5-33 Un transistor trabaja con una corriente directa de emisor de 2 mA y con el colector en circuito abierto. Hallar (*a*) las tensiones en las uniones V_C y V_E, (*b*) la diferencia de potencial de colector a emisor V_{CE}. Suponer $I_{CO} = 2\ \mu A$, $I_{EO} = 1{,}6\ \mu A$, $\alpha_N = 0{,}98$. ¿El transistor trabaja en saturación, en corte o en la región activa?

5-34 En el circuito indicado, se emplea un fotodiodo 1N77 (Fig. 3-21). R_L representa la resistencia de la bobina de un relé que precisa una corriente de 6 mA para cerrarse. El transistor es de silicio con $V_{BE} = 0{,}7$ V y $h_{FE} = 100$.



Prob. 5-34

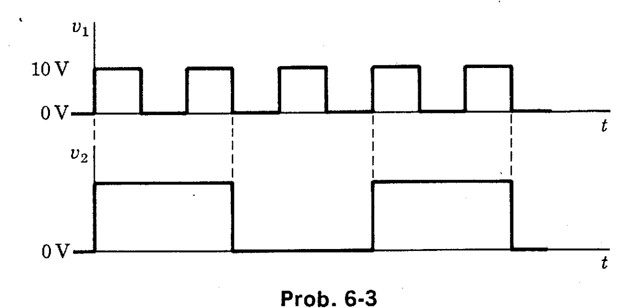
(*a*) Hallar la tensión V_D para que actúe el relé.
(*b*) Hallar la mínima iluminación requerida para que se cierre el relé.
(*c*) Si la bobina del relé se conecta directamente en serie con el fototransistor de la Fig. 5-25, con 20 V, hallar la iluminación precisa para cerrar el relé.

CAPITULO 6

6-1 Convertir los siguientes números decimales en forma binaria: (*a*) 671, (*b*) 325, (*c*) 152.

6-2 Los parámetros del circuito O a diodo de la Fig. 6-3 son $V(0) = +12$ V, $V(1) = -2$ V, $R_s = 600\ \Omega$, $R = 10$ K, $R_f = 0$, $R_r = \infty$, y $V_\gamma = 0{,}6$ V. Calcular los niveles de salida si se excita una entrada y si (*a*) $V_R = +12$ V, (*b*) $V_R = +10$ V, (*c*) $V_R = +14$ V, y (*d*) $V_R = 0$ V. ¿Para cuál de estos casos se satisface la función O (exceptuar la posibilidad de un desplazamiento de nivel entre la salida y la entrada)? (*e*) Repetir el apartado *a* si se excitan tres entradas.

6-3 Considerar una puerta O de diodos con lógica positiva y dos entradas. (La Fig. 6-3 con los diodos invertidos) y con $V_R = 0$. Las entradas son las ondas cuadradas v_1 y v_2 indicadas. Esbozar la forma de onda de la salida si la relación entre las amplitudes v_2 a v_1 es (*a*) 2 y (*b*) ½. Suponer diodos ideales ($R_f = 0$, $R_r = \infty$ y $V_\gamma = 0$) y $R_s = 0$.



Prob. 6-3

6-4 Considerar dos señales, una onda senoidal a 1 kHz y una onda cuadrada a 10 kHz de valor medio cero, aplicadas al circuito O de la Fig. 6-3 con $V_R = 0$. Dibujar la onda de salida si la amplitud de la onda senoidal (*a*) excede a la amplitud de la onda cuadrada, (*b*) es menor que ella.

6-5 Considerar un circuito Y de diodos con lógica positiva de dos entradas (Fig. 6-5), con $V_R = 15$ V, $R = 10$ K, $R_s = 1$ K. Suponer diodos ideales y despreciar las capacidades. Se aplica simultáneamente a las dos entradas una onda cuadrada v_i cuyo valor va de -5 a $+5$ V respecto a tierra. (*a*) Trazar la salida v_o y calcular la tensión máxima y mínima con respecto a tierra. (*b*) Si $v_1 = v_i$ y $v_2 = -v_i$, calcular los niveles de tensión de v_o y dibujarlos.

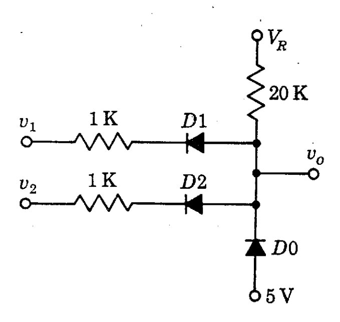
6-6 (*a*) Empleando un diodo limitador, dibujar una puerta Y a diodos, cuya salida sea V' cuando no haya coincidencia, y $V(1)$ cuando la haya. Supóngase que $V_R \geqslant V(1)$ y que se emplea lógica positiva.
(*b*) Hallar el mínimo valor requerido de V' y el número máximo de entradas si la corriente nominal del diodo limitador es I_m.

6-7 (*a*) Indicar cómo se debería modificar el circuito del Prob. 6-5 para que la tensión mínima fuese cero.
(*b*) Repetir los apartados *a* y *b* del Prob. 6-5, suponiendo que el máximo valor de la corriente del diodo de enlace sea de 5 mA.
(*c*) Encontrar el número máximo de entradas si la máxima corriente del diodo de unión es de 5 mA.

6-8 Considerar un circuito Y con diodos y lógica positiva de dos entradas (Fig. 6-5*b*) con $V_R = 10$ V, $R = 10$ K y $R_s = 0$. Suponer los diodos ideales y despreciar las capacidades. Las ondas de entrada son v_1 y v_2 del Prob. 6-3. Hallar la onda de salida si la relación de amplitud de v_2 a v_1 es (*a*) 2, (*b*) 1 y (*c*) ½. Repetir el apartado *b* si $R_s = 1$ K.

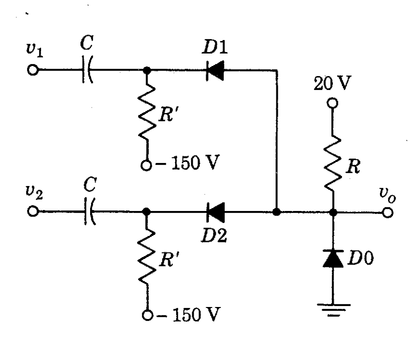
6-9 Los niveles de entrada binarios para el circuito Y indicado son $V(0) = 0$ V y $V(1) = 25$ V. Suponer diodos ideales. Si $v_1 = V(0)$ y $v_2 = V(1)$, entonces v_o ha de ser 5 V. En cambio, si $v_1 = v_2 = V(1)$, entonces v_o debe estar por encima de los 5 V.
(*a*) ¿Cuál es el máximo valor de V_R que cabe emplear?

(*b*) Si $V_R = 20$ V, ¿Cuál es v_o en la coincidencia $[v_1 = v_2 = V(1)]$? ¿Cuáles serán las corrientes en los diodos?
(*c*) Repetir la parte *b* si $V_R = 40$ V.



Prob. 6-9

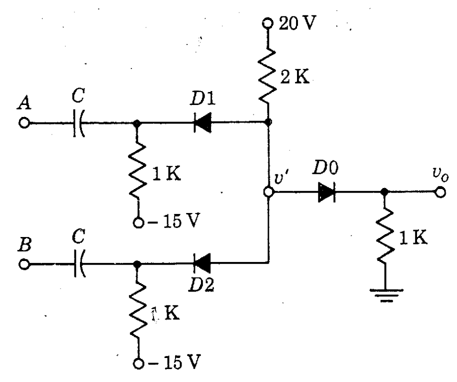
6-10 El circuito indicado Y de diodos de dos entradas, emplea diodos con $R_f = 500\ \Omega$, $R_r = \infty$, y $V_\gamma = 0$. La corriente de reposo en $D0$ es de 6 mA, y las corrientes en $D1$ y en $D2$ son de 4 mA cada una.



Prob. 6-10

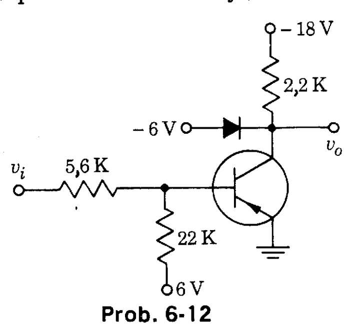
(*a*) Calcular la tensión de salida en reposo v_o y los valores de R y R'.
(*b*) Calcular la tensión de salida cuando uno de los diodos de entrada está al corte. Calcular este resultado aproximadamente, suponiendo que las corrientes que atraviesen R y el otro diodo de entrada no cambian. Calcular también el resultado exacto.
(*c*) Supóngase que se suprime el diodo $D0$, que las corrientes por $D1$ y $D2$ permanecen en 4 mA cada una y que la salida v_o es la misma encontrada en el apartado *a*. Hallar R y R'.
(*d*) Si las condiciones son las indicadas en el apartado *c*, pero uno de los diodos está al corte, hallar la tensión de salida v_o. Compararlo con el resultado de la parte *b* cuando $D0$ actúa como un limitador.

6-11 Hallar v_o y v' (*a*) si no hay impulsos en ninguna de las entradas A y B, (*b*) si hay un impulso positivo de 30 V en A o en B, (*c*) si hay impulsos positivos tanto en A como en B. (*d*) ¿Cuál es la amplitud mínima del impulso que se debe aplicar para que el circuito trabaje apropiadamente? Suponer los diodos ideales.



Prob. 6-11

6-12 (*a*) Demostrar que el circuito indicado es un inversor, calculando los niveles de salida correspondientes a los niveles de entrada de 0 V y − 6 V. ¿Cuál es el valor mínimo de h_{FE} que se precisa? Despreciar las tensiones de saturación de las uniones y suponer el diodo ideal.
(*b*) Si la corriente inversa de saturación de colector a 25 °C es de 5 μA, ¿cuál es la máxima temperatura a la que el inversor trabajará adecuadamente?



Prob. 6-12

6-13 Para el circuito indicado en la Fig. 6-7, $V_{CC} = 8$ V, $V_{BB} = 8$ V, $V_{EE} = 0$ y $R_c = 2{,}2$ K. El inversor debe trabajar adecuadamente en el margen de temperaturas desde − 25 °C a 125 °C. El transistor de silicio empleado tiene $(h_{FE})_{min} = 65$ a 25 °C. 55 a − 25 °C, 85 a 125 °C, e $I_{CBO} = 5$ nA a 25 °C, Los niveles lógicos deseados son $V(1) = 8 \pm 2$ V, $V(0) = 0{,}2 \pm 0{,}2$ V.
(*a*) Hallar el valor máximo de R_1 si $R_2 = 100$ K.
(*b*) Si los niveles lógicos deseados son $V(1) = 4 \pm 1$ V y $V(0) = 0{,}2 \pm 0{,}2$ V, ¿qué modificación se debería hacer en el circuito?

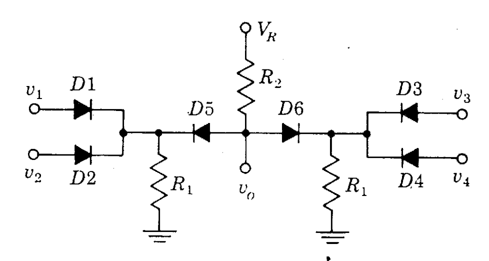
6-14 Un semisumador es una combinación de puertas O e Y. Tiene dos entradas y dos salidas, y la siguiente tabla de la verdad:

Entrada 1	Entrada 2	Salida 1	Salida 2
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Dibujar el diagrama de bloques lógico del semisumador.

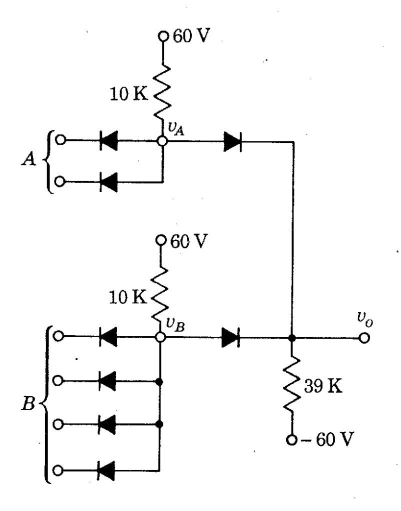
6-15 Las cuatro entradas v_1, v_2, v_3 y v_4 son tensiones procedentes de fuentes de impedancia nula cuyos valores son $V(0) = 10$ V o $V(1) = 20$ V. Los diodos son ideales. $V_R = 25$ V, $R_1 = 5$ K y $R_2 = 10$ K.
(*a*) Si $v_1 = v_2 = 10$ V y $v_3 = v_4 = 20$ V, hallar v_o y las corrientes en cada diodo.
(*b*) Si $v_1 = v_3 = 10$ V y $v_2 = v_4 = 20$ V, encontrar v_o y las corrientes en cada diodo.
(*c*) Esbozar en forma de diagrama de bloques la lógica desarrollada por este circuito.
(*d*) Comprobar que, para que el circuito trabaje adecuadamente, debe satisfacerse la siguiente desigualdad:

$$R_2 > \frac{V_R - V(0)}{V(0)} R_1$$



Prob. 6-15

6-16 (*a*) En forma de diagrama de bloques, indicar la lógica lograda por el sistema de diodos mostrado. Los niveles de entrada son $V(0) = -8$ V y $V(1) = +2$ V. Despreciar la resistencia de la fuente y suponer los diodos ideales. Justificar la respuesta calculando las tensiones v_A, v_B y v_o (e indicando cuáles son los diodos que están conduciendo) en las siguientes circunstancias: (i) todas las entradas están a $V(0)$; (ii) algunas, pero no todas, de las entradas de A están a $V(1)$, y todas las entradas de B en $V(0)$; (iii) todas las entradas de A están en $V(1)$ y algunas entradas



Prob. 6-16

de B en $V(1)$; y (iv) todas las entradas están en $V(1)$. (*b*) Si se aumenta la resistencia de 10 K, ¿a qué valor máximo no podría seguir funcionando el circuito de la manera descrita anteriormente?
(*c*) Indicar cómo se tendría que modificar el circuito de modo que los niveles de salida fuesen -5 V y 0 V respectivamente.

6-17 (*a*) Comprobar las leyes de Morgan [Ec. (6-27)] de manera análoga a la que se da en el texto relativa a la prueba de la Ec. (6-25).
(*b*) Demostrar la Ec. (6-27) construyendo la tabla de la verdad de cada miembro y comprobando que estas dos tablas tienen las mismas salidas.

6-18 Comprobar las identidades auxiliares de Boole de la Tabla 6-4.

6-19 Empleando el álgebra de Boole, comprobar que:
(*a*) $\overline{\bar{A}+B}+\overline{\bar{A}+\bar{B}}=A$
(*b*) $AB+AC+B\bar{C}=AC+B\bar{C}$
Sugerencia: Multiplicar el primer término del primer miembro por $C+\bar{C}=1$.
(*c*) $\overline{AB+BC+CA}=\bar{A}\bar{B}+\bar{B}\bar{C}+\bar{C}\bar{A}$

6-20 Empleando álgebra de Boole, comprobar que:
(*a*) $(A+B)(B+C)(C+A)=AB+BC+CA$
(*b*) $(A+B)(\bar{A}+C)=AC+\bar{A}B$
(*c*) $AB+\bar{B}\bar{C}+A\bar{C}=AB+\bar{B}\bar{C}$
Sugerencia: Un término puede ser multiplicado por $B+\bar{B}=1$.

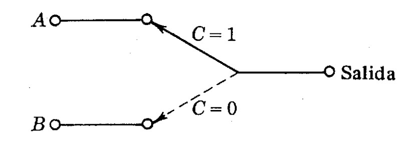
6-21 Dados dos caracteres de N bit disponibles en paralelo, indicar en forma de diagrama de bloques un sistema cuya salida sea 1 únicamente si *todos* los bit correspondientes son iguales, es decir, sólo si los dos caracteres son iguales.

6-22 A, B y C representan la presencia de impulsos. La premisa lógica "A o B y C" puede tener dos interpretaciones. ¿Cuáles son? En forma de diagrama de bloques, dibujar el circuito para llevar a cabo cada una de las dos operaciones lógicas.

6-23 Un circuito tiene tres entradas y una salida. La salida es 1 si dos entradas cualesquiera de las tres son 1, y es 0 para cualquier otra combinación de las entradas. Dibujar el diagrama de bloques del circuito lógico.

6-24 Dibujar en forma de diagrama de bloques, el circuito del siguiente sistema lógico: si los impulsos A_1, A_2 y A_3 ocurren simultáneamente o si los impulsos B_1 y B_2 suceden a la vez, se obtiene un impulso de salida con la condición que el impulso c no ocurra simultáneamente. No se debe obtener ninguna salida si A_1, A_2, A_3, B_1 y B_2 ocurren a la vez.

6-25 Un conmutador doble de un solo polo se debe simular con circuitos Y, O, e INHIBIDOR. Llamemos a las dos señales de entrada A y B. Una tercera entrada C recibe en forma de código las instrucciones de conmutar: 1 (está presente el impulso) o 0 (no existe impulso). Se desea que, con $C = 1$, se ponga el conmutador en A, y con $C = 0$ se ponga en B, tal como se indica esquemáticamente. Obtener el diagrama de bloques de este conmutador.

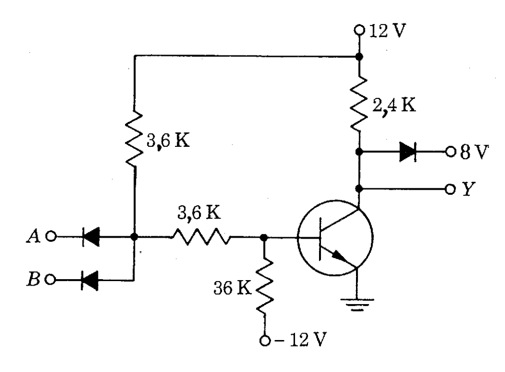


Prob. 6-25

6-26 Dibujar en forma de diagrama de bloques, un circuito que satisfaga simultáneamente las condiciones *a*, *b*, y *c* siguientes:
(*a*) Hay salida si dos entradas cualesquiera de las A_1, A_2 y A_3 se excitan, estando B también excitada.
(*b*) La salida es 1 si una (y sólo una) de las entradas A_1, A_2 o A_3 es 1 mientras $B = 0$.
(*c*) No hay salida si A_1, A_2 y A_3 se excitan simultáneamente.

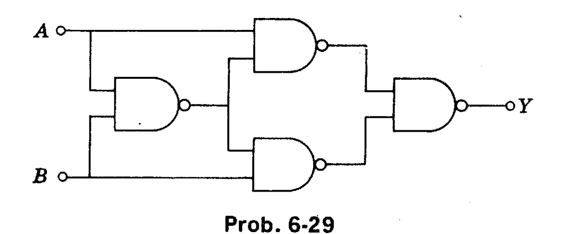
6-27 (*a*) Para la puerta NAND de la Fig. 6-19*a*, calcular el valor mínimo de h_{FE} teniendo en cuenta las tensiones de las uniones.
(*b*) ¿Cuál es la máxima tensión de ruido (sobrepuesta al nivel lógico) que aún permitirá al circuito trabajar adecuadamente? Considerar los dos casos siguientes: (i) una coincidencia completa, y (ii) todas las entradas menos una en el estado 1.
(*c*) ¿Cuál será el valor máximo de la resistencia de la fuente que aún permite un funcionamiento apropiado del circuito? Suponer una caída de 0,7 V en los diodos que conduzcan.

6-28 El circuito indicado emplea diodos de silicio y un transistor de silicio. La entrada A o B se obtiene de la salida Y de una puerta similar.
(*a*) ¿Cuáles son los niveles lógicos? Tener en cuenta las tensiones de las uniones.
(*b*) Comprobar que el circuito cumple el funcionamiento como NAND. Suponer $h_{FE,\min} = 15$.
(*c*) ¿Cuál es el máximo valor alcanzable de I_{CBO}?
(*d*) Despreciar ahora las tensiones de las uniones e I_{CBO} y comprobar que el circuito funciona como NOR.



Prob. 6-28

6-29 Comprobar que el circuito indicado es un O EXCLUSIVO.

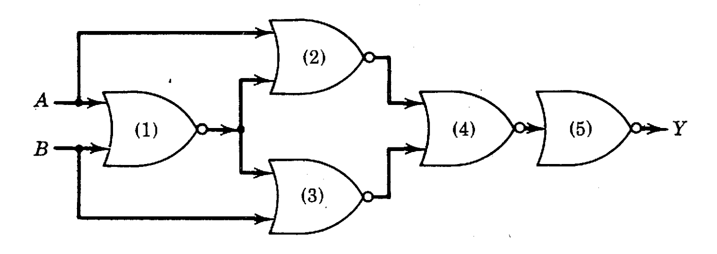


Prob. 6-29

6-30 Comprobar que la topología NOR-NOR es equivalente a un sistema O-Y.

6-31 Comprobar que las operaciones lógicas O, Y y NO pueden hacerse empleando tan sólo puertas NOR.

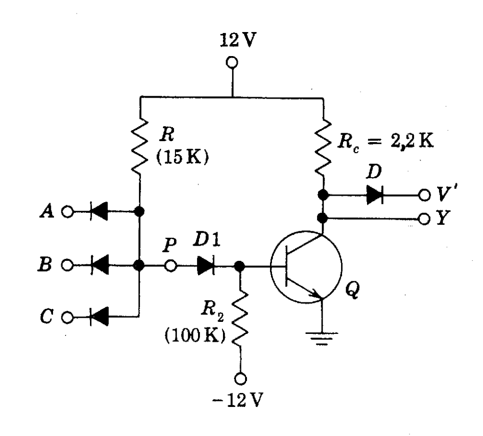
6-32 ¿Qué operación lógica se obtendrá con el circuito indicado, que consiste en puertas NOR interconectadas?



Prob. 6-32

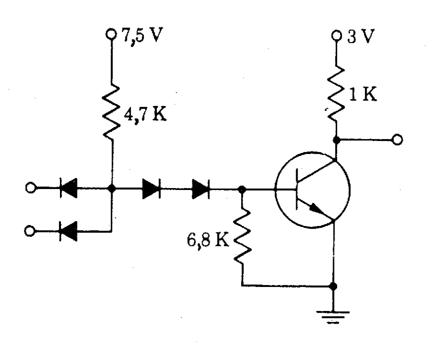
6-33 (*a*) Construir una puerta O EXCLUSIVA empleando: (i) puertas NOR, (ii) puertas NAND.
(*b*) Repetir el apartado *a* para el semisumador del Prob. 6-14.

6-34 (*a*) El circuito de componentes discretos de la puerta con diodos y transistores indicada emplea un transistor de silicio con los valores de, en el peor de los casos, $V_{BE,\text{sat}} = 1{,}0$ V y $V_{CE,\text{sat}} = 0{,}5$ V. La caída de tensión en cualquier diodo de silicio que conduzca, es de 0,7 V. Suponer que $D1$ consiste en dos diodos en serie. Los parámetros del circuito son $V_{CC} = V_{BB} = 12$ V, $R = 15$ K, $R_2 = 100$ K y $R_c = 2{,}2$ K. Las entradas de este conmutador se obtienen de las salidas de puertas similares. Comprobar que el circuito funciona como un NAND positivo. Calcular el mínimo valor de la tensión límite V' y h_{FE} para que el funcionamiento sea correcto.
(*b*) ¿Trabajará el circuito adecuadamente si $D1$ es (i) un solo diodo, o (ii) tres diodos en serie?
(*c*) Reemplazar $D1$ por una resistencia de 15 K y repetir el apartado *a*. Comparar los niveles binarios de los apartados *a* y *c*.
(*d*) ¿Cuál es el máximo número de entradas admisible, suponiendo que los diodos sean ideales? ¿Cuáles son las limitaciones prácticas del número de entradas?



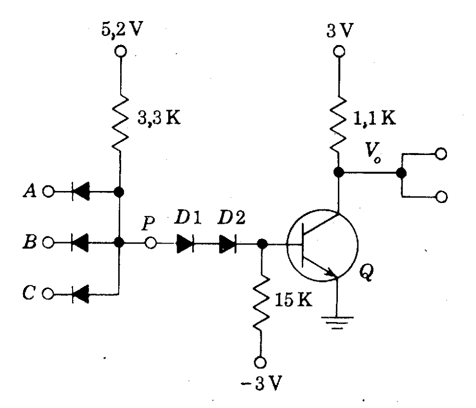
Prob. 6-34

6-35 El DTL (Lógica de Diodos y Transistores) indicado emplea dispositivos de silicio con $V_{BE,sat} = 0{,}8$ V, $V_{CE,sat} = 0{,}2$ V, $V_\gamma = 0{,}5$ V, y la caída de potencial en el diodo en conducción es de 0,7 V. Las entradas de este interruptor se obtienen desde las salidas de puertas similares.
(*a*) Comprobar que el circuito funciona como NAND positivo y calcular $h_{FE,min}$. Supóngase que los transistores están prácticamente al corte si la tensión de base a emisor es por lo menos 0,1 V menor que la tensión umbral V_γ.
(*b*) Supóngase que la corriente inversa de saturación de los diodos es igual a la corriente inversa de saturación de colector del transistor. Hallar $I_{CBO,max}$.
(*c*) Si todas las entradas están en su valor superior, ¿cuál es la tensión de ruido en la entrada que provocará un mal funcionamiento de la puerta?
(*d*) Repetir el apartado *c* si por lo menos una de las entradas está en su valor inferior.



Prob. 6-35

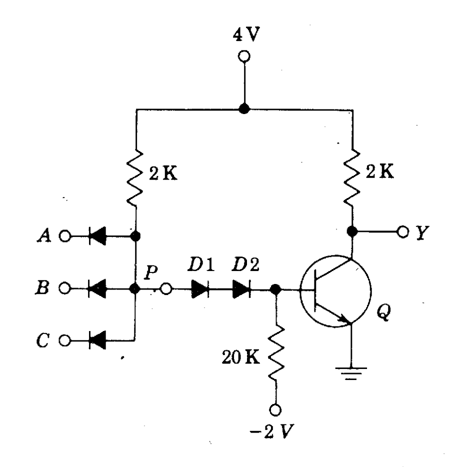
6-36 (*a*) Analizar el circuito DTL indicado. Emplear las caídas de potencial dadas en el problema 6-35.
(*b*) Hallar $h_{FE,min}$ si, por medio de este circuito, se excitan dos puertas similares.
(*c*) Hallar los márgenes de ruido.



Prob. 6-36

6-37 (*a*) Analizar el circuito DTL indicado. Emplear las caídas de potencial indicadas en el problema 6-35.

(*b*) Si $h_{FE} = 25$, calcular el número de puertas atacables N.
(*c*) Para un número de puertas atacables de 10 y suponiento que la corriente inversa de saturación de los diodos es de 15 μA, ¿cuál es $V(1)$?



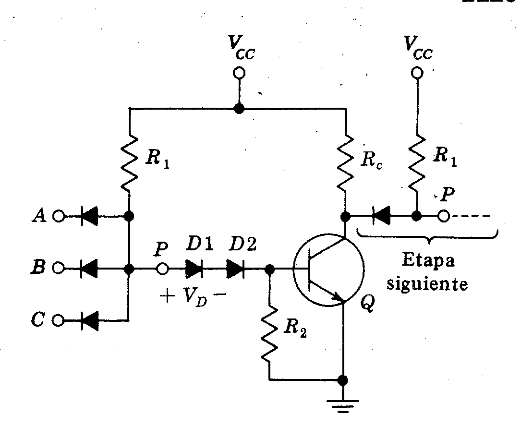
Prob. 6-37

6-38 La puerta NAND DTL positiva del Prob. 6-39 debe funcionar correctamente en un margen de temperatura comprendido entre −50 °C y 160 °C. El transistor de silicio tiene $h_{FE,min} = 50$ a −50 °C, $h_{FE,min} = 65$ a 25 °C, y $h_{FE,min} = 100$ a 160 °C. La corriente inversa de saturación de colector del transistor a 25 °C es de $I_{CBO} = 0{,}5$ nA, e igual a la corriente inversa de saturación del diodo de silicio. El máximo valor de la corriente del transistor es de 50 mA. La puerta se empleará en un sistema con una fuente de alimentación de tensión de 5 V, y la variación tolerada en $V(1)$ es de ± 0,5 V. El valor absoluto deseado del margen de ruido es de 1,5 V, y el número de puertas atacables es 10. El transistor se considera en corte si $V_{BE} \leqslant 0{,}4$ V.
(*a*) Calcular el número mínimo de diodos requeridos entre *P* y la base del transistor.
(*b*) Calcular el máximo valor de R_2.
(*c*) Para los valores hallados en (*a*) y en (*b*), determinar el margen de valores que puede tomar R_c.
(*d*) Empleando el valor medio de R_c hallado en el apartado anterior, especificar el margen de valores que puede tomar R_1.

6-39 Para la puerta NAND DTL integrada positiva indicada, demostrar que:
(*a*) El máximo número de diodos que cabe emplear viene dado por $n_{max} = (V_{CC} - V_{BE,sat})/V_D$, donde V_D es la caída de tensión en un diodo.
(*b*) La máxima cantidad de puertas atacables viene dada por

$$N_{max} \approx h_{FE} - h_{FE}\left(n + \frac{R_1}{R_2}\right)\frac{V_D}{V_{CC}} - \frac{R_1}{R_C}\left(1 + \frac{V_D}{V_{CC}}\right)$$

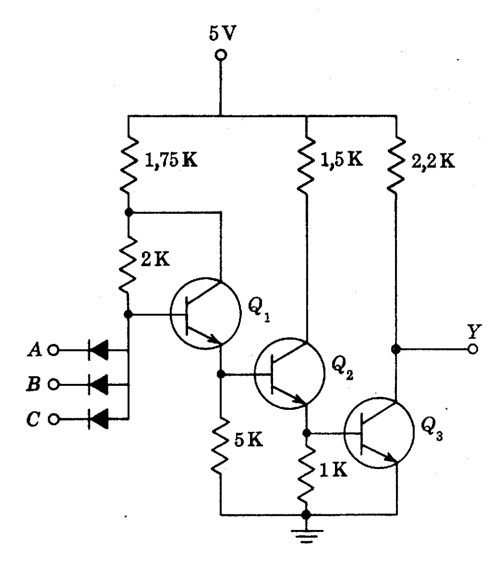
Supóngase que $V_{BE,sat} \approx V_D$ y $V_{CC} - V_D \gg V_{CE,sat}$



Prob. 6-39

6-40 Para la NAND DTL integrada positiva modificada de la Fig. 6-24, especificar h_{FE} y la máxima corriente para tener una cantidad de puertas atacables de 50.

6-41 Para la puerta DTL integrada positiva mostrada:
(*a*) Comprobar que funciona como puerta NAND y especificar el estado de cada transistor cuando por lo menos una de las entradas está en su valor inferior y también en una coincidencia.
(*b*) Para $h_{FE,\min} = 30$ calcular el número de puertas atacables por esta puerta. Las entradas se obtienen de las salidas de otras puertas similares, y las salidas a su vez excitan puertas similares.

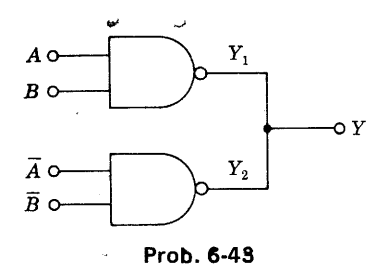


Prob. 6-41

6-42 En la puerta integrada positiva NAND DTL de la Fig. 6-24, se fabrica un diodo Schottky entre base y colector para prevenir la posible saturación del transistor $Q2$.

El ánodo del diodo Schottky está en la base y cuando conduce su caída de potencial es de 0,4 V (Sec. 7-13).
(*a*) Explicar por qué el transistor $Q2$ no llega a saturación.
(*b*) Comprobar el funcionamiento de la puerta como una NAND y calcular el margen de ruido.
(*c*) Hallar los niveles lógicos y el máximo número de puertas atacables si las entradas se obtienen de puertas similares, las salidas excitan también puertas iguales, y $h_{FE} = 30$.

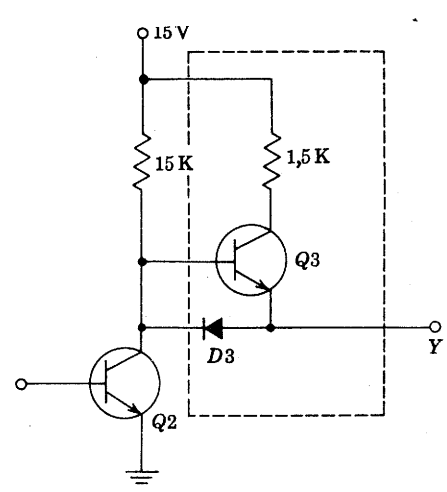
6-43 Comprobar que el circuito dibujado responde a una función O EXCLUSIVA.



Prob. 6-43

6-44 (*a*) Para la puerta lógica NAND de alto umbral, de la Fig. 6-26, si V_2 del diodo es de 6,9 V, comprobar que el circuito funciona como NAND positiva y calcular $h_{FE,\min}$. Las entradas de esta puerta se obtienen de las salidas de puertas similares.
(*b*) Calcular los márgenes de ruido.
(*c*) Calcular la cantidad de puertas atacables, si $h_{FE,\min} = 40$.

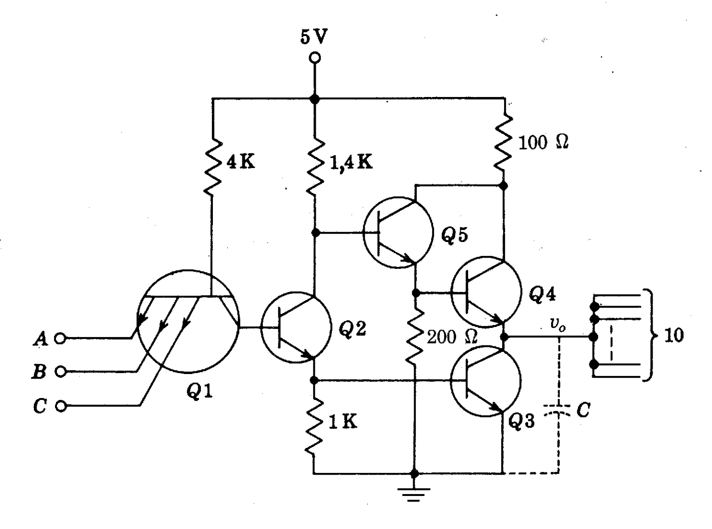
6-45 Si la salida de la Fig. 6-26 está cargada con un condensador (por C), el tiempo de subida en que Y va desde el estado inferior al superior será largo debido a la elevada resistencia de carga (15 K) de $Q2$. Para reducir esta constante de tiempo, se añade el circuito de arranque activo, indicado en el bloque limitado por trazos, en paralelo con la resistencia de 15 K.
(*a*) Explicar cómo trabaja el circuito.
(*b*) ¿Por qué no se reemplaza, simplemente, la resistencia de 15 K por una de 1.5 K?



Prob. 6-45

6-46 (*a*) Para la puerta NAND positiva integrada de lógica transistor-transistor (TTL), mostrada en la Fig. 6-27, calcular $h_{FE,\min}$ para el funcionamiento adecuado del circuito.
(*b*) Calcular los márgenes de ruido.
(*c*) Calcular el número de puertas atacables si $h_{FE,\min} = 30$.

6-47 Para la puerta NAND TTL positiva integrada indicada, en la que las entradas se obtienen de las salidas de puertas similares y la $h_{FE,\min}$ de los transistores es 30, comprobar que funciona como puerta NAND cuando el número de puertas atacables es 10.
(*a*) En la coincidencia, hallar el estado de cada transistor y todas las tensiones y corrientes del circuito.
(*b*) Repetir el apartado *a* si por lo menos una de las entradas se halla en su estado inferior.
(*c*) Hallar los niveles lógicos.
(*d*) Calcular la corriente de pico que viene de la fuente durante un transitorio.
(*e*) Calcular el máximo número de puertas atacables para un funcionamiento apropiado de la puerta.



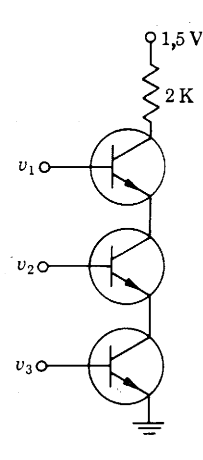
Prob. 6-47

6-48 Para una puerta integrada positiva NOR de lógica Resistencia-Transistor (RTL), probar que cabe aproximarse a la cantidad de puertas atacables mediante la fórmula

$$N_{\max} = h_{FE,\min} - h_{FE,\min}\frac{0,6}{V_{CC}} - \frac{R_b}{R_c}$$

6-49 Las entradas de una puerta NOR RTL positiva integrada, mostrada en la Fig. 6-29, proceden de las salidas de puertas similares y sus salidas, a su vez, excitan puertas iguales. Si la tensión de alimentación del sistema es de 5 V y el margen de temperaturas para su funcionamiento apropiado es de – 50 a 150 °C, calcular los máximos valores permisibles de las resistencias. Supondremos $h_{FE} = 30$ a – 50 °C, $I_{CBO} =$ 10 nA a 25 °C, y que el número deseado de puertas atacables es 10.

6-50 Comprobar que el circuito de transistores directamente acoplados (DCTL), con sus transistores de entrada en serie cumple con las condiciones de funcionamiento NAND. Supóngase que, para los transistores de silicio, $V_{CE,\text{sat}} = 0,2$ V y $V_{BE,\text{sat}} = 0,8$ V. Calcular las corrientes de colector de cada transistor cuando todas las entradas están en su valor superior. La entrada a cada base se toma desde la salida de una puerta similar.



Prob. 6-50

CAPITULO 7

7-1 (*a*) Comprobar que la Ec. (7-3) satisface las condiciones límites fijadas.
(*b*) Comprobar que la Ec. (7-5) satisface la ecuación de difusión (7-2), así como las condiciones límites fijadas.

7-2 Una oblea de silicio está dopada uniformemente con fósforo a una concentración de 10^{15} cm^{-3}. Nos referimos a la Tabla 2-1. Hallar, a temperatura ambiente (300 °K):
(*a*) El porcentaje en peso de fósforo de la oblea.
(*b*) La conductividad y la resistividad.
(*c*) La concentración de boro que se debería añadir a la oblea dopada con fósforo para que tuviera la mitad de conductividad.

7-3 (*a*) Empleando los datos de la Fig. 7-8, calcular el tanto por ciento máximo de concentración de arsénico (átomos por centímetro cúbico) que se puede introducir en un silicio sólido. La concentración de silicio puro se puede calcular a partir de los datos de la Tabla 2-1.
(*b*) Repetir el apartado *a* para el oro.

7-4 (*a*) ¿Cuánto tiempo transcurrirá para que una determinada cuantía de fósforo distribuida en la superficie de una fina oblea de silicio de 25 μm de espesor, quede uniformemente distribuida por toda ella a 1 300 °C? Considérese que la concentración es lo suficientemente uniforme si no difiere en más del 10 % de la de la superficie.
(*b*) Repetir el apartado *a* para el oro, considerando que el coeficiente de difusión del oro en el silicio es de $1,5 \times 10^{-6}$ cm^2/seg a 1 300 °C.

7-5 Demostrar que el grueso x_j de la unión resultante de una difusión de impurezas distribuidas según la ley de Gauss, sobre un material dopado con una concentración

de fondo N_{BC}, viene dado por

$$x_j = \left(2\,Dt\ 1\ \frac{Q^2}{N^2{}_{BC}\pi\, Dt} \right)^{1/2}.$$

7-6 Un sustrato de silicio del tipo n uniformemente dopado, de resistividad 0,1 Ω-cm, debe someterse a una difusión de boro con una concentración constante en la superficie de 4,8 × 10^{18} cm^{-3}. La profundidad deseada de la unión es de 2,7 μm.
(*a*) Calcular la concentración de impurezas en la difusión de boro, en función de la distancia a la superficie.
(*b*) ¿Cuánto tiempo se requerirá si la temperatura a la que se provoca la difusión es de 1 100 °C?
(*c*) Un transistor *n-p-n* ha sido completado por la difusión de fósforo, con una concentración en la superficie, de 10^{21} cm^{-3}. Si la nueva unión ha de ser de una profundidad de 2 μm, calcular la concentración para la difusión del fósforo en función de la distancia desde la superficie.
(*d*) Dibujar la concentración de impurezas (en escala logarítmica) en función de la distancia (en escala lineal) correspondiente a los apartados *a* y *c*, suponiendo que el boro se mantiene durante la difusión del fósforo. Indicar el emisor, la base y el colector en la curva.
(*e*) Si la difusión del fósforo exige 30 min, ¿a qué temperatura se ha trabajado?

7-7 Citar por orden los pasos requeridos para fabricar un transistor monolítico integrado de silicio por el método de la difusión epitaxial. Dibujar la sección transversal después de cada crecimiento de la capa de óxido. Indicar claramente los materiales. No se precisa ninguna capa enterrada.

7-8 Dibujar *a escala* la sección transversal de un transistor monolítico construido en un fino sustrato de silicio de 0,125 mm de espesor. *Sugerencia:* Referirse a la Sec. 7-1 y a las Figs. 7-12 y 7-13 para las dimensiones típicas.

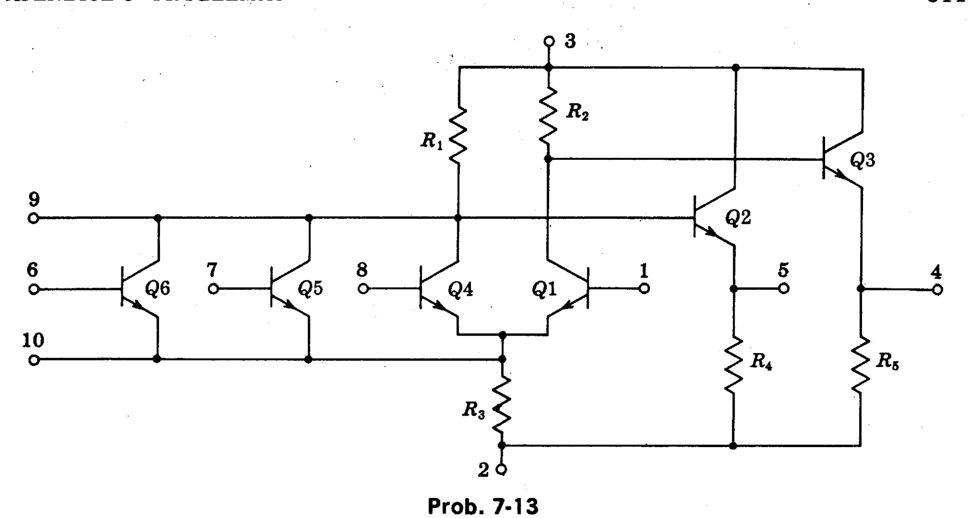
7-9 Indicar las cinco conexiones básicas de diodos (en forma de circuito) para los circuitos integrados monolíticos. ¿Cuál de ellas tendrá la menor caída de potencial directa? ¿Cuál tendrá la mayor tensión de ruptura?

7-10 Si la resistencia pelicular se puede mantener dentro de un ± 10 % de tolerancia y su anchura con una aproximación de ± 0,0025 mm, trazar una curva que represente aproximadamente la tolerancia de una resistencia por difusión en función de su anchura w en mm, dentro del margen de $0{,}012 \leqslant w \leqslant 0{,}12$. (Despreciar los errores del área de contacto y de la situación de los contactos.)

7-11 Una oblea fina de silicio de 0,025 mm ha sido dopada uniformemente con fósforo a una concentración de 10^{16} cm^{-3}, más boro con una concentración de 2 × 10^{15} cm^{-3}. Hallar la resistencia pelicular.

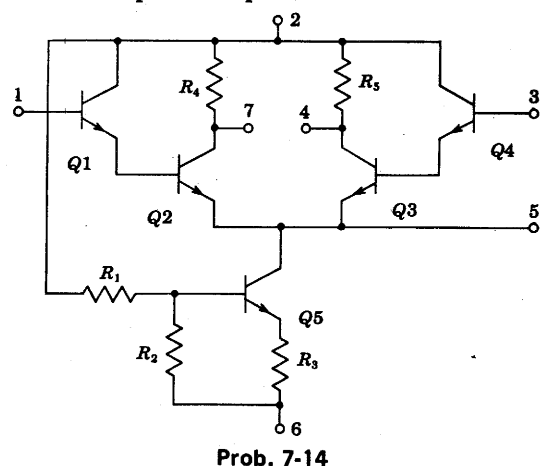
7-12 (*a*) Calcular la resistencia de un cruce de difusión de 0,1 mm de longitud, 0,025 mm de anchura y 2 μm de grosor, dada la resistencia pelicular de 2,2 Ω/cuadro.
(*b*) Repetir el apartado *a* para una capa de metalizado de aluminio de 0,5 μm de grosor, con una resistividad de 2,8 × 10^{-6} Ω-cm. Obsérvese la ventaja de evitar cruces por difusión.

7-13 (*a*) ¿Cuál es el número mínimo de regiones aisladas (islas) necesarias para realizar una puerta lógica monolítica como la indicada?
(*b*) Dibujar un esquema monolítico de la puerta planteado en la forma de la Fig. 7-25*b*.



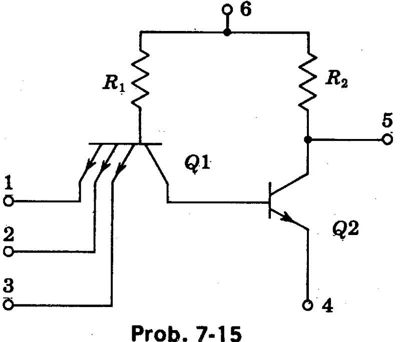
Prob. 7-13

7-14 Repetir el problema 7-13 para el amplificador diferencial de la figura.



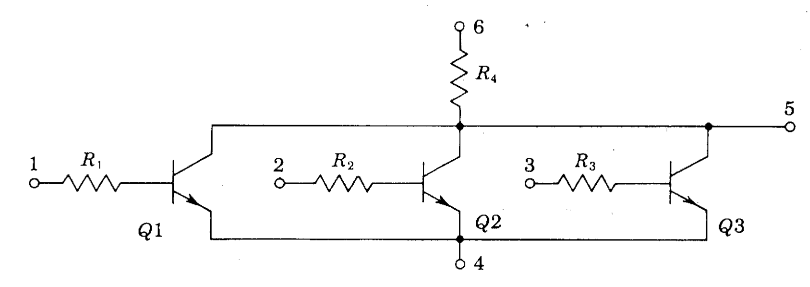
Prob. 7-14

7-15 Para el circuito mostrado, hallar (*a*) el número *mínimo* y (*b*) el número *máximo* de las regiones aisladas.



Prob. 7-15

7-16 Para el circuito mostrado, (*a*) hallar el número mínimo de regiones aisladas, y (*b*) dibujar el esquema monolítico planteado en la forma de la Fig. 7-26, sabiendo que (i) $Q1$, $Q2$ y $Q3$ son transistores con emisores de 0,025 X 0,05 mm, (ii) $R_1 = R_2 = R_3 = 400\ \Omega$, $R_4 = 600\ \Omega$. Emplear resistencias de 0,025 mm de anchura.

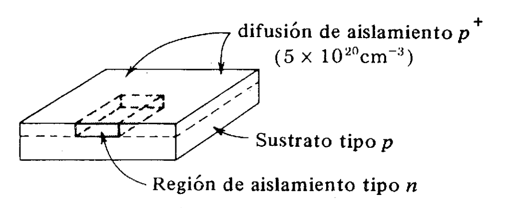


Prob. 7-16

7-17 Un condensador de unión integrado tiene un área de 6,25 mm^2 y está trabajando con tensión inversa de 1 V. La concentración de aceptadores de 10^{15} átomos/cm^3 es mucho menor que la de donadores. Calcular su capacidad.

7-18 Un condensador de película delgada tiene una capacidad de 640 pF/mm^2. La constante dieléctrica relativa del dióxido de silicio es de 3,5. ¿Cuál es el espesor de la capa de SiO_2 en angstroms?

7-19 La región de aislamiento epitaxial de tipo *n* mostrada es de 0,2 mm de longitud por 0,15 mm de ancho y 0,025 mm de grueso, y tiene una resistividad de 0,1 Ω-cm. La resistividad del sustrato de tipo *p* es de 10 Ω-cm. Hallar la capacidad parásita entre la región de aislamiento y el sustrato con 5 V de polarización inversa. Suponer que los laterales contribuyen en 160 pF/mm^2.



Prob. 7-19

NOTA: *En los problemas que siguen, indicar en las respuestas apuntadas las que se consideren correctas.*

7-20 El número típico de difusiones empleado para hacer por difusión-epitaxial un circuito integrado de silicio, es (*a*) 1, (*b*) 2, (*c*) 3, (*d*) 4, (*e*) 5.

7-21 La "capa enterrada" en un transistor integrado está (*a*) dopada p^+, (*b*) localizada en la región de la base, (*c*) dopada n^+, (*d*) es empleada para reducir las capacidades parásitas.

7-22 El sistema de crecimiento epitaxial se emplea en circuitos integrados:
(*a*) Para crecer de forma selectiva un monocristal de silicio *p* de una resistividad dada en un sustrato tipo *p* de diferente resistividad.

(*b*) Para crecer un monocristal de silicio *n* en un sustrato monocristal de tipo *p*.
(*c*) Porque da origen a uniones *p-n* aislantes en oposición.
(*d*) Porque da lugar a pequeñas capacidades parásitas.

7-23 El dióxido de silicio (SiO_2) se emplea en los circuitos integrados:
(*a*) Porque facilita la penetración de las difusiones.
(*b*) Porque es altamente conductor del calor.
(*c*) Para controlar la localización de la difusión y proteger y aislar la superficie del silicio.
(*d*) Para controlar la concentración de los elementos que se difunden.

7-24 El sustrato tipo *p* en un circuito monolítico debe conectarse:
(*a*) A la tensión más positiva asequible en el circuito.
(*b*) A la tensión más negativa asequible en el circuito.
(*c*) A cualquier tierra de continua.
(*d*) A ninguna parte, o sea dejándolo flotante.

7-25 Los sistemas monolíticos integrados ofrecen mayor fiabilidad que los sistemas de componentes discretos, porque:
(*a*) Tienen menos conexiones.
(*b*) Se emplea metalizado a alta temperatura.
(*c*) Las tensiones eléctricas son bajas.
(*d*) Los elementos eléctricos están estrechamente adaptados.

7-26 La unión sustrato-colector en una estructura de colector epitaxial es, aproximadamente:
(*a*) Una unión abrupta.
(*b*) Una unión gradual lineal.
(*c*) Una unión exponencial.
(*d*) Ninguna de las anteriores.

7-27 La resistencia pelicular de un semiconductor es:
(*a*) Un elemento parásito indeseable.
(*b*) Una importante característica de una región de difusión, especialmente cuando se emplea para formar resistencias difundidas.
(*c*) Una característica cuyo valor determina el área requerida para un valor dado de la capacidad integrada.
(*d*) Un parámetro cuyo valor es importante en una resistencia de película fina.

7-28 El aislamiento de un circuito integrado se requiere para:
(*a*) Facilitar la prueba de los circuitos.
(*b*) Proteger los componentes contra daños mecánicos.
(*c*) Proteger el transistor de posibles recalentamientos.
(*d*) Minimizar la interacción eléctrica entre los componentes del circuito.

7-29 Casi todas las resistencias de un circuito integrado monolítico se hacen:
(*a*) Durante la difusión del emisor
(*b*) Mientras se crece la capa epitaxial.
(*c*) Durante la difusión de la base.
(*d*) Durante la difusión del colector.

7-30 El aumento de complejidad de un circuito integrado
(*a*) Reduce el coste individual de los circuitos.
(*b*) Aumenta el coste de cada circuito bueno.
(*c*) Da un número menor de chips buenos por oblea.
(*d*) Significa que cabe fabricar más transistores en el mismo tamaño de oblea.

7-31 En un circuito integrado monolítico:
(*a*) Se eliminan todos los problemas de aislamiento.

(b) Se pueden hacer resistencias y condensadores de cualquier valor.
(c) Todos los componentes se fabrican en un solo cristal de silicio.
(d) Cada transistor se difunde en una región aislada separada.

7-32 El objeto principal del proceso de metalización es:
(a) La interconexión de los varios elementos del circuito.
(b) Proteger el chip de la oxidación.
(c) Actuar como regriferador, por disipación del calor.
(d) Obtener una superficie de apoyo para el montaje del chip.

CAPITULO 8

NOTA: *Si no se dice otra cosa, todos los transistores de estos problemas son idénticos y los valores numéricos de sus parámetros h se toman de la Tabla 8-2. También se supone que todas las capacidades son suficientemente grandes.*

8-1 (a) A partir de la Fig. 8-6b, escribir las ecuaciones de entrada y de salida.
(b) Dibujar el modelo híbrido de un transistor en base común y escribir las ecuaciones de entrada y de salida.

8-2 (a) Indicar cómo se obtiene h_{ie} a partir de las características de entrada en emisor común.
(b) Repetir la parte a para h_{re}. Explicar por qué este procedimiento, si bien es correcto en principio, no lo es en la práctica.

8-3 El transistor, cuyas características de entrada son las de la Fig. 8-2, se polariza con $V_{CE} = -8$ V e $I_B = -300\ \mu$A.
(a) Obtener gráficamente h_{fe} y h_{oe} para el punto de reposo especificado más arriba.
(b) Empleando los parámetros h encontrados en el apartado a, calcular h_{fb} y h_{ob}.

8-4 Justificar lo explicado en la nota al pie de la Tabla 8-3. *Sugerencia:* Dibujar un circuito de transistor en EC con una tensión de señal V_s entre base y tierra. A continuación, intercambiar B y E y observar el montaje resultante.

8-5 (a) Hallar los parámetros h en colector común, en función de los parámetros h en emisor común.
(b) Hallar los parámetros h en EC, en función de los parámetros h en CC.

8-6 (a) Hallar h_{rb}, en función de los parámetros h en EC.
(b) Hallar h_{ie}, en función de los parámetros h en BC.

8-7 (a) Demostrar que la expresión exacta de h_{fe}, en función de los parámetros híbridos, en BC es:

$$h_{fe} = -\frac{h_{fb}(1 - h_{rb}) + h_{ib}h_{ob}}{(1 + h_{fb})(1 - h_{rb}) + h_{ob}h_{ib}}$$

(b) A partir de esta fórmula, obtener la expresión aproximada de h_{fe}.
(c) Demostrar que la expresión exacta de h_{fb}, en función de los parámetros híbridos, en EC es

$$h_{fb} = -\frac{h_{fe}(1 - h_{re}) + h_{ie}h_{oe}}{(1 + h_{fe})(1 - h_{re}) + h_{oe}h_{ie}}$$

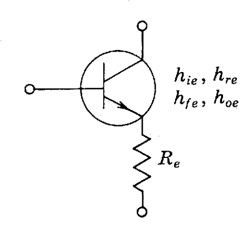
(d) A partir de esta fórmula exacta, obtener la expresión aproximada de h_{fb}.

8-8 Para el circuito indicado, comprobar que los parámetros modificados h (indicados con vírgulas) son:

(a) $h'_{ie} \approx h_{ie} + \dfrac{(1 + h_{fe})R_e}{1 + h_{oe}R_e}$ (b) $h'_{re} = \dfrac{h_{re} + h_{oe}R_e}{1 + h_{oe}R_e}$

(c) $h'_{fe} = \dfrac{h_{fe} - h_{oe}R_e}{1 + h_{oe}R_e}$ (d) $h'_{oe} = \dfrac{h_{oe}}{1 + h_{oe}R_e}$

(e) ¿A qué se reducirían estas expresiones si $h_{oe}R_e \ll 1$?

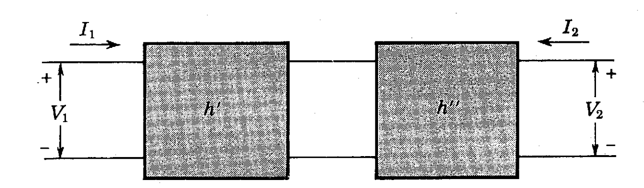


Prob. 8-8

8-9 Demostrar que los parámetros totales del amplificador de dos etapas en cascada de la figura, son:

(a) $h_{11} = h'_{11} - \dfrac{h'_{12}h'_{21}}{1 + h'_{22}h''_{11}}\, h''_{11}$ (b) $h_{12} = \dfrac{h'_{12}h''_{12}}{1 + h'_{22}h''_{11}}$

(c) $h_{21} = -\dfrac{h'_{21}h''_{21}}{1 + h'_{22}h''_{11}}$ (d) $h_{22} = h''_{22} - \dfrac{h''_{12}h''_{21}}{1 + h'_{22}h''_{11}}\, h'_{22}$



Prob. 8-9

8-10 Demostrar que los parámetros totales h del transistor compuesto indicado, son:

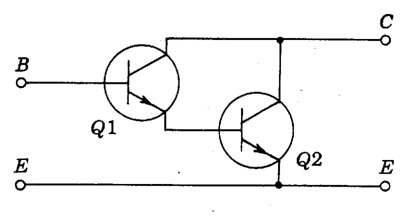
(a) $h_{ie} = h_{ie1} + \dfrac{(1 - h_{re1})(1 + h_{fe1})h_{ie2}}{1 + h_{oe1}h_{ie2}}$

(b) $h_{fe} = h_{fe1} + \dfrac{(h_{fe2} - h_{oe1}h_{ie2})(1 + h_{fe1})}{1 + h_{oe1}h_{ie2}}$

(c) $h_{oe} = h_{oe2} + \dfrac{(1 + h_{fe2})(1 - h_{re2})h_{oe1}}{1 + h_{oe1}h_{ie2}}$

(d) $h_{re} = h_{re2} + \dfrac{(h_{ie2}h_{oe1} + h_{re1})(1 - h_{re2})}{1 + h_{oe1}h_{ie2}}$

(e) Obtener los valores numéricos de los parámetros h del transistor compuesto, suponiendo idénticos los transistores Q_1 y Q_2, y empleando la Tabla 8-2.



Prob. 8-10

8-11 Dado un amplificador a transistores de una sola etapa, con los parámetros h especificados en la Tabla 8-2, calcular A_I, A_V, A_{Vs}, R_i y R_o para la configuración en CC, con $R_s = R_L = 10$ K. Comprobar los resultados obtenidos con la figura 8-16.

8-12 (a) Dibujar un circuito equivalente para las configuraciones en EC y en CC, con la condición restrictiva de $R_L = 0$. Demostrar que la impedancia de entrada de los dos circuitos es idéntica.
(b) Dibujar los circuitos para las configuraciones en EC y CC estando la entrada en circuito abierto. Demostrar que la impedancia de salida es idéntica en ambos circuitos.

8-13 Para un amplificador de un solo transistor, demostrar que:

$$R_i = \frac{h_i}{1 - h_r A_V}$$

8-14 Demostrar que:

$$Y_o = h_o \left(\frac{R_s + R_{i\infty}}{R_s + R_{io}} \right)$$

donde $R_{i\infty} \equiv R_i$ para $R_L = \infty$, y $R_{io} \equiv R_i$ para $R_L = 0$.

8-15 (a) Para una configuración en EC, ¿cuál es el valor máximo de R_L para el que R_i no difiere más del 10% de su valor con $R_L = 0$? Emplear los parámetros del transistor dados en la Tabla 8-2.
(b) ¿Cuál es el máximo valor de R_s para el que R_o no difiere más del 10 % de su valor con $R_s = 0$?
(c) Para la configuración en BC, ¿cuál es el máximo valor de R_L para el que R_i no sobrepasa el valor de 50 ohm?

8-16 Considerar un seguidor de emisor y demostrar que, cuando $R_e \to \infty$,

(a) $R_i \to h_{ie} + \dfrac{1 + h_{fe}}{h_{oe}} \approx \dfrac{1}{h_{ob}}$

Explicar este resultado físicamente.

(b) $1 - A_V \approx \dfrac{h_{ie}h_{oe}}{1 + h_{fe}}$

Evaluar A_V utilizando los valores de los parámetros h dados en la Tabla 8-2.

8-17 Para el seguidor de emisor con $R_s = 0{,}5$ K y $R_L = 5$ K, calcular A_I, R_i, A_V, A_{Vs}, R_o. Suponiendo $h_{fe} = 50$, $h_{ie} = 1$ K, $h_{oe} = 25\ \mu$A/V.

8-18 (a) Diseñar un seguidor de emisor teniendo $R_i = 500$ K y $R_o = 20$ ohm. Suponer que $h_{fe} = 50$, $h_{ie} = 1$ K, $h_{oe} = 25\ \mu$A/V.
(b) Hallar A_I y A_V para el seguidor de emisor del apartado (a).
(c) Hallar R_i y el valor necesario de R_L tal que $A_V = 0{,}999$.

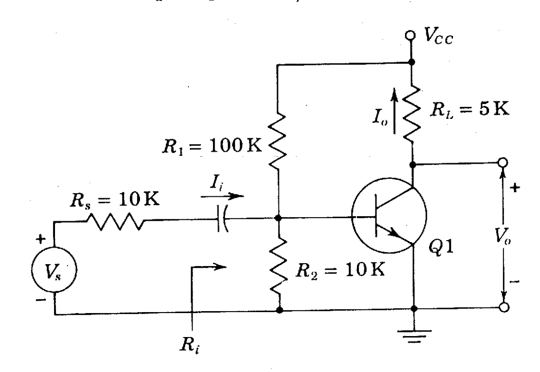
8-19 Para el circuito del transistor de la Fig. 8-12, demostrar que
(a) $(A_{Is})_{max} = -h_f$, si $R_L = 0$ y $R_s = \infty$.
(b) $R_i = h_i$, si $R_L = 0$.
(c) $R_i = \dfrac{h_i h_o - h_r h_f}{h_o}$, si $R_L = \infty$.
(d) $(A_{Vs})_{max} = -\dfrac{h_f}{h_i h_o - h_r h_f}$, si $R_L = \infty$ y $R_s = 0$.
(e) $R_o = \dfrac{h_i}{h_i h_o - h_r h_f}$, si $R_s = 0$.
(f) $R_o = \dfrac{1}{h_o}$, si $R_s = \infty$.

8-20 Empleando los valores de los parámetros h dados en la Tabla 8-2, calcular $(A_{Is})_{max}$, R_i, $(A_{Vs})_{max}$ y R_o deducidos en el problema 8-19 (a) para una conexión en EC, (b) para una conexión en BC, (c) para una conexión en CC. Comparar estas respuestas con los valores de la Fig. 8-16.

8-21 Hallar la impedancia de salida Z_o para el ejemplo de la sección 8-6 calculando la I_a suministrada por una fuente de tensión auxiliar V_a aplicada a los terminales de salida (con una tensión de entrada nula y $R_L = \infty$), siendo $Z_o = V_a/I_a$.

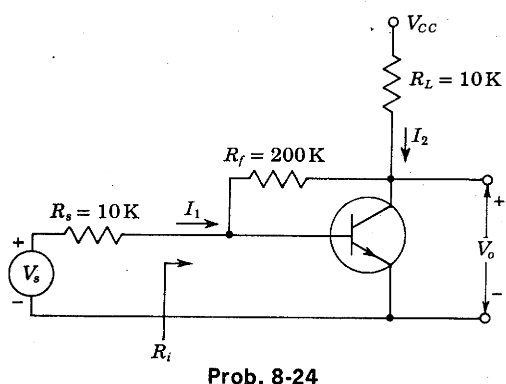
8-22 Hallar la ganancia de tensión A_V para el ejemplo de la sección 8-6 directamente como la relación V_o/V_i (sin hallar A_I y Z_i).

8-23 El amplificador de la figura emplea un transistor cuyos parámetros h son los dados por la Tabla 8-2. Calcular $A_I = I_o/I_i$, A_V, A_{Vs}, R_o y R_i.



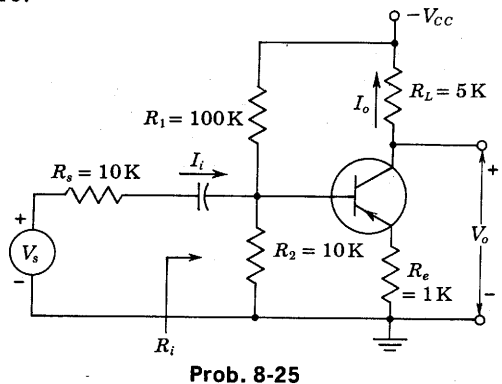
Prob. 8-23

8-24 (*a*) En el circuito de la figura, hallar la impedancia de entrada R_i en función de los parámetros *h* en EC, R_L y R_e. *Sugerencia:* seguir las reglas dadas en la sección 8-10. (*b*) Si $R_L = R_e = 1$ K y los parámetros *h* son los dados en la Tabla 8-2, ¿cuál es el valor de R_i?



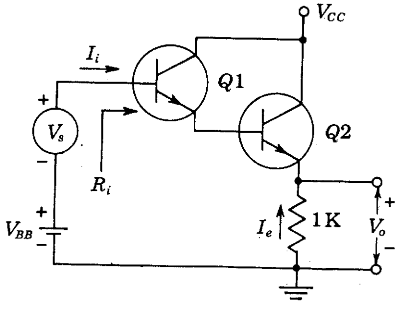
Prob. 8-24

8-25 Para el amplificador de la figura, empleando un transistor cuyos parámetros son los de la Tabla 8-2, hallar $A_I = I_o/I_i$, A_V, A_{Vs} y R_i. *Sugerencia:* seguir las reglas dadas en la sección 8-10.



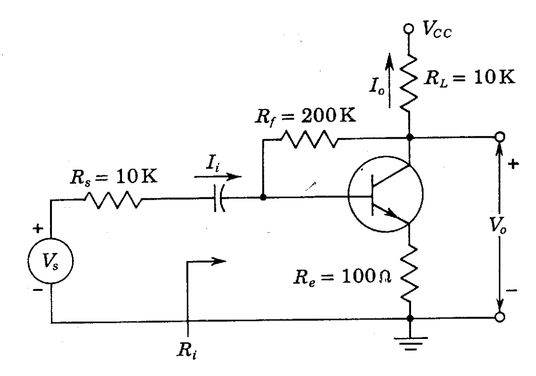
Prob. 8-25

8-26 (*a*) Calcular R_i, A_V y $A_I = -I_o/I_i$, para el circuito de la figura. Emplear los parámetros *h* de la Tabla 8-2. *Sugerencia:* Seguir las reglas dadas en la sección 8-10. (*b*) Repetir el apartado (*a*) empleando los resultados del Prob. 8-10.



Prob. 8-26

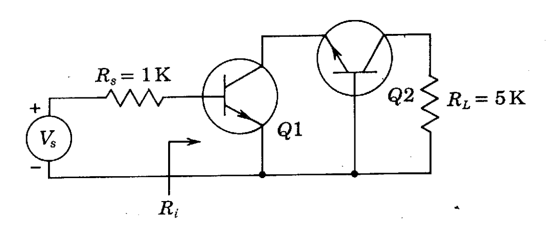
8-27 En el circuito de la figura, calcular $A_I = I_o/I_i$, A_V, A_{Vs}, y R_i con los parámetros dados en la Tabla 8-2.



Prob. 8-27

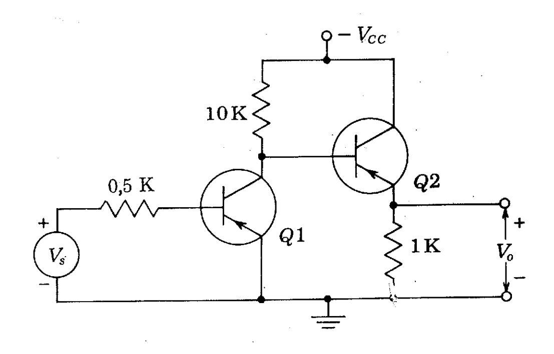
8-28 Repetir el problema 8-24 aplicando el dual del teorema de Miller.

8-29 (*a*) Calcular A_I, A_V, A_{Vs} y R_i del circuito amplificador con dos transistores de la figura (no está indicada la tensión de alimentación). Los transistores son idénticos y sus parámetros están indicados en la Tabla 8-2. *Sugerencia:* seguir las reglas de la sección 8-10.
(*b*) Repetir el apartado *a* empleando los resultados del problema 8-9.



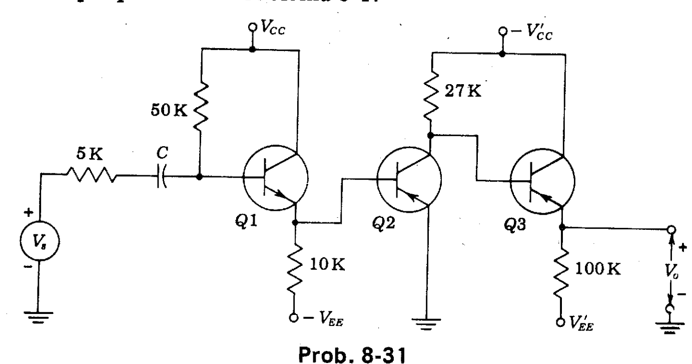
Prob. 8-29

8-30 (*a*) Hallar la ganancia de tensión A_{Vs} del amplificador indicado en la figura. Suponer $h_{ie} = 1\,000$ ohm, $h_{re} = 10^{-4}$, $h_{fe} = 50$, $h_o = 10^{-4}$ A/V. (*b*) Hallar R'_o.



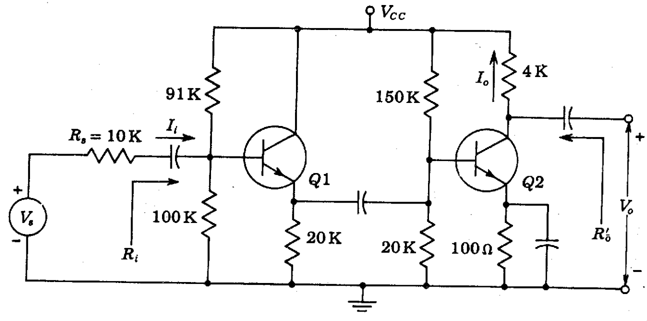
Prob. 8-30

8-31 El amplificador de tres etapas tiene los transistores de idénticas características. Calcular la ganancia de tensión de cada etapa y la ganancia de tensión total V_o/V_s. Ver la nota que precede al Problema 8-1.



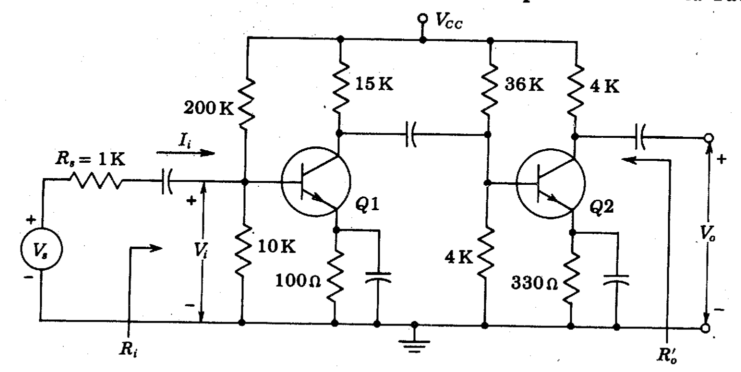
Prob. 8-31

8-32 (*a*) Para el amplificador de dos etapas en cascada, hallar las impedancias de entrada y de salida, así como las ganancias parciales y totales de tensión y de corriente, empleando el procedimiento exacto de la sección 8-12.
(*b*) Repetir el apartado (*a*) empleando las fórmulas aproximadas de la Tabla 8-7.



Prob. 8-32

8-33 (*a*) Calcular A_I, A_V, A_{VS} R_i y R'_o para las dos etapas en cascada indicadas en la figura, empleando el procedimiento exacto de la sección 8-12.
(*b*) Repetir el apartado (*a*) empleando las fórmulas aproximadas de la Tabla 8-7.

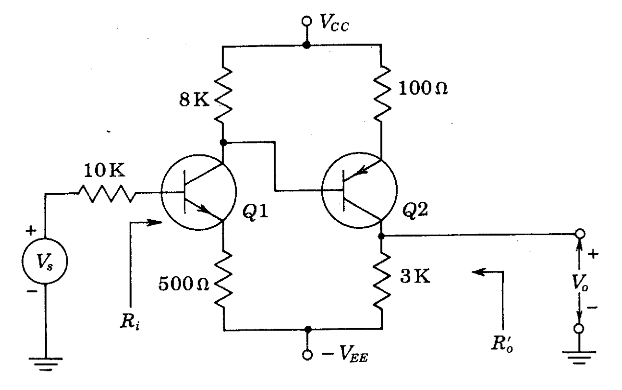


Prob. 8-33

8-34 Deducir las expresiones simplificadas de la Tabla 8-7 para la configuración en BC y demostrar que el error es inferior al 10 % con respecto a las fórmulas exactas.

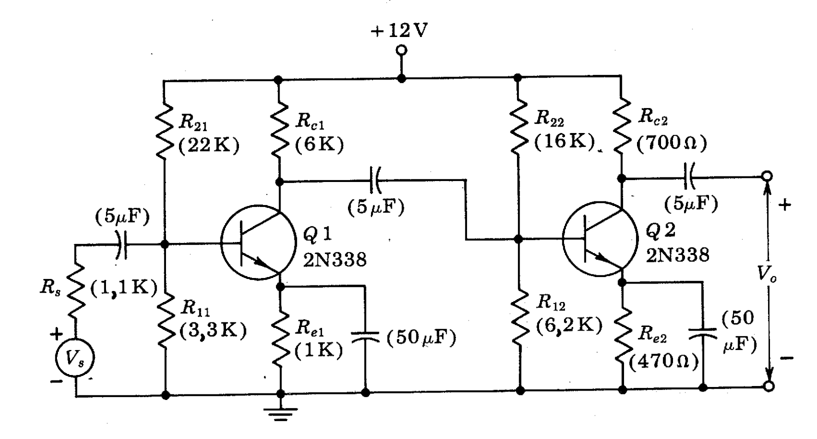
8-35 (*a*) Considerar una configuración en BC con $R_s = 2$ K y $R_L = 4$ K. Hallar los valores exacto y aproximado de A_I, A_V, A_{VS}, R_i y R'_o.
(*b*) Repetir el apartado *a* para la configuración en EC.
(*c*) Repetir el apartado *a* para la configuración en CC.

8-36 Hallar A_I, A_V, A_{Vs}, R_i y R'_o para el circuito de la figura.



Prob. 8-36

8-37 Calcular A_V, A_{Vs}, R_i y R'_o para el amplificador de dos etapas de la figura. Despreciar el efecto de todos los condensadores.



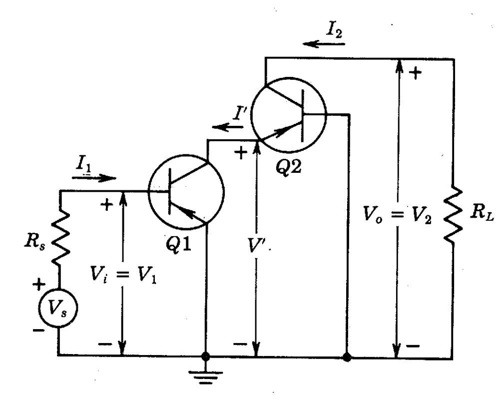
Prob. 8-37

8-38 En el circuito del problema 8-27 hacer $R_L = 4$ K. Hallar A_V y A_{Vs}, empleando el teorema de Miller.

8-39 Un montaje cascodo a transistores consiste en una etapa $Q1$ en EC en serie con una segunda etapa $Q2$ en BC (la corriente de colector de $Q1$ es igual a la corriente de emisor de $Q2$). Comprobar que la conexión en cascodo trabaja como un solo transistor en EC, con realimentación interna despreciable y una conductancia de salida

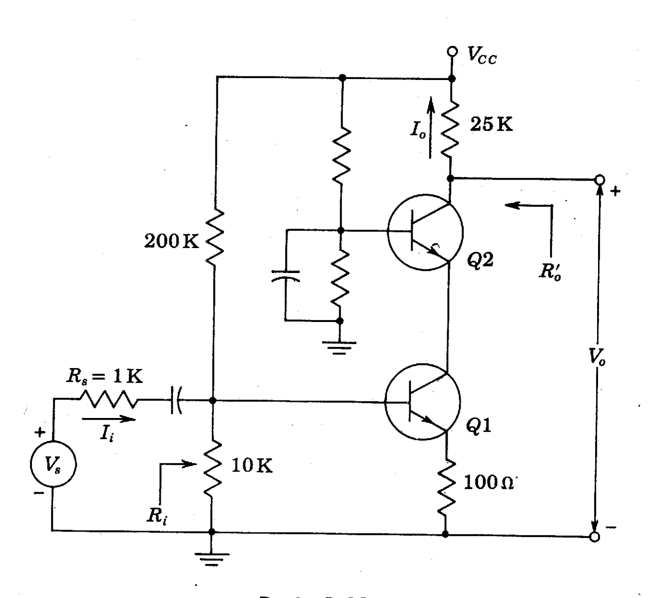
muy pequeña para una entrada en circuito abierto. En otras palabras, comprobar que:

$$h_{11} \approx h_{ie} \qquad h_{21} \approx h_{fe} \qquad h_{22} \approx h_{ob} \qquad h_{12} \approx h_{re}h_{rb}$$



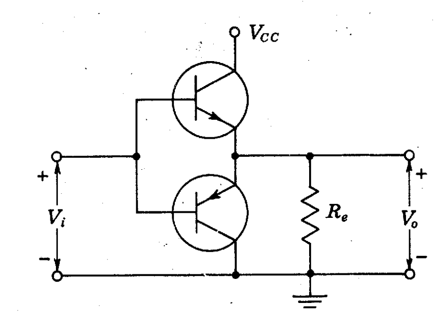
Prob. 8-39

8-40 Calcular $A_I = I_o/I_i$, A_V, A_{Vs}, R_i y R'_o para el circuito cascodo de la figura, *Sugerencia:* Emplear los resultados del problema 8-39.



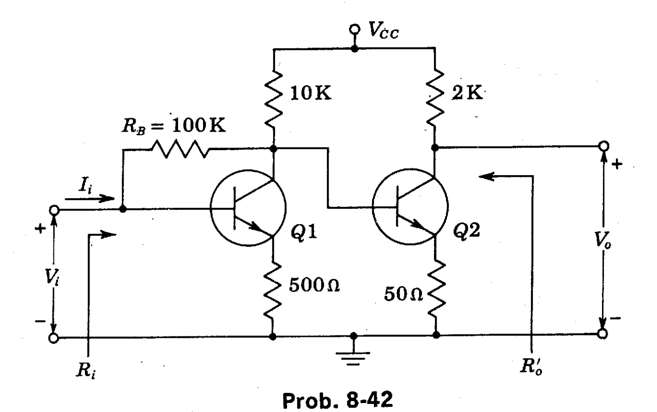
Prob. 8-40

8-41 El circuito del dibujo representa un amplificador que emplea un transistor *p-n-p* y otro *n-p-n* en paralelo. Ambos transistores son idénticos. Hallar la expresión de la ganancia en tensión y la resistencia de entrada del amplificador, empleando el modelo híbrido simplificado.



Prob. 8-41

8-42 Hallar A_I, A_V, R_i y R'_o de las dos etapas en cascada.

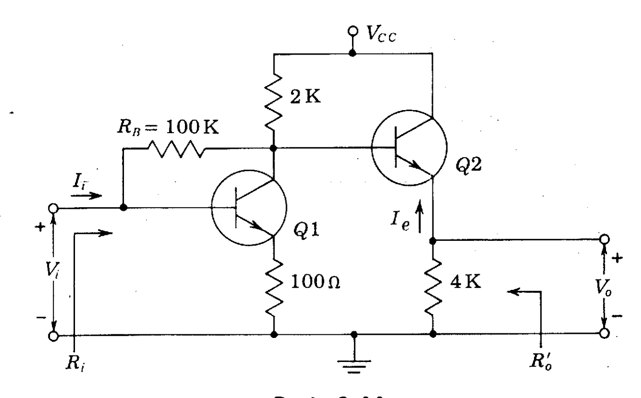


Prob. 8-42

8-43 Diseñar una cascada de dos etapas empleando el montaje del Prob. 8-42 con $R_B = 100$ K, que cumpla las siguientes especificaciones:

$$125 \geqslant A_V \geqslant 100 \qquad 100\text{ K} \geqslant R_i \geqslant 5\text{ K} \qquad R'_o \leqslant 3\text{K}$$

8-44 Calcular A_I, A_V, R_i y R'_o para las dos etapas en cascada dibujadas.

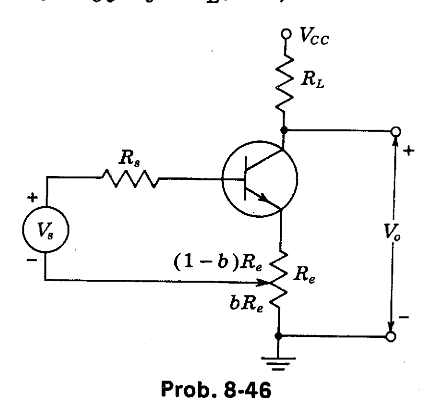


Prob. 8-44

8-45 Diseñar un amplificador de dos etapas utilizando el montaje del Prob. 8-44 con $R_B = 100$ K, para cumplir las siguientes especificaciones:

$$|A_V| \geqslant 15 \qquad R_i \geqslant 2\text{ K} \qquad R'_o \leqslant 100\,\Omega$$

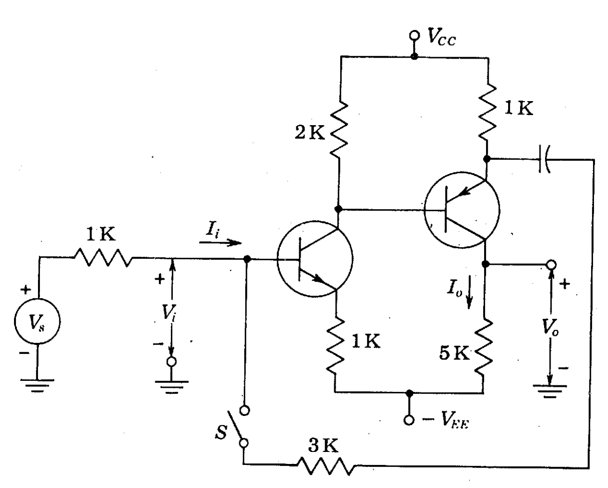
8-46 Hallar la ganancia de tensión V_o/V_s y la impedancia de entrada como función de R_s, b, R_e y R_L. Suponer que $h_{oe}(R_e + R_L) \leqslant 0{,}1$.



Prob. 8-46

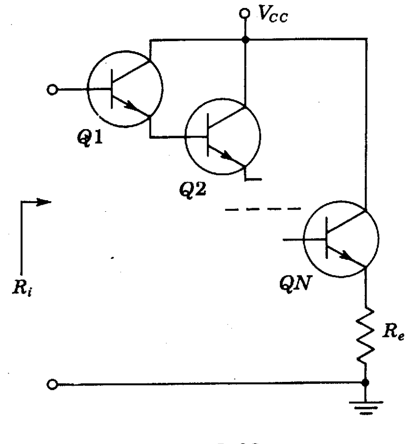
8-47 Calcular la resistencia de salida R_o en la figura 8-28*a* como relación entre la tensión V en circuito abierto y la corriente I de cortocircuito, empleando las ecuaciones exactas (8-67) para A_I y (8-68) para R_i. Comprobar que R_o viene dado por la ecuación (8-70). Sugerencia: obsérvese que $V = \lim_{R_L \to \infty} A_V V_s$.

8-48 El amplificador de la figura se ha construido con un transistor *n-p-n* y otro *p-n-p*. Los parámetros h de los dos transistores son idénticos y vienen dados por: $h_{ie} = 1$ K, $h_{fe} = 100$, $h_{oe} = 0$, y $h_{re} = 0$.
(*a*) Hallar $A_V = V_o/V_i$, con el interruptor abierto.
(*b*) Hallar (con ayuda del teorema de Miller) A_V, A_{Vs}, R_i y $A_I \equiv -I_o/I_i$, con el interruptor cerrado.



Prob. 8-48

8-49 El montaje en cascada de la figura se conoce con el nombre de seguidor de emisor en tándem. Hallar la resistencia de entrada R_i si $h_{ie} = h_{re} = h_{oe} = 0$ y h_{fe} es el mismo para cada uno de los transistores $Q1$ a QN.

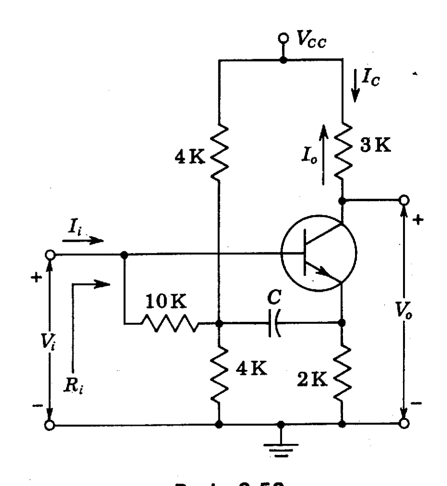


Prob. 8-49

8-50 (*a*) Comprobar la Ec. (8-80) para la ganancia de tensión de un seguidor de emisor Darlington.
(*b*) Comprobar la Ec. (8-81) para la resistencia de salida.

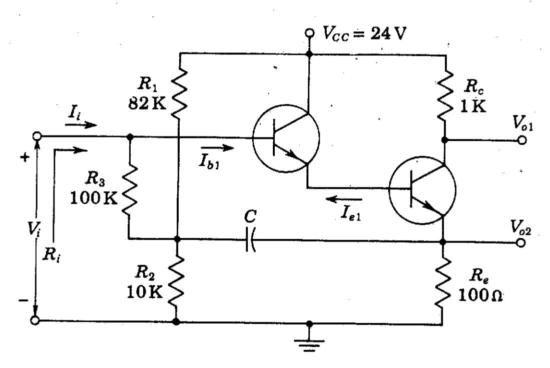
8-51 Comprobar la ecuación (8-84).

8-52 Calcular $A_I \equiv I_o/I_i$, R_i y A_V para el circuito con realimentación de la figura. Los parámetros del transistor son $h_{ie} = 2$ K, $h_{fe} = 100$, $1/h_{oe} = 40$ K, y $h_{re} = 2{,}5 \times 10^{-4}$.



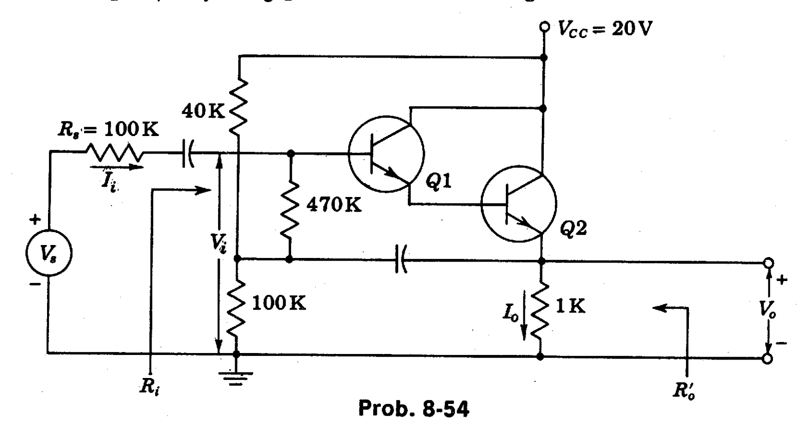
Prob. 8-52

8-53 El par Darlington modificado emplea transistores idénticos con los siguientes parámetros: $h_{ie} = 1$ K, $h_{re} = 2{,}5 \times 10^{-4}$, $h_{oe} = 2{,}5 \times 10^{-5}$ A/V y $h_{fe} = 100$. Hallar I_{e1}/I_{b1}, V_{o2}/V_i, R_i y V_{o1}/V_i.



Prob. 8-53

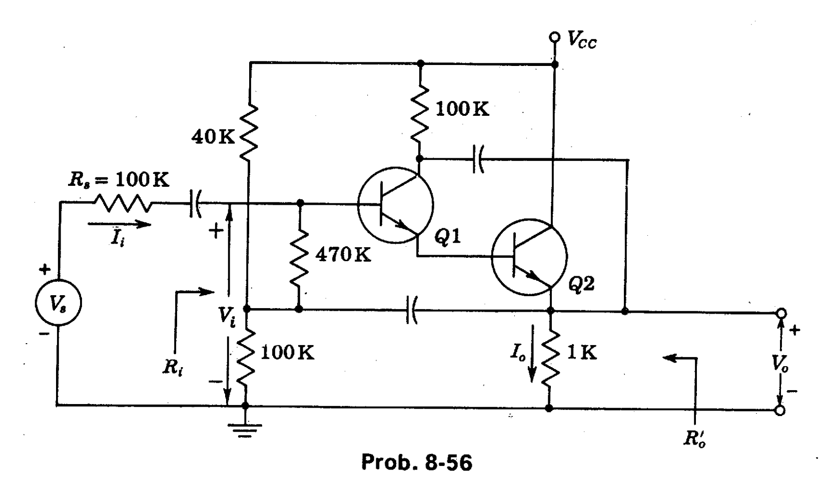
8-54 Calcular A_I, A_V, R_i y R'_o para el circuito de la figura.



Prob. 8-54

8-55 Calcular R_i y A_V para el circuito indicado en la figura 8-32, con $R_{c1} = 100$ K y $R_{e2} = 1$ K.

8-56 Hallar A_V, A_{Vs}, $A_I = I_o/I_i$, R_i y R'_o.



Prob. 8-56

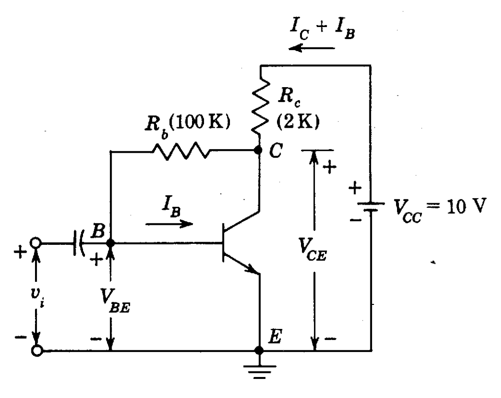
CAPITULO 9

9-1 (*a*) Determinar las corrientes de reposo y la tensión colector-emisor de un transistor de silicio con $\beta = 50$ en el sistema de autopolarización indicado en la Fig. 9-5. Los valores de los componentes del circuito son $V_{CC} = 20$ V, $R_c = 2$ K, $R_e = 0{,}1$ K, $R_1 = 100$ K y $R_2 = 5$ K.
(*b*) Repetir el apartado (*a*) para un transistor de germanio.

9-2 Se emplea un transistor de germanio *p-n-p* en el dispositivo con autopolarización de la Fig. 9-5. Los valores de los componentes del circuito son $V_{CC} = 4{,}5$ V, $R_c = 1{,}5$ K, $R_e = 0{,}27$ K, $R_2 = 2{,}7$ K y $R_1 = 27$ K. Si $\beta = 44$,
(*a*) Hallar el punto de reposo.
(*b*) Recalcular estos valores si se tiene en cuenta la resistencia de dispersión de la base, que vale 690 Ω.

9-3 Se emplea un transistor de silicio *p-n-p* en un circuito en colector común (Fig. 9-5 con $R_c = 0$). Los valores de los componentes del circuito son $V_{CC} = 3{,}0$ V, $R_c = 1$ K, $R_1 = R_2 = 5$ K. Si $\beta = 44$,
(*a*) Hallar el punto de reposo.
(*b*) Recalcular estos valores, teniendo en cuenta el valor de la resistencia de dispersión de la base, que vale 690 ohm.

9-4 Para el circuito indicado:
(*a*) Calcular I_B, I_C y V_{CE} si se emplea un transistor de silicio con $\beta = 50$.
(*b*) Especificar el valor de R_b para que $V_{CE} = 7$ V.



Prob. 9-4

9-5 (*a*) Comprobar la Ec. (9-13).
(*b*) Demostrar que S se puede expresar de la forma:

$$S = \frac{G_e + G_1 + G_2}{G_e/(1+\beta) + G_1 + G_2}$$

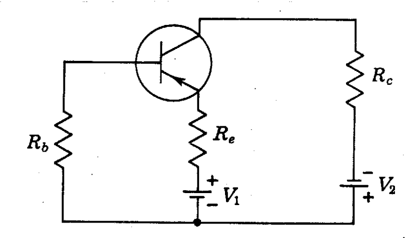
y donde las G son las conductancias correspondientes a las R indicadas en la Fig. 9-5*a*.
(*c*) Demostrar que, para el circuito del Prob. 9-4, S viene dado por

$$S = \frac{\beta + 1}{1 + \beta R_c/(R_c + R_b)}$$

9-6 (*a*) Hallar el factor de estabilidad S del circuito del Prob. 9-1.
(*b*) Repetir (*a*) para el circuito del Prob. 9-2.
(*c*) Repetir el apartado (*a*) para el circuito del problema 9-3.

9-7 Para el circuito a transistores con dos baterías indicado, probar que el factor de estabilización S viene dado por

$$S = \frac{1+\beta}{1+\beta R_e/(R_e+R_b)}$$

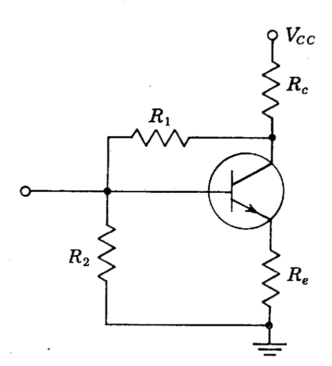


Prob. 9-7

9-8 Supóngase que empleamos un transistor de silicio con $\beta = 50$, $V_{BE,\text{activa}} = 0{,}7$, $V_{CC} = 22{,}5$ V y $R_c = 5{,}6$ K en la Fig. 9-5*a*. Se desea establecer un punto Q a $V_{CE} = 12$ V, $I_C = 1{,}5$ mA y un factor de estabilidad $S \leqslant 3$; hallar R_e, R_1 y R_2.

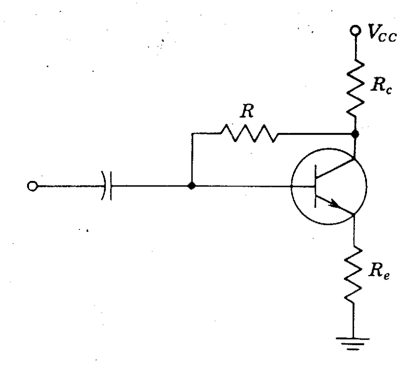
9-9 (*a*) En el circuito autopolarizado de la Fig. 9-5, se emplea un transistor de germanio con $V_{CC} = 16$ V y $R_c = 1{,}5$ K. El punto de reposo se elige para $V_{CE} = 8$ V e $I_C = 4$ mA. Se desea un factor de estabilidad $S = 12$. Si $\beta = 50$, hallar R_1, R_2 y R_e.
(*b*) Repetir el apartado *a* para $S = 3$.

9-10 Determinar el factor de estabilidad S del circuito indicado.



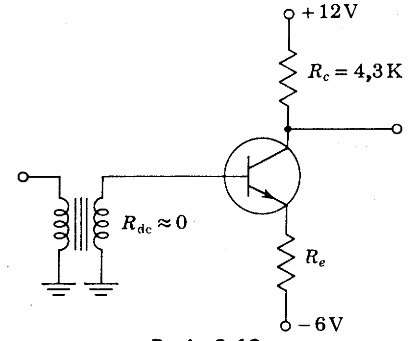
Prob. 9-10

9-11 En el circuito indicado, $V_{CC} = 24$ V, $R_c = 10$ K y $R_e = 270\ \Omega$. Si se emplea un transistor de silicio con $\beta = 45$ y si, en las condiciones de reposo, $V_{CE} = 5$ V, determinar (*a*) R, (*b*) el factor de estabilidad S.



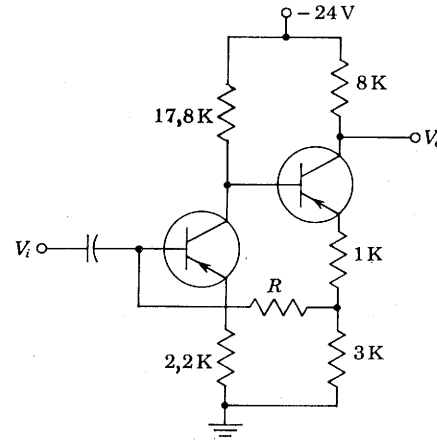
Prob. 9-11

9-12 En la etapa mostrada de un amplificador acoplado por transformador, $V_{BE} = 0{,}7$ V, $\beta = 50$ y la tensión de reposo es $V_{CE} = 4$ V. Determinar (*a*) R_e, (*b*) el factor de estabilidad S.



Prob. 9-12

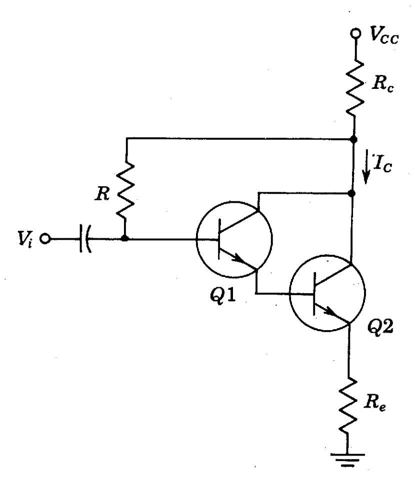
9-13 En el circuito de dos etapas indicado, suponer $\beta = 100$ para cada transistor.
(*a*) Determinar R para que en las condiciones de reposo $V_{CE1} = -4$ V y $V_{CE2} = -6$ V.



Prob. 9-13

(*b*) Explicar cómo se obtiene la estabilización del punto de reposo. Supóngase: $V_{BE} = 0{,}2$ V.

9-14 En la etapa Darlington mostrada, $V_{CC} = 24$ V, $\beta_1 = 24, \beta_2 = 39$, $V_{BE} = 0{,}7, R_c = 330\ \Omega$ y $R_e = 120\ \Omega$. Si en el punto de reposo $V_{CE2} = 6$ V, determinar: (*a*) R, (*b*) el factor de estabilidad definido como $S \equiv dI_C/dI_{CO1}$.



Prob. 9-14

9-15 (*a*) Demostrar que para el circuito de la Fig. 9-5*b*, el factor de estabilidad S' viene dado por

$$S' = \frac{-S}{R_b + R_c} \times \frac{\beta}{\beta + 1}$$

(*b*) Deducir la Ec. (9-22).

9-16 Para el sistema de polarización dado en el Prob. 9-4, demostrar que:

$$S' = \frac{-\beta S}{1+\beta} \times \frac{1}{R_c + R_b}$$

$$S'' = \frac{I_C}{\beta} \times \frac{S}{\beta + 1}$$

donde S es el factor de estabilidad del circuito.

9-17 Si en la Ec. (9-11) no suponemos $\beta \gg 1$, de tal manera que V' sea función de β, demostrar que la Ec. (9-22) viene dada por:

$$S'' = \frac{(I_C - I_{CO})S}{\beta(1+\beta)}$$

9-18 Si en la Ec. (9-11) no suponemos $\beta \gg 1$, de tal manera que V' es entonces función de β, comprobar que la Ec. (9-27) viene dada por:

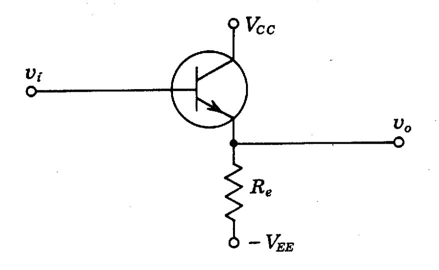
$$S'' = \frac{(I_{C1} - I_{CO1})\,S_2}{\beta_1(1+\beta_2)}$$

Sugerencia: Escribir la expresión de $(I_{C2} - I_{CO2})/(I_{C1} - I_{CO1})$ y luego restar la unidad de ambos lados de la ecuación.

9-19 En el circuito de la Fig. 9-5, tenemos $R_c = 5{,}6$ K, $R_e = 1$ K, $R_1 = 90$ K, $R_2 = 10$ K, $I_C = 1{,}5$ mA a 25 °C. Empleando el transistor de la tabla 9-1, hallar I_C a + 175 y a − 65 ° C.

9-20 Repetir el problema 9-19 para el transistor de la tabla 9-2 a + 75 y a − 65 °C.

9-21 En el circuito seguidor de emisión indicado $R_e = 1$ K, V_{CC} y V_{EE} se ajustan para dar $I_C = 1{,}5$ mA a 25 °C. Empleando el transistor de la tabla 9-1, hallar I_C a + 175 °C y a − 65 °C. Comparar estos resultados con los del Prob. 9-19.



Prob. 9-21

9-22 Repetir el problema 9-21 para transistor de la Tabla 9-2 a + 75° y a − 65° C. Comparar estos resultados con los del problema 9-20.

9-23 Para el circuito autopolarizado de la Fig. 9-5*a*, $R_e = 1$ K y $R_b = R_1 \| R_2 = 7{,}75$ K. La tensión de alimentación del colector y R_c se ajustan para establecer una corriente de colector de 1,5 mA a 25 °C. Determinar la variación de I_C en el margen de temperaturas de − 65 a + 175 °C cuando se emplea el transistor de silicio de la Tabla 9-1.

9-24 Repetir el problema 9-23 para un margen de − 65 a + 75 °C cuando se emplea el transistor de germanio de la Tabla 9-2.

9-25 Diseñar el circuito seguidor de emisor indicado en el Prob. 9-21 empleando transistores de silicio del tipo 2N3565, para satisfacer las especificaciones del segundo ejemplo ilustrativo de la sección 9-5.

9-26 Dos transistores idénticos de silicio con $\beta = 48$, $V_{BE} = 0{,}7$ V a $T = 25°$ C, $V_{CC} = 20{,}7$ V, $R_1 = 10$ K y $R_c = 5$ K, son utilizados en la Fig. 9-11*a*.
(*a*) Hallar las corrientes I_{B1}, I_{B2}, I_{C1} e I_{C2} a $T = 25$ °C.
(*b*) Hallar I_{C2} a $T = 175$ °C cuando $\beta = 98$ y $V_{BE} = 0{,}3$ V. *Sugerencia:* suponer que $I_{B1} = I_{B2}$.

9-27 Para el sistema de polarización de la Fig. 9-10, y suponiendo que las corrientes inversas de saturación del diodo y del transistor son iguales, demostrar que

$$S = 1$$

$$S' = -\frac{\beta}{R_1}$$

$$S'' = \frac{\Delta(I_C - I_{CO})}{\Delta\beta} = \frac{I_{C1} - I_{CO1}}{\beta_1}$$

9-28 (*a*) Para el circuito autopolarizado de la Fig. 9-9, el punto de funcionamiento es $I_C = 1{,}5$ mA a 25 °C, $R_e = 1$ K, $R_b = 7{,}75$ K, $V_{DD} = 15$ V y $V_{D,ON} = 0{,}7$ V, hallar el máximo valor de R_d para el funcionamiento correcto.
(*b*) Para el circuito del apartado *a*, determinar la variación de I_C en el margen de temperaturas de -65 a 175 °C, en el caso de emplear el transistor de silicio de la Tabla 9-1.

9-29 Demostrar la Ec. (9-38).

9-30 (*a*) El circuito del Prob. 9-19 se modifica agregándole un termistor como en la Fig. 9-12. Hallar R_T, I_T y V_{CE} para el circuito modificado, si $I_C = 1{,}5$ mA y $V_{CC} = 27{,}5$ V.
(*b*) Se desea que, para un cambio de la temperatura de 25 a 175 °C, la variación de I_C sea de $+0{,}4$ mA. Calcular el coeficiente de temperatura del termistor.

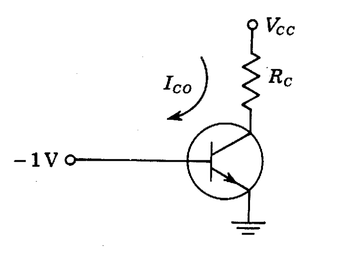
9-31 (*a*) Calcular la resistencia térmica de un transistor 2N338 para el que su fabricante ha especificado $P_{C,\max} = 125$ mW a 25 °C de temperatura al aire libre y una temperatura máxima de la unión de $T_j = 150$ °C.
(*b*) ¿Cuál es la temperatura de la unión, si la disipación del colector es de 75 mW?

9-32 Demostrar que la línea de carga tangente a la hipérbole de disipación de potencia constante de la Fig. 9-14, lo es en un punto equidistante de los extremos, es decir, $AC = BC$.

9-33 El transistor empleado en el circuito está al corte.
(*a*) Demostrar que habrá inestabilidad térmica para valores de I_{CO} en el margen

$$\frac{V_{CC} - \sqrt{V_{CC}^2 - 8R_c/0{,}07\Theta}}{4R_c} \leqslant I_{CO} \leqslant \frac{V_{CC} + \sqrt{V_{CC}^2 - 8R_c/0{,}07\Theta}}{4R_c}$$

(*b*) Demostrar que, si dicha inestabilidad no es destructiva, la corriente de colector I_{CO} después de ella nunca puede exceder de $I_{CO} = V_{CC}/2R_c$.



Prob. 9-33

9-34 Se emplea un transistor de germanio con $\Theta = 250$ °C/W, $I_{CO} = 10\ \mu$A a 25 °C, $R_c = 1$ K, y $V_{CC} = 30$ V en el circuito del problema 9-33.
(*a*) Hallar I_{CO} en el punto de iniciarse la inestabilidad.
(*b*) Hallar la temperatura ambiente a la que ésta ocurrirá.

CAPITULO 10

10-1 La resistencia de drenaje R_d de un FET de canal *n* con la fuente a tierra, es de 2 K. El FET está trabajando en un punto de reposo $V_{DS} = 10$ V, e $I_{DS} = 3$ mA, y sus características son las dadas en la Fig. 10-3:

(*a*) ¿A qué valor se debe cambiar la tensión de la puerta si la corriente de drenaje se cambia a 5 mA?
(*b*) ¿A qué valor se debe cambiar la tensión de drenaje para que su corriente vuelva a su valor anterior? La tensión de la puerta se mantiene constante al valor hallado en el apartado *a*.

10-2 Para un FET de silicio de canal *p* con $a = 2 \times 10^{-4}$ cm, la resistividad del canal es $\rho = 10\ \Omega$-cm.
(*a*) Hallar la tensión de estricción.
(*b*) Repetir el apartado (*a*) para un FET de germanio de canal *p* con $\rho = 2\ \Omega$-cm.

10-3 (*a*) Dibujar la curva característica de transferencia de un FET de acuerdo con la Ec. (10-8), con $I_{DSS} = 10$ mA y $V_P = -4$ V.
(*b*) El valor de la pendiente de esta curva en $V_{GS} = 0$ es g_{mo} y viene dado por la Ec. (10-17). Si la pendiente se prolonga como una tangente, demostrar que su intersección con el eje V_{GS} está situada en el punto $V_{GS} = V_P/2$.

10-4 (*a*) Demostrar que la transconductancia g_m de un FET se relaciona con la corriente de drenaje I_{DS} mediante:

$$g_m = \frac{2}{|V_P|}\sqrt{I_{DSS}I_{DS}}$$

(*b*) Si $V_P = -4$ V e $I_{DSS} = 4$ mA, dibujar g_m en función de I_{DS}

10-5 Demostrar que, para valores de V_{GS} pequeños comparados con V_P, la corriente de drenaje viene dada aproximadamente por $I_D \approx I_{DSS} + g_{mo}V_{GS}$.

10-6 (*a*) Para el FET cuyas características están indicadas en la Fig. 10-3, determinar, gráficamente, r_d y g_m en el punto de reposo $V_{DS} = 10$ V y $V_{GS} = -1{,}5$ V. Evaluar también μ.
(*b*) Determinar $r_{d,ON}$ para $V_{GS} = 0$.

10-7 (*a*) Comprobar la Ec. (10-15).
(*b*) Partiendo de las definiciones de g_m y r_d, demostrar que si se conectan, en paralelo, dos FET idénticos, g_m se duplica y r_d se reduce a la mitad. Puesto que $\mu = r_d g_m$, μ permanece inalterado.
(*c*) Si los dos FET no son idénticos, demostrar que:

$$\frac{1}{r_d} = \frac{1}{r_{d1}} + \frac{1}{r_{d2}}$$

y que

$$\mu = \frac{\mu_1 r_{d2} + \mu_2 r_{d1}}{r_{d1} + r_{d2}}$$

10-8 Dada la característica de transferencia de un FET, explicar claramente cómo se determina g_m en un punto de reposo especificado.

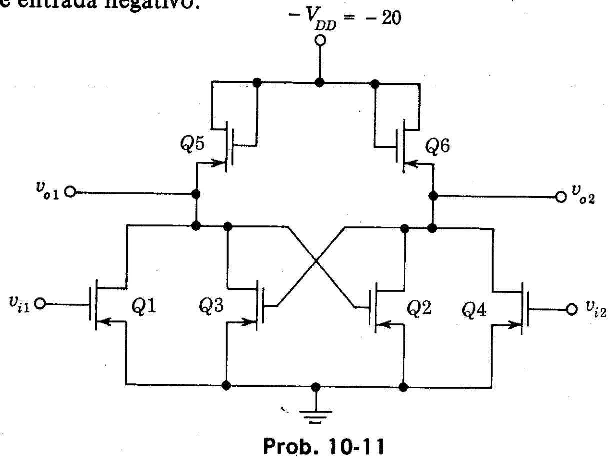
10-9 (*a*) Empleando la Ec. (10-18), demostrar que la conductancia de carga de un MOSFET viene dada por:

$$g_L = g_{do}\left(1 - \frac{V_{DS}}{V_T}\right) \text{ siendo } g_{do} = \frac{2I_{DSS}}{|V_T|}$$

(*b*) Demostrar que $g_L = g_m$ para un transistor de unión de efecto campo (JFET). *Sugerencia:* Emplear la Ec. (10-8).

10-10 Dibujar el circuito de una puerta MOSFET Y negativa y explicar su funcionamiento.

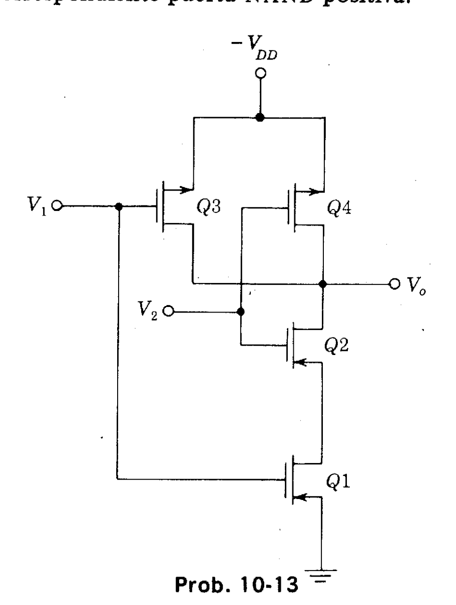
10-11 Considerar el circuito biestable (FLIP-FLOP) indicado. Suponer $V_T = V_{ON} = 0$ y $|V_{DD}| \gg V_T$.
(*a*) Supóngase que $v_{i1} = v_{i2} = 0$. Comprobar que el circuito tiene dos estados estables posibles; $v_{o1} = 0$ y $v_{o2} = -V_{DD}$; o bien, $v_{o1} = -V_{DD}$ y $v_{o2} = 0$.
(*b*) Demostrar que el estado del FLIP-FLOP puede cambiar cuando una de las entradas alcanza momentáneamente $-V_{DD}$; en otras palabras, aplicando un impulso de entrada negativo.



Prob. 10-11

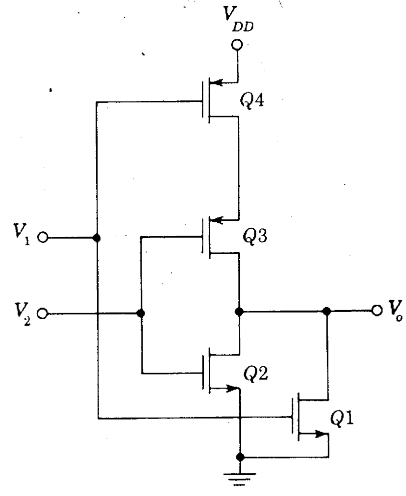
10-12 Dibujar un inversor MOS complementario (CMOS) empleando lógica positiva.

10-13 (*a*) La figura representa una puerta NAND negativa MOS complementaria. Explicar su funcionamiento.
(*b*) Dibujar la correspondiente puerta NAND positiva.



Prob. 10-13

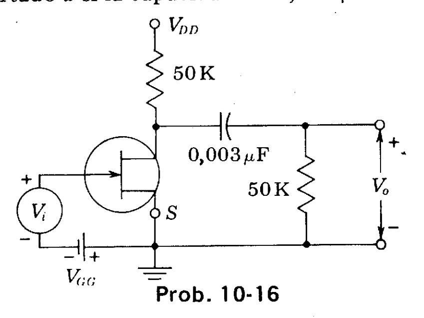
10-14 Se indica una puerta NOR CMOS positiva. Explicar su funcionamiento.



Prob. 10-14

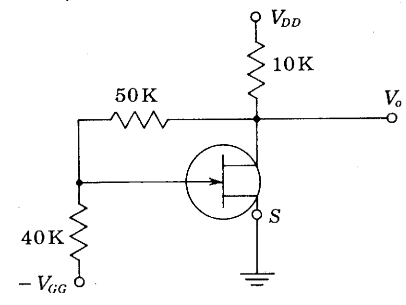
10-15 Dibujar un circuito MOSFET que satisfaga la ecuación lógica $Y = \overline{A + BC}$, siendo Y la salida correspondiente a las tres entradas A, B y C.

10-16 (*a*) Calcular la ganancia en tensión $A_V = V_o/V_i$ a 1 kHz para el circuito indicado. Los parámetros del FET son $g_m = 2$ mA/V y $r_d = 10$ K. Despreciar las capacidades.
(*b*) Repetir el apartado *a* si la capacidad de 0,003 μF es tenida en cuenta.



Prob. 10-16

10-17 Si la señal de entrada V_i se introduce entre puerta y tierra, hallar la amplificación

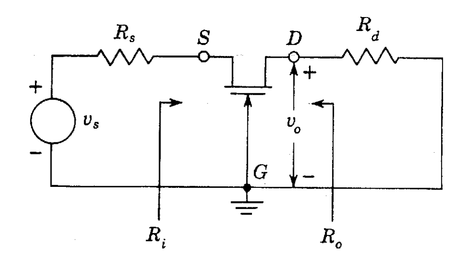


Prob. 10-17

$A_V = V_o/V_i$. Aplicar el teorema de Miller a la resistencia de 50 K. Los parámetros del FET son $\mu = 30$ y $r_d = 5$ K. Despreciar las capacidades.

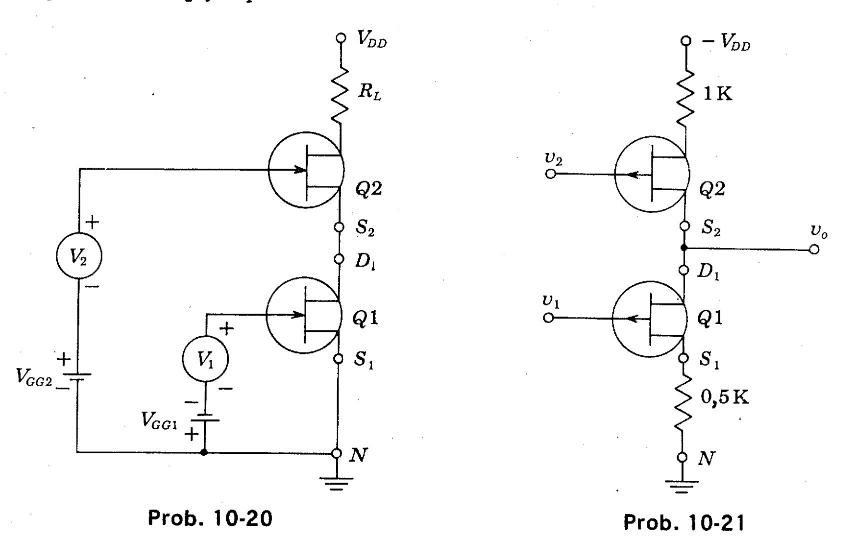
10-18 Si, en el Prob. 10-17 la señal V_i, se introduce en serie con la resistencia de 40 K (en lugar de hacerlo entre puerta y tierra), hallar $A_V = V_o/V_i$.

10-19 El circuito de la figura se denomina amplificador de puerta común. Para este circuito, hallar: (*a*) la ganancia en tensión, (*b*) la impedancia de entrada, (*c*) la impedancia de salida. Se han omitido las alimentaciones para simplificar. Despreciar las capacidades.



Prob. 10-19

10-20 Hallar una expresión para la tensión de señal en R_L. Los dos FET son idénticos, con parámetros μ, r_d y g_m. *Sugerencia:* Emplear los circuitos equivalentes de la Fig. 10-22 en S_2 y D_1.



Prob. 10-20 **Prob. 10-21**

10-21 Cada uno de los FET tiene los parámetros $r_d = 10$ K y $g_m = 2$ mA/V. Empleando los circuitos equivalentes de la Fig. 10-22 en S_2 y D_1, hallar la ganancia (*a*) v_o/v_1 si $v_2 = 0$, (*b*) v_o/v_2 si $v_1 = 0$.

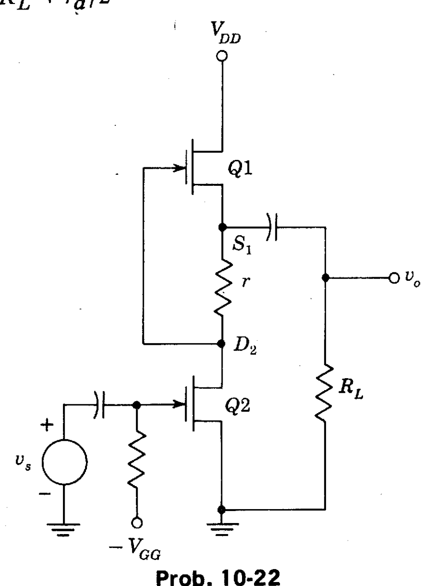
10-22 (*a*) Demostrar que el valor de la corriente de señal es la misma en ambos FET, supuesto que:

$$r = \frac{1}{g_m} + \frac{2R_L}{\mu}$$

Despreciar las reactancias de los condensadores.

(*b*) Si se escoge r como en el apartado *a*, probar que la ganancia en tensión viene dada por

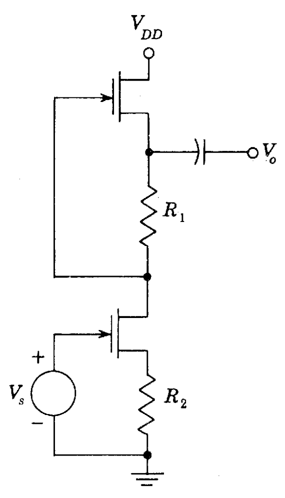
$$A = \frac{-\mu^2}{\mu + 1} \frac{R_L}{R_L + r_d/2}$$



Prob. 10-22

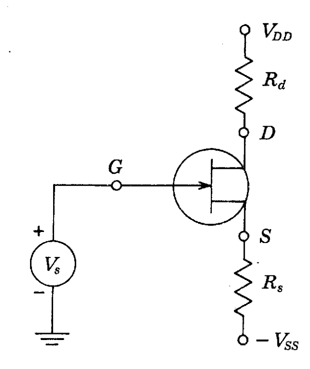
10-23 (*a*) Si $R_1 = R_2 = R$ y los dos FET tienen idénticos parámetros, comprobar que la amplificación de tensión es $V_o/V_s = -\mu/2$ y la impedancia de salida es $1/2\ [r_d + (\mu + 1)R]$.

(*b*) Dado $r_d = 62$ K, $\mu = 10$, $R_1 = 2$ K y $R_2 = 1$ K. Hallar la ganancia en tensión y la impedancia de salida.



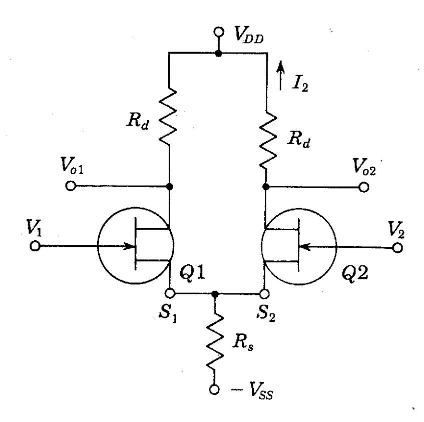
Prob. 10-23

10-24 (*a*) Si, en la etapa de amplificador, indicada, la tensión positiva de alimentación V_{DD} varía en $\Delta V_{DD} = v_a$, ¿cuánto variará la tensión drenaje-tierra?
(*b*) ¿Cuánto cambiará la tensión de la fuente respecto a tierra, en las condiciones del apartado *a*?
(*c*) Repetir los apartados *a* y *b* si V_{DD} es una constante pero V_{SS} cambia en $\Delta V_{SS} = v_s$.



Prob. 10-24

10-25 Si en el circuito indicado, $V_2 = 0$, este circuito se transforma en un inversor de fase acoplado por fuente, puesto que $V_{o1} = -V_{o2}$. Hallar la corriente I_2 dibujando el circuito equivalente, visto desde la fuente de $Q1$ (Fig. 10-22). Sustitúyase entonce $Q2$ por el circuito equivalente, visto desde su drenaje. La resistencia de la fuente R_s se puede tomar arbitrariamente grande.



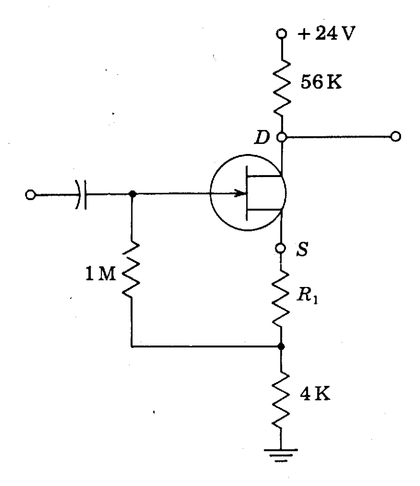
Prob. 10-25

10-26 Si en el circuito del problema 10-25, $V_2 = 0, R_d = r_d = 10$ K, $R_s = 1$ K y $\mu = 19$ y la salida se toma del drenaje de $Q2$, calcular (*a*) la ganancia de tensión, (*b*) la impedancia de salida. *Sugerencia:* Emplear los circuitos equivalentes de la Fig. 10-22.

10-27 En el circuito del problema 10-25, $V_2 \neq V_1$, $R_d = 30$ K, $R_s = 2$ K, $\mu = 19$ y $r_d = 10$ K. Hallar (*a*) las ganancias de tensión A_1 y A_2 definidas por $V_{o2} = A_1 V_1 + A_2 V_2$. *Sugerencia:* Emplear los circuitos equivalentes de la Fig. 10-22. (*b*) Si R_s es arbitrariamente grande, demostrar que $A_2 = -A_1$. Obsérvese que el circuito se transforma ahora en un amplificador diferencial.

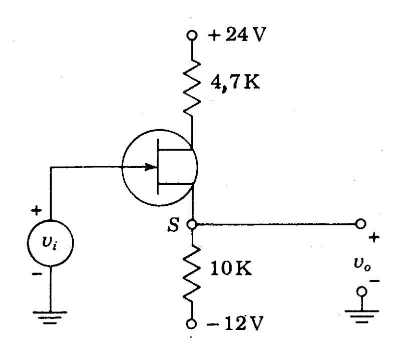
10-28 La etapa amplificadora en fuente común indicada en la Fig. 10-23 tiene los siguientes parámetros: $R_d = 12$ K, $R_g = 1$ M, $R_s = 470\ \Omega$, $V_{DD} = 30$ V, C_s es arbitrariamente grande, $I_{DSS} = 3$ mA, $V_P = -2{,}4$ V y $r_d \gg R_d$. Determinar: (*a*) la tensión de polarización de puerta-fuente V_{GS}, (*b*) la corriente de drenaje I_D, (*c*) la tensión de reposo V_{DS}, (*d*) la ganancia de tensión con pequeña señal A_V.

10-29 La etapa amplificadora indicada emplea un FET de canal *n* con $I_{DSS} = 1$ mA, $V_P = -1$ V. Si la tensión de reposo drenaje-tierra es 10 V, encontrar R_1.



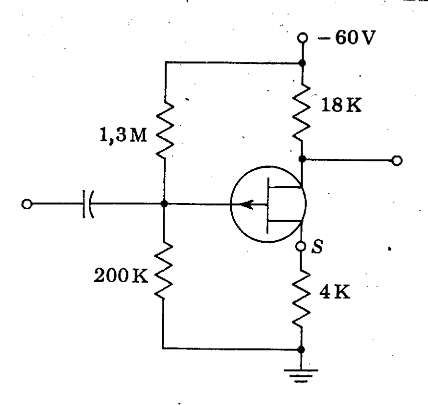
Prob. 10-29

10-30 El FET indicado tiene los siguientes parámetros: $I_{DSS} = 5{,}6$ mA y $V_P = -4$V.
(*a*) Si $v_i = 0$, hallar v_o.
(*b*) Si $v_i = 10$ V, hallar v_o.
(*c*) Si $v_o = 0$, hallar v_i.
NOTA: v_i y v_o son tensiones constantes (y no tensiones de pequeña señal).



Prob. 10-30

10-31 Si $|I_{DSS}| = 4$ mA, $V_P = 4$ V, calcular los valores de reposo de I_D, V_{GS}, y V_{DS}.



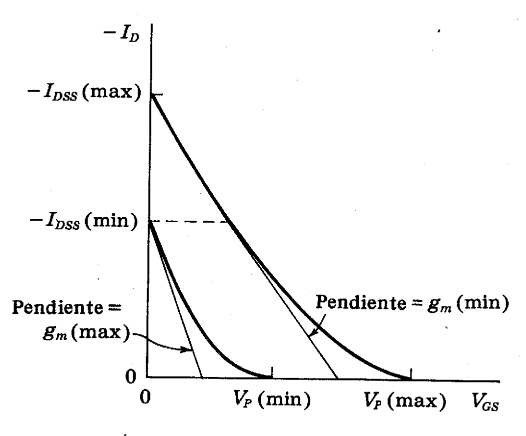
Prob. 10-31

10-32 En la figura, se indican dos características de transferencia extremas. Los valores de $V_{P,\max}$ y $V_{P,\min}$ son difíciles de determinar fiablemente. De ahí que estos valores se calculen a partir de los valores experimentales de $I_{DSS,\max}$, $I_{DSS,\min}$, $g_{m,\max}$ y $g_{m,\min}$. Obsérvese que g_m es la pendiente de la curva de transferencia y que tanto $g_{m,\max}$ como $g_{m,\min}$ se miden a la corriente de drenaje correspondiente a $I_{DSS,\min}$. Comprobar que:

(*a*) $V_{P,\max} = -\dfrac{2}{g_{m,\min}}(I_{DSS,\max} I_{DSS,\min})^{1/2}$

(*b*) $V_{P,\min} = -\dfrac{2I_{DSS,\min}}{g_{m,\max}}$

(*c*) Si para un FET dado, $I_{DSS,\min} = 2$ mA, $I_{DSS,\max} = 6$ mA, $g_{m,\min} = 1,5$ mA/V, y $g_{m,\max} = 3$ mA/V, calcular $V_{P,\max}$ y $V_{P,\min}$.

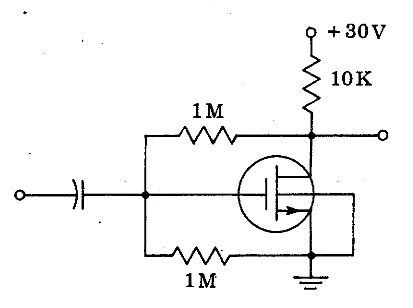


Prob. 10-32

10-33 La corriente de drenaje en miliamperes de un MOSFET de acumulación, viene dada por:

$$I_D = 0,2(V_{GS} - V_P)^2$$

en la región $V_{DS} \geqslant V_{GS} - V_P$. Si $V_P = +3$ V, calcular los valores de reposo I_D, V_{GS} y V_{DS}.

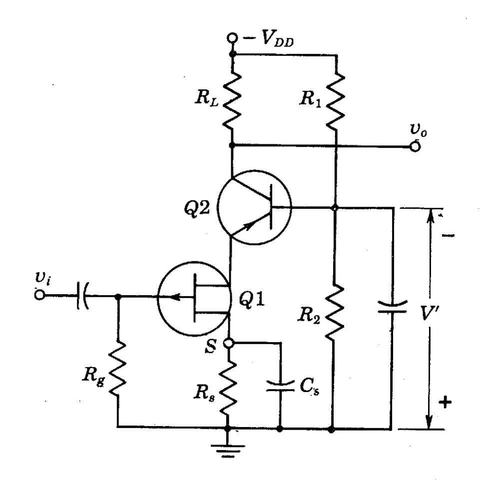


Prob. 10-33

10-34 Demostrar que, si $R_L \ll 1/h_{ob2}$, la ganancia de tensión del amplificador cascoda híbrido indicado viene dada con buena aproximación por

$$A_V = g_m h_{fb} R_L$$

donde g_m es la transconductancia del FET.

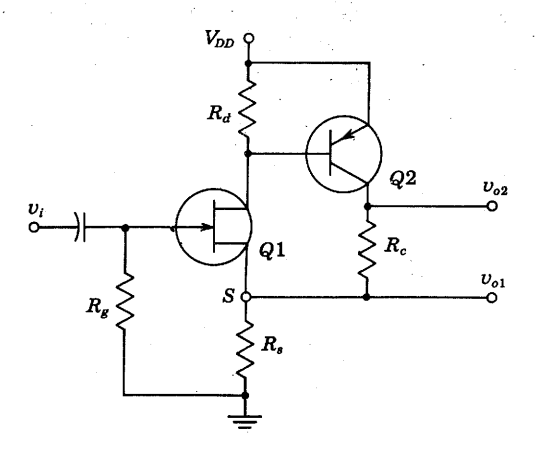


Prob. 10-34

10-35 Si $h_{ie} \ll R_d$, $h_{ie} \ll r_d$, $h_{fe} \gg 1$ y $\mu \gg 1$ para el circuito, demostrar que:

(*a*) $A_{V1} = \dfrac{v_{o1}}{v_i} \approx \dfrac{g_m h_{fe} R_s}{1 + g_m h_{fe} R_s}$ (*b*) $A_{V2} = \dfrac{v_{o2}}{v_i} \approx \dfrac{g_m h_{fe}(R_s + R_c)}{1 + g_m h_{fe} R_s}$

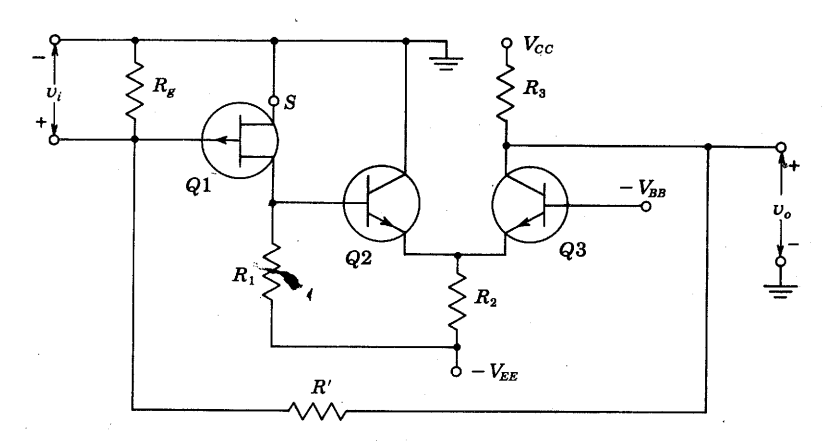
donde g_m es la transconductancia del FET.



Prob. 10-35

10-36 Si $r_d \gg R_1$, $R_2 \gg h_{ib3}$, $1/h_{oe2} \gg h_{ib3}$, $R' \gg R_3$ y $1/h_{ob3} \gg R_3$, demostrar que la ganancia de tensión a bajas frecuencias viene dada por

$$A_o = \frac{v_o}{v_i} = g_m(1 + h_{fe2})h_{fb3} \; \frac{R_1 R_3}{R_1 + h_{ie2} + h_{ib3}(1 + h_{fe2})}$$



Prob. 10-36

10-37 En el circuito indicado, el FET se emplea como elemento de impedancia ajustable por las variaciones de la polarización en continua, y con ello la g_m del FET.
(*a*) Supóngase que hay un generador V entre los terminales de A y de B. Dibujar el circuito equivalente. Despreciar las capacidades interelectródicas.
(*b*) Demostrar que la admitancia de entrada entre A y B es:

$$Y_i = Y_d + (1 + g_m R)Y_{CR}$$

donde Y_d es la admitancia correspondiente a r_d, e Y_{CR} es la admitancia correspondiente a R y C en serie.

(*c*) Si $g_m R \gg 1$, demostrar que la capacitancia efectiva de entrada es

$$C_i = \frac{g_m \alpha}{\omega(1 + \alpha^2)}$$

y la resistencia efectiva de entrada es

$$R_i = \frac{(1 + \alpha^2)r_d}{1 + \alpha^2(1 + \mu)}$$

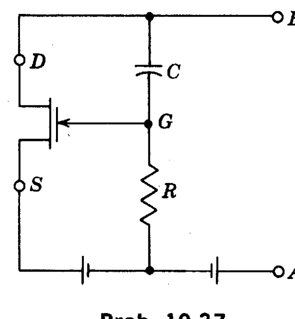
donde $\alpha \equiv \omega CR$.
(*d*) A una frecuencia dada, demostrar que el valor máximo de C_i (al variar C o R) se obtiene cuando $\alpha = 1$, y

$$(C_i)_{max} = \frac{g_m}{2\omega}$$

Demostrar también que el valor de R_i correspondiente a este C_i es

$$(R_i)_{max} = \frac{2r_d}{2 + \mu}$$

el cual, para $\mu \gg 2$, se reduce a $(R_i)_{max} = 2/g_m$.



Prob. 10-37

10-38 Resolver el Prob. 10-37 si se reemplaza la capacitancia C por una inductancia L.

10-39 (*a*) Un MOSFET conectado en configuración de fuente común trabaja con una carga resistiva de 100 K. Calcular la ganancia de tension compleja y la admitancia de entrada del sistema para las frecuencias de 100 y 100.000 Hz. Tener en cuenta las capacidades interelectródicas. Los parámetros del MOSFET son $\mu = 100$, $r_d = 40$ K, $g_m = 2{,}5$ mA/V, $C_{gs} = 4{,}0$ pF, $C_{ds} = 0{,}6$ pF y $C_{gd} = 2{,}4$ pF. Comparar estos resultados con los obtenidos despreciando las capacidades interelectródicas.
(*b*) Calcular la resistencia y la capacidad de entrada.

10-40 Calcular la admitancia de entrada de un FET a 10^3 y 10^6 Hz cuando la impedancia total del circuito de drenaje es: (*a*) una resistencia de 50 K, (*b*) una reactancia capacitiva de 50 K a cada frecuencia. Tener en cuenta las capacidades interelectródicas. Los parámetros del FET son $\mu = 20$, $r_d = 10$ K, $g_m = 2{,}0$ mA/V, $C_{gs} = 3{,}0$ pF, $C_{ds} = 1{,}0$ pF, y $C_{gd} = 2{,}0$ pF. Expresar los resultados en función de la resistencia y de la capacidad de entrada.

10-41 (*a*) Partiendo del modelo del circuito de la Fig. 10-31, comprobar la Ec. (10-37) para la ganancia de tensión del seguidor de fuente, teniendo en cuenta las capacidades interelectródicas.
(*b*) Comprobar la Ec. (10-39) para la admitancia de entrada.
(*c*) Comprobar la Ec. (10-40) para la admitancia de salida.
Sugerencia: Para el apartado *c*, hacer $V_i = 0$ y aplicar una tensión exterior V_o entre *S* y *N*; la corriente motivada por V_o dividida por V_o, nos da Y_o.

10-42 Partiendo del modelo del circuito de la Fig. 10-8, demostrar que, para la etapa de amplificador con puerta común siendo $R_s = 0$ y $C_{ds} = 0$,

$$(a)\ A_V = \frac{(g_m + g_d)R_d}{1 + R_d(g_d + j\omega C_{gd})} \qquad (b)\ Y_i = g_m + g_d(1 - A_V) + j\omega C_{sg}$$

(*c*) Repetir (*a*), teniendo en cuenta la resistencia de la fuente R_s.
(*d*) Repetir (*b*), teniendo en cuenta la resistencia de la fuente R_s.

10-43 (*a*) Para el seguidor de fuente con $g_m = 2$ mA/V, $R_s = 100$ K, $r_d = 50$ K, siendo cada capacidad entre nudos de 3 pF, hallar la frecuencia a la cual la componente reactiva de la admitancia de salida se iguala a la componente resistiva.
(*b*) Calcular la ganancia a la frecuencia hallada en el apartado *a*, y compararla con el valor a baja frecuencia.

CAPITULO 11

11-1 Demostrar que, a bajas frecuencias, el modelo híbrido II con $r_{b'c}$ y r_{ce} tomadas como infinitos, se reduce al modelo aproximado de parámetros *h* en emisor común.

11-2 (*a*) Considerar el circuito híbrido II con bajas frecuencias, de modo que C_e y C_o puedan despreciarse. No omitir ningún otro elemento del circuito Si la resistencia de carga es $R_L = 1/g_L$, demostrar que

$$K \equiv \frac{V_{ce}}{V_{b'e}} = \frac{-g_m + g_{b'c}}{g_{b'c} + g_{ce} + g_L}$$

Sugerencia: Emplear el teorema que dice que la diferencia de potencial entre *C* y *E* es igual a la corriente de cortocircuito multiplicada por la impedancia vista entre *C* y *E*, con la tensión de entrada $V_{b'e}$ en cortocircuito [Eq. (8-36)].
(*b*) Empleando el teorema de Miller, dibujar el circuito equivalente entre *C* y *E*. Aplicando las leyes de Kirchoff a este circuito, demostrar que se obtiene el anterior valor de *K*.
(*c*) Empleando el teorema de Miller, dibujar el circuito equivalente entre *B* y *E*, y demostrar que la ganancia de corriente en carga es

$$A_I = \frac{g_L}{(g_{b'c} + g_{b'e})/K - g_{b'c}}$$

(*d*) Empleando los resultados de los apartados *a* y *c* y las relaciones entre los parámetros híbridos y los *h*, demostrar que

$$A_I = \frac{-h_{fe}}{1 + h_{oe}R_L}$$

lo cual es el resultado [Ec. (8-18)] obtenido directamente del modelo con parámetros *h* para baja frecuencia. *Sugerencia:* Despreciar $g_{b'c}$ comparada con g_m o $g_{b'e}$ en A_I y en *K*. Justificar estas aproximaciones.

11-3 Los parámetros siguientes para baja frecuencia corresponden a un transistor dado, con $I_C = 10$ mA, $V_{CE} = 10$ V, y a temperatura ambiente

$$h_{ie} = 500\ \Omega \qquad h_{oe} = 10^{-5}\ \text{A/V}$$
$$h_{fe} = 100 \qquad h_{re} = 10^{-4}$$

Para el mismo punto de trabajo, $f_T = 50$ MHz y $C_{ob} = 3$ pF, calcular los valores de todos los parámetros híbridos II.

11-4 Dadas las siguientes mediciones hechas en un transistor con $I_C = 5$ mA, $V_{CE} =$ 10 V, y a temperatura ambiente:

$$h_{fe} = 100 \qquad h_{ie} = 600\ \Omega$$
$$|A_{ie}| = 10 \text{ a } 10 \text{ MHz} \qquad C_c = 3 \text{ pF}$$

hallar f_β, f_T, C_e, $r_{b'e}$ y $r_{bb'}$.

11-5 Un transistor de silicio *p-n-p* tiene una $f_T = 400$ MHz. ¿Cuál es el grosor de la base?

11-6 Dado un transistor de germanio *p-n-p* cuyo espesor de base es de 10^{-4} cm, hallar a la temperatura ambiente y con una corriente de emisor de 2 mA: (*a*) la capacidad de difusión del emisor, (*b*) f_T.

11-7 (*a*) A bajas frecuencias, la ganancia de corriente β en emisor común se relaciona con la ganancia de corriente en base común α por la fórmula:

$$\alpha = \frac{\beta}{1 + \beta}$$

Suponiendo que esta relación permanece válida para altas frecuencias y, empleando:

$$\beta = -A_i = \frac{\beta_o}{1 + j(f/f_\beta)}$$

demostrar que α viene dado por

$$\alpha = \frac{\alpha_o}{1 + j(f/f_\alpha)}$$

donde:

$$\alpha_o = \frac{h_{fe}}{1 + h_{fe}} \quad \text{y} \quad f_\alpha = \frac{f_\beta}{1 - \alpha_o}$$

(*b*) Empleando los resultados del apartado *a*, comprobar que, para $\alpha_o \approx 1$, $f_\alpha \approx f_\beta h_{fe}$.

(c) Comprobar que:

$$A_i = \frac{-\alpha_o}{1 - \alpha_o + jf/f_\alpha}$$

(d) Para tener en cuenta el "exceso de fase", reemplazar α_o por $\alpha_o \epsilon^{-jmf/f_\alpha}$. Demostrar que f_T, frecuencia a la cual $|A_i| = 1$, viene dada implícitamente por:

$$1 + x^2 = 2\alpha_o(\cos mx - x \text{ sen } mx)$$

en la que $x = f_T/f_\alpha$.
(e) Si $mx \ll 1$, desarrollar las funciones trigonométricas y demostrar que:

$$f_T \approx \frac{\alpha_o f_\alpha}{[1 + 2\alpha_o(m + m^2/2)]^{1/2}}$$

(f) Si $\alpha_o = 1$ y $m = 0{,}2$, demostrar que $f_T = f_\alpha/1{,}2$.

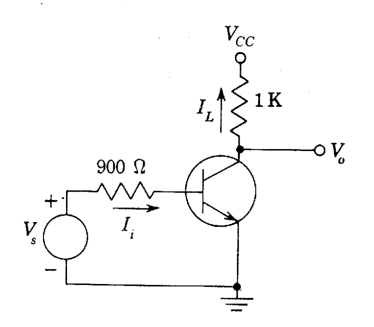
11-8 (a) Dibújese de nuevo el circuito equivalente híbrido II en emisor común, con la base como terminal común y los terminales de salida, colector y base cortocircuitados. Teniendo en cuenta los valores típicos de los parámetros del transistor, demostrar que C_c, $r_{b'c}$ y r_{cc} se pueden despreciar.
(b) Empleando el circuito del apartado a, demostrar que la ganancia de corriente en cortocircuito en base común es

$$A_{ib} = \frac{g_m}{g_{b'e} + g_m + j\omega C_e} = \frac{\alpha_o}{1 + jf/f_\alpha}$$

en la que

$$\alpha_o = \frac{h_{fe}}{1 + h_{fe}} \quad \text{y} \quad f_\alpha = \frac{g_m}{2\pi C_e \alpha_o} \approx \frac{f\beta}{1 - \alpha_o}$$

11-9 Los parámetros híbridos II del transistor empleado en el circuito indicado vienen dados en la Sec. 11-1. Empleando el teorema de Miller y el análisis aproximado, calcular:
(a) La frecuencia superior de 3 dB de la ganancia de corriente $A_I = I_L/I_i$.
(b) La magnitud de la ganancia de tensión $A_{Vs} = V_o/V_s$ a la frecuencia del apartado a.



Prob. 11-9

11-10 Considérese un amplificador a transistores de una sola etapa en emisor común con una resistencia de carga R_L, en paralelo con un condensador C_L.
(a) Demostrar que la ganancia de tensión interna $K = V_{ce}/V_{b'e}$ es:

$$K \approx \frac{-g_m R_L}{1 + j\omega(C_c + C_L)R_L}$$

(b) Demostrar que la frecuencia de 3 dB viene dada por:

$$f_H \approx \frac{1}{2\pi(C_c + C_L)R_L}$$

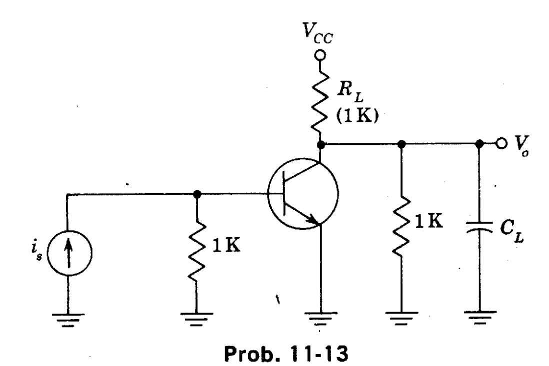
siempre que se satisfaga la condición siguiente:

$$g_{b'e}R_L(C_c + C_L) \gg C_e + C_c(1 + g_m R_L)$$

11-11 Para un amplificador a transistores de una sola etapa en emisor común, cuyos parámetros híbridos II tienen los valores medios dados en la Sec. 11-1, ¿qué valor de resistencia de fuente R_s dará una frecuencia de 3 dB, f_H que tenga (a) la mitad del valor para $R_s = 0$, (b) el doble de valor para $R_s = \infty$? Estos valores de R_s ¿dependen de la magnitud de la carga R_L? Emplear el teorema de Miller y el análisis aproximado.

11-12 Se construye un amplificador de una sola etapa en emisor común para una anchura de banda con ganancia de tensión f_H de 5 MHz con $R_L = 500\ \Omega$. Suponer $h_{fe} = 100$, $g_m = 100$ mA/V, $r_{bb'} = 100\ \Omega$. $C_c = 1$ pF, y $f_T = 400$ MHz.
(a) Hallar el valor de la resistencia de fuente que suministrará el ancho de banda requerido.
(b) Con el valor de R_s encontrado en el apartado a, hallar la ganancia de tensión en mitad de la banda V_o/V_s. *Sugerencia:* Emplear el análisis aproximado.

11-13 Los parámetros híbridos II del transistor empleado en el circuito mostrado vienen dados en la sección 11-1. La entrada al amplificador es un escalón abrupto de corriente de 0,2 mA de valor. Hallar la tensión de salida en función del tiempo: (a) si $C_L = 0$. Despreciar la constante de tiempo de la salida. (b) Si $C_L = 0{,}1\ \mu$F, despreciando la constante de tiempo de la entrada.



Prob. 11-13

11-14 Comprobar la ecuación nodal para el amplificador de una sola etapa en emisor común de la Sec. 11-8.
(b) Obtener la Ec. (11-37) para la ganancia de tensión V_o/V_s.

11-15 (*a*) Comprobar los valores de K_1, s_o, s_1 y s_2 dados en la Sec. 11-8 para la etapa en emisor común de la Fig. 11-10.
(*b*) Calcular la ganancia a frecuencia cero.
(*c*) Calcular el valor de la ganancia a 2 MHz y compararlo con la Fig. 11-11.
(*d*) Hallar la fase de la ganancia a 2 MHz y confrontarlo con la Fig. 11-11.

11-16 (*a*) A partir del circuito de la Fig. 11-12 (y sin suponer que $|K| \gg 1$), demostrar que:

$$K = \frac{-g_m R_L + j\omega C_c R_L}{1 + j\omega C_c R_L}$$

¿Por qué cabe despreciar el término $j\omega C_c R_L$ en el numerador, pero no en el denominador?
(*b*) La admitancia de Miller en el circuito de salida viene dada por:

$$Y_o = j\omega C_c \left(1 - \frac{1}{K}\right)$$

Demostrar que esto representa una capacidad C_o en paralelo con una resistencia R_o dadas por

$$C_o = C_c \frac{1 + g_m R_L}{g_m R_L} \qquad R_o = \frac{-g_m}{\omega^2 C_c^2}$$

Observar que R_o es negativa.
(*c*) Calcular C_o y R_o a la frecuencia de 3 dB de 3,0 MHz y comprobar que la constante de tiempo efectiva de la salida se mantiene $R_L C_c$ (aproximadamente). Suponer $g_m = 50$ mA/V, $R_L = 2$ K, $C_e = 100$ pF, y $C_c = 3$ pF.

11-17 Comprobar la ecuación (11-54).

11-18 (*a*) Comprobar las ecuaciones nodáles de la sección 11-10 para el seguidor de emisor.
(*b*) Hallar la ganancia V_e/V_s en función de *s*.

11-19 Eliminar todos los condensadores del circuito equivalente del seguidor de emisor de la Fig. 11-14*b*. Hallar: (*a*) la impedancia de entrada, (*b*) la impedancia de salida, y (*c*) demostrar que estos resultados están de acuerdo con el circuito equivalente a baja frecuencia de la Fig. 8-25.

11-20 (*a*) Para el seguidor de emisor de la Fig. 11-14 a frecuencias elevadas, obtener $K = V_e/V'_i$ y (con $g \equiv g_m + g_{b'e}$) comprobar que:

$$K = \frac{gR_L}{1 + gR_L} \frac{1 + j\omega(C_e/g)}{1 + j\omega\left(\dfrac{C_L + C_e}{1 + gR_L}\right)R_L}$$

(*b*) Si $gR_L \gg 1$ y $C_L \gg C_e$, demostrar que

$$K \approx \frac{1}{1 + jf/f_H}$$

donde

$$f_H = \frac{1}{2\pi} \frac{g}{C_L + C_e} = \frac{1}{2\pi} \frac{g_m + g_{b'e}}{C_L + C_e}$$

CAPITULO 12

12-1 (*a*) Para demostrar los efectos de la desviación de fase sobre la imagen en la pantalla de un tubo de rayos catódicos, considérese el ejemplo siguiente. Las tensiones senoidales aplicadas a ambos juegos de placas deberán ser iguales en fase y magnitud, de tal forma que el máximo desplazamiento en cualquier dirección de la pantalla sea 5 cm. Debido a la distorsión en frecuencia del amplificador horizontal, la fase de la tensión horizontal se desvía 5°, pero su magnitud no cambia apreciablemente. Dibujar a escala la imagen que aparecerá realmente en la pantalla, y compararla con la imagen que se debería ver si no hubiera desviación de fase.
(*b*) Si la desviación de fase de ambos amplificadores fuera la misma, ¿qué se vería en la pantalla?

12-2 La entrada a un amplificador consiste en una tensión formada por una señal fundamental y un segundo armónico de valor mitad y en fase con la fundamental. Dibujar la resultante.
La salida está constituida por igual magnitud en cada componente, pero con el segundo armónico defasado 90° (en la escala fundamental). Esto corresponde a una perfecta respuesta en frecuencia, pero mala respuesta de fase. Dibujar la salida y compararla con la forma de onda de la entrada.

12-3 El ancho de banda de un amplificador se prolonga de 20 Hz a 20 kHz. Hallar el margen de frecuencias en el que la ganancia de tensión baja menos de 1 dB con respecto al valor en mitad de la banda. Suponer que las respuestas a baja y alta frecuencia vienen dadas por las Ecs. (12-1) y (12-5) multiplicadas por una constante A_{Vo}.

12-4 Demostrar que, en el margen de frecuencias desde $10 f_L$ hasta $0{,}1 f_H$, la amplificación de tensión es constante dentro de un margen del 0,5 % y la desviación de fase dentro de ± 0,1 rad. Supóngase lo mismo que en el problema 12-3.

12-5 (*a*) Demostrar que la magnitud de la curva de Bode de una función de transferencia de dos polos, es igual a la suma de las curvas de cada polo considerado separadamente.
(*b*) Repetir el apartado *a* para las curvas de fase de Bode.

12-6 Idealizar las curvas de Bode de fase y amplitud de una función de transferencia con un cero f_z y un polo f_p, si (*a*) $f_p < f_z$, y si (*b*) $f_p > f_z$.

12-7 Considerar una característica de transferencia con dos polos, de tal forma que $f_{p2} = 4 f_{p1}$.
(*a*) Dibujar las curvas de magnitud de Bode, idealizada y verdadera. Obtener gráficamente la frecuencia de 3 dB real.
(*b*) Dibujar las curvas de fase de Bode, idealizada y verdadera.

12-8 Repetir el Prob. 12-7 para polos $f_{p2} = 2 f_{p1}$.

12-9 Considerar la función de transferencia dada en la Ec. (12-1), que tiene un polo y un cero a $f = 0$. Dibujar las curvas linealizadas de Bode para el polo, el cero y la resultante, para: (*a*) la amplitud, (*b*) la fase.

12-10 Un impulso ideal de 1 μseg excita un amplificador. Dibujar la salida si la banda de paso es de: (*a*) 10 MHz, (*b*) 1,0 MHz, (*c*) 0,1 MHz. Suponer $f_L = 0$ y un amplificador de un solo polo.

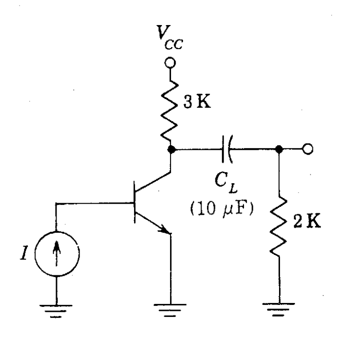
12-11 (*a*) Demostrar que la respuesta de un amplificador pasa bajos de dos etapas (idénticas y sin interacción) a un escalón unidad es:

$$v_o = A_o^2[1 - (1 + x)\epsilon^{-x}]$$

donde A_o es la ganancia de tensión en mitad de la banda y $x \equiv t/RC$.
(*b*) Para $t \ll RC$, demostrar que la salida varía cuadráticamente con el tiempo.

12-12 En el Prob. 12-11, sea f_H la frecuencia superior, de 3 dB, de una sola etapa, y sea el tiempo de subida de las dos etapas en cascada t_r. Demostrar que $f_H t_r = 0{,}53$.

12-13 (*a*) Para la etapa con un transistor en emisor común indicada, siendo $1/h_{oe} \approx \infty$, calcular la inclinación de la salida en porcentaje si la corriente de entrada I es una onda cuadrada de 100 Hz.
(*b*) ¿Cuál es la menor frecuencia de la onda cuadrada, que tendrá una inclinación inferior al 1 %?



Prob. 12-13

12-14 Considerar una función de transferencia de n polos y k ceros. Supóngase que todos los ceros tienen lugar a frecuencias mucho más elevadas que los polos. Comprobar que la frecuencia de 3 dB viene dada por la Ec. (12-25).

12-15 La función de transferencia V_o/V_s de un amplificador tiene n polos $s_1, s_2, \ldots, s_n$ y k ceros $s_{z1}, s_{z2}, \ldots, s_{zk}$, de la siguiente forma:

$$\frac{V_o}{V_s} = \frac{K(s - s_{z1})(s - s_{z2}) \ldots (s - s_{zk})}{(s - s_1)(s - s_2) \ldots (s - s_n)}$$

Si los ceros tienen frecuencias mucho más elevadas que los polos, demostrar que:
(*a*) Una expresión aproximada para la frecuencia superior de 3 dB f_H^* viene dada por:

$$\frac{1}{f_H^*} \approx \sqrt{\frac{1}{f_1^2} + \frac{1}{f_2^2} + \ldots + \frac{1}{f_n^2}}$$

(*b*) Se puede obtener mayor aproximación con la fórmula:

$$\frac{1}{f_H^*} \approx 1{,}1\sqrt{\frac{1}{f_1^2} + \frac{1}{f_2^2} + \ldots + \frac{1}{f_n^2}}$$

Comprobarlo, empleando la Ec. (12-26), para el caso de:
(i) Dos polos idénticos $f_1 = f_2$
(ii) Tres polos idénticos $f_1 = f_2 = f_3$.
Demostrar que el error está dentro del 10 %.

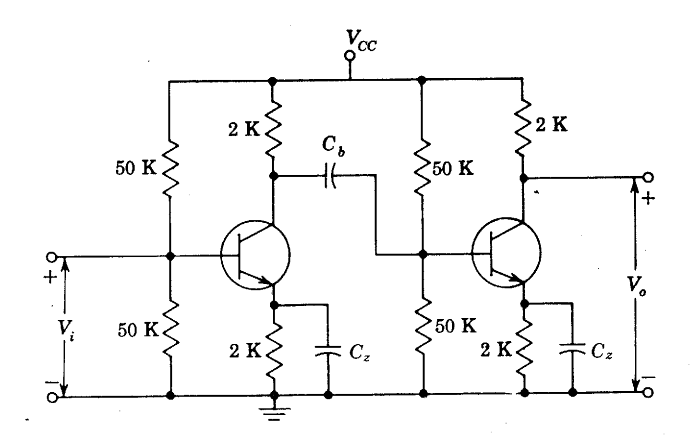
12-16 Considerar una función de transferencia con polos a 1 MHz y a 2 MHz. Supóngase que todos los demás polos y ceros son de frecuencia muy superior a 2 MHz. Calcular la frecuencia superior de 3 dB. Comparar los resultados obtenidos con los valores aproximados dados por la Ec. (12-31).

12-17 Si dos etapas de un solo polo en cascada tienen pasos de banda muy distintos, demostrar que la anchura de banda total es prácticamente la menor. Suponer que las dos etapas no tienen interacción.

12-18 Tres etapas idénticas en cascada tienen en conjunto una frecuencia superior de tres dB de 20 kHz y una inferior de 3 dB a 20 Hz. ¿Cuál es la f_L y la f_H de cada etapa? Suponer que no hay interacción entre las etapas.

12-19 Se desea que la ganancia en tensión de un amplificador acoplado RC a 60 Hz no decrezca en más de un 10 % con respecto al centro de la banda. Demostrar que el condensador de acoplamiento C debe ser por lo menos igual a $5{,}5/R'$, donde $R' = R'_o + R'_i$ está expresada en kilohm, y C en microfarad.

12-20 Los parámetros de los transistores en el circuito indicado son $h_{fe} = 50$, $h_{ie} = 1{,}1$ K, $h_{re} = h_{oe} = 0$. Hallar: (*a*) la ganancia en mitad de la banda, (*b*) el valor de C_b necesario para dar una frecuencia inferior de 3 dB de 20 Hz. Supóngase que C_z representa un cortocircuito para esta frecuencia. (*c*) Hallar el valor de C_b preciso para asegurar menos de un 10 % de inclinación para una onda de entrada cuadrada de 100 Hz.



Prob. 12-20

12-21 Un amplificador FET de dos etapas acoplado RC tiene los siguientes parámetros: $g_m = 10$ mA/V, $r_d = 5{,}5$ K, $R_d = 10$ K, y $R_g = 0{,}5$ M para cada etapa. Suponer que C_s sea en la Fig. 12-11*b* arbitrariamente grande.
(*a*) ¿Cuál debe ser el valor de C_b para que la característica en frecuencia de cada etapa sea plana (dentro de 1 dB) a los 10 Hz?
(*b*) Repetir el apartado *a* si la ganancia total de las dos etapas debe caer 1 dB a 10 Hz.
(*c*) ¿Cuál es la ganancia de tensión total en mitad de la banda?

12-22 Un amplificador de tres etapas con acoplamiento RC emplea transistores de efecto campo (Fig. 12-11b), con los siguientes parámetros: $g_m = 2{,}6$ mA/V, $r_d = 7{,}7$ K, $R_d = 10$ K, $R_g = 0{,}1$ M, $C_b = 0{,}005$ μF; y $C_s = \infty$. Calcular: (a) la ganancia de tensión total en mitad de la banda, en decibelios; (b) f_L de cada etapa individual; (c) la frecuencia inferior, de 3 dB del conjunto.

12-23 Dibujar la característica de *fase* idealizada de Bode, correspondiente a la respuesta de amplifutd de la Fig. 12-15 [Ec. (12-39)].

12-24 (a) Demostrar que la ganancia de tensión relativa de un amplificador con una resistencia de emisor R_e en paralelo con un condensador C_z, puede expresarse de la siguiente forma:

$$\frac{A_V}{A_o} = \frac{1 + j\omega R_e C_z}{B + j\omega R_e C_z}$$

donde $B = 1 + R'/R$, $R' = R_e\,(1 + h_{fe})$, y $R = R_s + h_{ie}$.
(b) Demostrar que la frecuencia inferior, de tres dB, es:

$$f_L = \frac{\sqrt{B^2 - 2}}{2\pi R_e C_z}$$

¿Cuál es el significado físico de la condición $B < \sqrt{2}$?
(c) Si $B^2 \gg 2$, demostrar que $f_L \approx f_p$, frecuencia del polo definida en la Ec. (12-40).

12-25 En el circuito de la Fig. 12-14a, sea $R_s = 500\ \Omega$; $R_1 = R_2 = 50$ K; $R_c = R_e = 2$ K; $h_{ie} = 1{,}1$ K; $h_{fe} = 50$; $h_{re} = h_{oe} = 0$; $C_b = 5\ \mu$F.
(a) Despreciando los efectos de C_z, hallar f_L para la etapa a transistor.
(b) Despreciando los efectos de C_b, hallar las expresiones de f_p y f_o debidas solamente a C_z.
(c) Hallar el valor de C_z para el que f_L no está virtualmente afectada por la presencia del condensador de desacoplo en el emisor.

12-26 Hallar el porcentaje de inclinación de la salida de una etapa a transistores, causada por un condensador C_z en paralelo con la resistencia de emisor R_e. Emplear el siguiente método: Si V es el valor del escalón de entrada, entonces, a partir de la Fig. 12-14 (y empleando letras minúsculas para los valores instantáneos:

$$v_o = -\,h_{fe} i_b R_c = -\,h_{fe} R_c\,\frac{V - v_{en}}{R}$$

donde $R \equiv R_s + h_{ie}$. Tomar como primera aproximación $v_{en} = 0$. Calcular la corriente correspondiente y, suponiento que toda la corriente de emisor pasa a través de C_z, calcular v_{en}, y demostrar que

$$v_o = -\,\frac{h_{fe} R_c V}{R}\left[1 - \frac{(1 + h_{fe})t}{RC_z}\right]$$

A partir de este resultado, comprobar la Ec. (12-43).

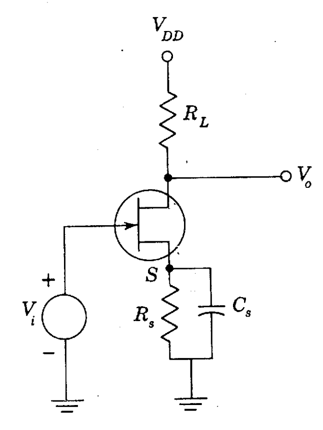
12-27 Demostrar que la ganancia de tensión a bajas frecuencias de la etapa FET indicada, con $r_d \gg R_L + R_s$, viene dada por

$$(a)\quad \frac{A_V}{A_o} = \frac{1}{1 + g_m R_s}\,\frac{1 + jf/f_o}{1 + jf/f_p}$$

donde

$$A_o \equiv -\,g_m R_L \qquad f_o \equiv \frac{1}{2\pi C_s R_s} \qquad f_p = \frac{1 + g_m R_s}{2\pi C_s R_s}$$

(b) Si $g_m R_s \gg 1$ y $g_m = 5$ mA/V, hallar C_s para que una onda de entrada cuadrada de 50 Hz sufra como máximo un 10 % de inclinación.



Prob. 12-27

12-28 Comprobar que la función de transferencia del amplificador de dos etapas con interacción de la Fig. 12-19, viene dada por la Ec. (12-48).

12-29 Comprobar la Ec. (12-50).

12-30 Justificar la Ec. (12-52).

12-31 (a) Hallar la anchura de banda de ruido B_n en un amplificador para el que $A_{Vo} = 1$, $f_L = 0$ Hz, y

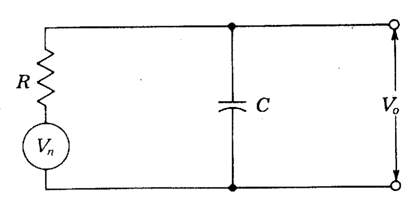
$$|A_V(f)| = \frac{1}{\sqrt{1 + (f/f_H)^2}}$$

(b) Calcular B_n si $f_H = 10$ kHz.

12-32 (a) Hallar el valor cuadrático medio V_o^2 de la tensión de ruido de salida para el circuito indicado. El círculo representa un generador de ruido de Johnson, para la combinación RC.
(b) Demostrar que

$$\tfrac{1}{2} C V_o^{\,2} = \tfrac{1}{2} kT$$

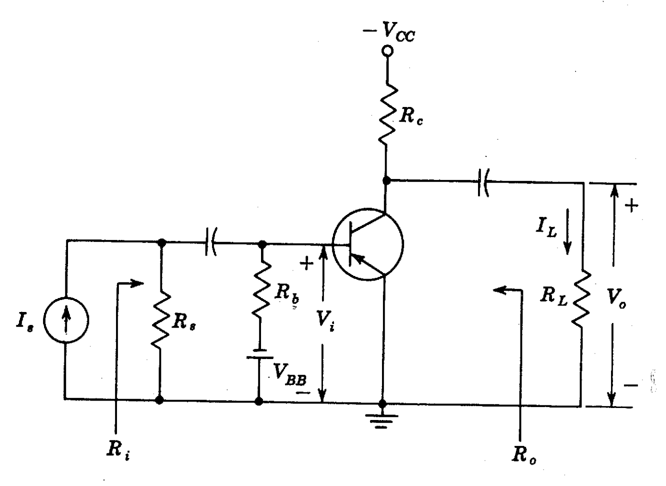
Este resultado se conoce como *teorema de equipartición.*



Prob. 12-32

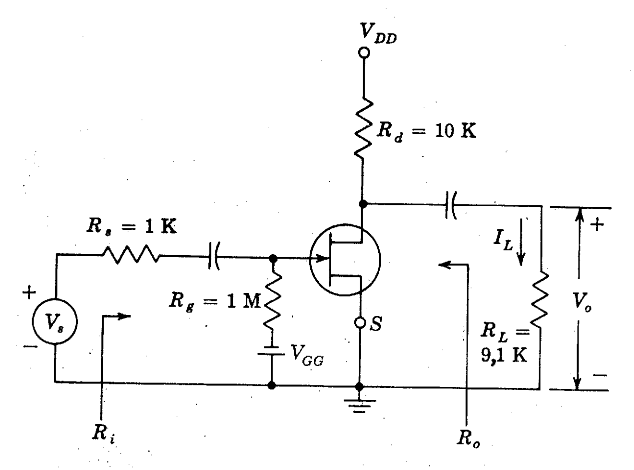
CAPITULO 13

13-1 Para el circuito indicado, con $R_c = 4$ K, $R_L = 4$ K $R_b = 20$ K, $R_s = 1$ K, y los parámetros del transistor dados en la Tabla 8-2, hallar:
(*a*) La ganancia de corriente $I_L/I_s = A_I$.
(*b*) La ganancia de tensión V_o/V_s, en que $V_s \equiv I_s R_s$.
(*c*) La transconductancia $I_L/V_s = G_M$.
(*d*) La transresistencia $V_o/I_s = R_M$.
(*e*) La resistencia de entrada vista desde la fuente.
(*f*) La resistencia de salida vista desde la carga.
Hacer aproximaciones razonables. Despreciar todos los efectos de las capacidades.



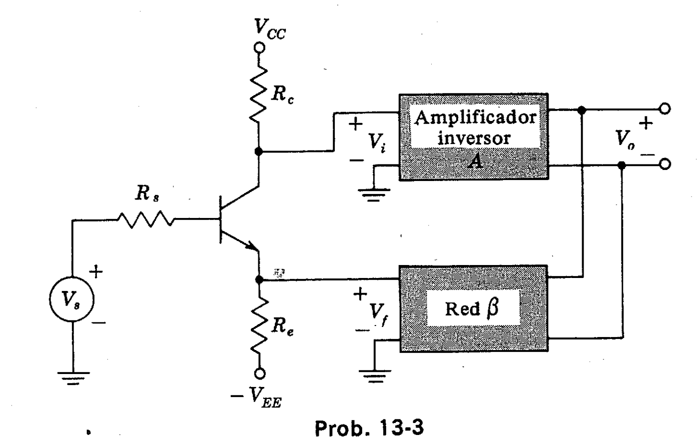
Prob. 13-1

13-2 Repetir el Prob. 13-1 para el circuito indicado, con $g_m = 5$ mA/V y $r_d = 100$ K. Obsérvese que $V_s \equiv I_s R_s$.



Prob. 13-2

13-3 (*a*) Para el circuito indicado, hallar la tensión alterna V_i en función de V_s y V_f. Supóngase que la resistencia de entrada del amplificador inversor es infinita, que $A = A_V = -1000$, $\beta = V_f/V_o = 1/100$, $R_s = R_c = R_C = 1$ K, $h_{ie} = 1$ K, $h_{re} = h_{oe} = 0$ y $h_{fe} = 100$. (*b*) Hallar $A_{Vf} = V_o/V_s = AV_i/V_s$.



Prob. 13-3

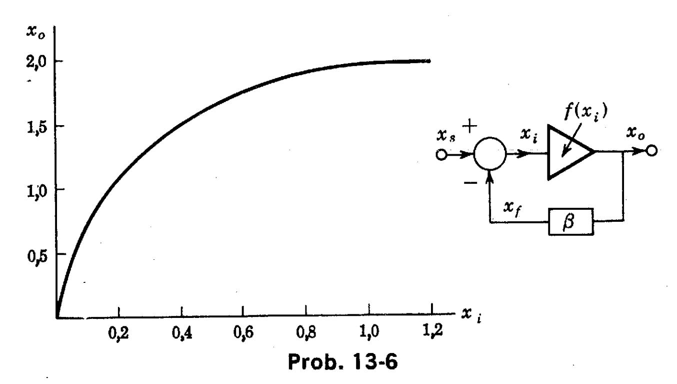
13-4 Un determinado amplificador consiste en tres etapas idénticas conectadas en cascada. La tensión de salida se muestrea y se vuelve a la entrada en serie y oposición. Si se especifica que el cambio relativo dA_f/A_f de la ganancia de tensión A_f en cadena cerrada no debe exceder a Ψ_f, demostrar que el valor mínimo de la ganancia en cadena abierta A del amplificador viene dado por:

$$A = 3\,A_f\,\frac{|\Psi_1|}{|\Psi_f|}$$

en la que $\Psi_1 \equiv dA_1/A_1$ es el cambio relativo de la ganancia de tensión de cada etapa del amplificador.

13-5 Se dispone de un amplificador con ganancia de tensión en cadena abierta $A_V = 1\,000 \pm 100$. Se requiere un amplificador cuya ganancia en tensión no varíe en más de un $\pm$ 0,1 %.
(*a*) Hallar el factor de transmisión inversa β de la red de realimentación empleada.
(*b*) Hallar la ganancia con realimentación.

13-6 La figura indica la característica de transferencia de un amplificador no lineal. Se



Prob. 13-6

aplica realimentación negativa al amplificador tal como se indica. Hallar la nueva característica de transferencia x_o en función de x_s, si (*a*) $\beta = 0{,}1$, (*b*) $\beta = 0{,}05$. Dibujar las dos características de transferencia en la misma figura.

13-7 Un amplificador sin realimentación da una onda fundamental de salida de 36 V, con un 7 % de distorsión debida al segundo armónico cuando la entrada es de 0,028 V.
(*a*) Si el 1,2 % de la salida se realimenta a la entrada con un circuito de realimentación negativa de tensión en serie, ¿cuál será la tensión de salida?
(*b*) Si la salida fundamental se mantiene a 36 V, pero el segundo armónico se reduce al 1 %, ¿cuál será la tensión de entrada?

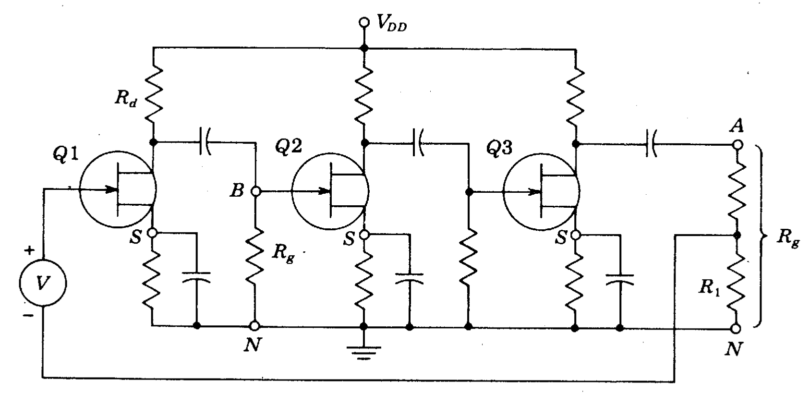
13-8 Un determinado amplificador, con una ganancia en cadena abierta de 1 000, suministra 10 W de potencia de salida con un 10 % de distorsión de segundo armónico cuando la señal de entrada es de 10 mV. Si se aplica una realimentación negativa de tensión en serie de 40 dB y la potencia de salida debe mantenerse en 10 W, determinar: (*a*) la señal de entrada requerida, (*b*) el tanto por ciento de distorsión armónica.

13-9 (*a*) Comprobar la Ec. (13-16) para la impedancia de entrada del amplificador realimentado por corriente en serie.
(*b*) Repetir el apartado (*a*) para la Ec. (13-25) para un amplificador con tensión en paralelo.
(*c*) Comprobar la Ec. (13-32) para la impedancia de salida de un amplificador con realimentación de tensión en paralelo.
(*d*) Repetir el apartado (*c*) para la Ec. (13-38) para un amplificador con realimentación de corriente en serie.

13-10 La impedancia de salida se puede calcular como relación entre la tensión en circuito abierto con respecto a la corriente en cortocircuito. Empleando este método, calcular R_{of} y R'_{of} para: (*a*) realimentación de tensión en serie, (*b*) realimentación de corriente en serie, (*c*) realimentación de corriente en paralelo, y (*d*) realimentación de tensión en paralelo.

13-11 El modelo de parámetros *h* de un transistor se puede considerar como representación de un amplificador realimentado debido a la presencia de la h_{re} de la fuente. Empleando las fórmulas de la realimentación, hallar (*a*) R_{if} y (*b*) $Y_{of} = 1/R_{of}$, representantes de las resistencias de entrada y de salida de una etapa a transistores y teniendo en cuenta h_{re}, h_{oe}, y la resistencia de la fuente R_s.

13-12 Suponer que los parámetros del circuito son $r_d = 10$ K, $R_g = 1$ M, $R_1 = 40\ \Omega$, R_d



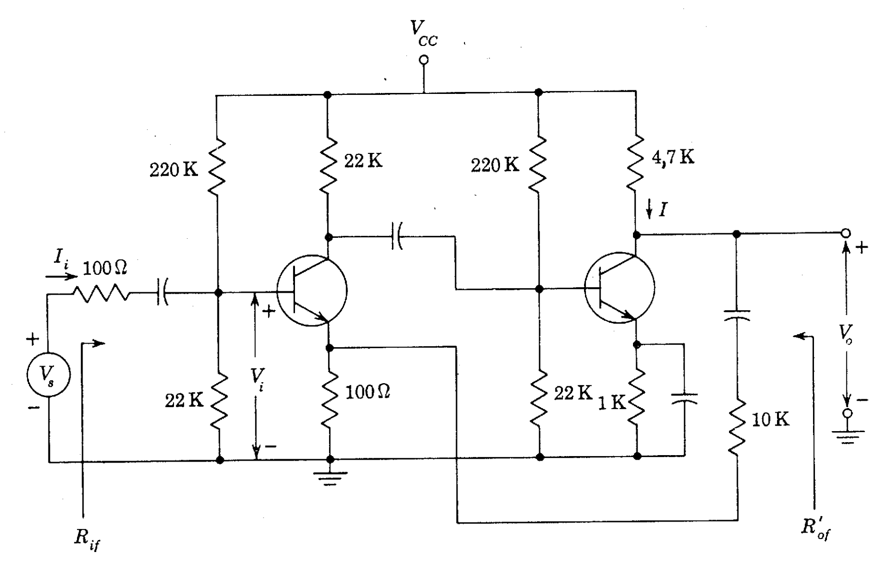
Prob. 13-12

$= 50$ K y $g_m = 6$ mA/V. Despreciar las reactancias de todos los condensadores. Hallar la ganancia de tensión y la impedancia de salida del circuito en los terminales (*a*) *AN*, (*b*) *BN*.

3-13 Demostrar que, para la realimentación de tensión en serie, con $R_s = 0$, $A_{If} = A_I$. *Sugerencia:* $A_V = A_I R_L / R_i$.

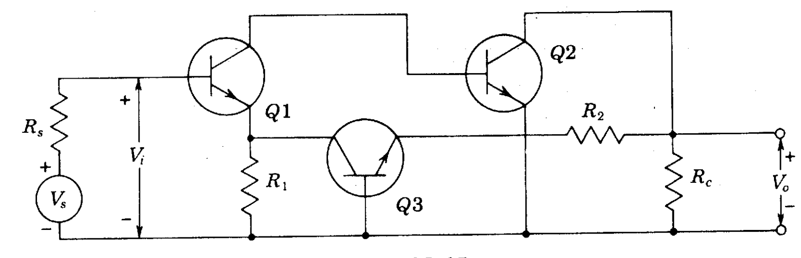
13-14 Los transistores del amplificador con realimentación indicado son idénticos, y sus parámetros *h* se toman de la Tabla 8-2. Hacer aproximaciones razonables cuando sea apropiado, y despreciar las reactancias de los condensadores. Calcular:

$$R_{if} = V_s/I_i,\ A_{If} = -I/I_i,\ A'_{Vf} = V_o/V_i,\ A_{Vf} = V_o/V_s \text{ y } R'_{of}$$



Prob. 13-14

13-15 Se indica en la figura un par con realimentación del segundo colector al primer emisor habiéndose omitido la polarización de continua para simplificar. Todos los transistores son idénticos. Despreciando h_{re}, h_{rb}, h_{oe}, h_{ob} y suponiendo que $h_{fe} \gg 1$, $h_{fe}R_1 \gg R_s + h_{ie}$ y $R_2 \gg h_{ib3}$, demostrar que:
(*a*) La ganancia de tensión $A_{Vf} = V_o/V_s \approx R_2/R_1$ (si $h_{fe}R_C \gg R_C + R_2$)
(*b*) La resistencia de salida $R'_{of} \approx R_c \| (R_2/h_{fe})$.



Prob. 13-15

13-16 Considerar la etapa a transistores de la Fig. 13-16*a*.
(*a*) Despreciando h_{re} y h_{oe} y suponiendo que $h_{fe} \gg 1$, demostrar que la ganancia de tensión es:

$$A_{Vf} = \frac{V_o}{V_s} \approx \frac{-h_{fe}R_L}{R_s + h_{ie} + h_{fe}R_e}$$

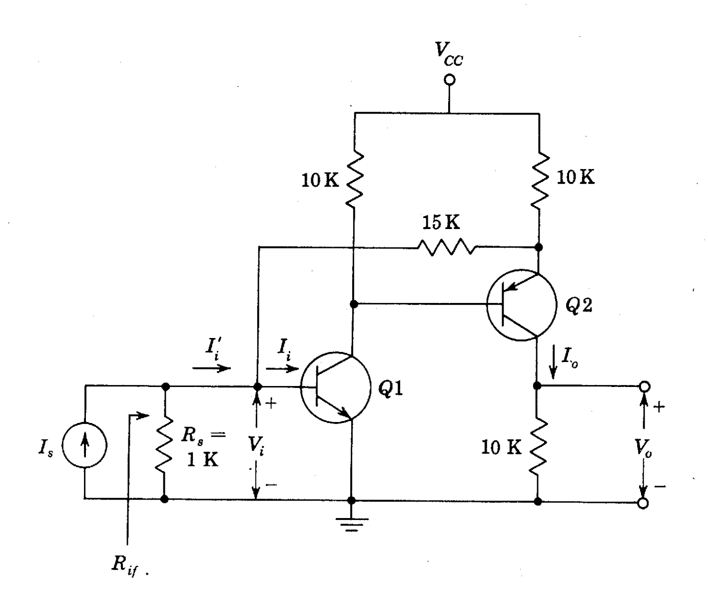
(*b*) Si la variación relativa dA_f/A_f de la ganancia de tensión A_f no debe exceder un valor especificado Ψ_f debido a las variaciones de h_{fe}, demostrar que el mínimo valor requerido de la resistencia de emisor R_e viene dado por:

$$R_e = \frac{R_s + h_{ie}}{h_{fe}} \left(\frac{dh_{fe}/h_{fe}}{\Psi_f} - 1 \right)$$

13-17 Resolver el ejemplo de la Sec. 13-11 con realimentación de corriente en paralelo sin emplear las ecuaciones de realimentación. En lugar de ello, aplíquese el teorema de Miller a la resistencia *R'*. *Sugerencia:* Suponer que la ganancia A'_V de V_{i1} a V_{e2} es muy grande.

13-18 En el amplificador realimentado de dos etapas indicado, los transistores son idénticos y tienen los siguientes parámetros: $h_{fe} = 50$, $h_{ie} = 2$ K, $h_{re} = 0$ y $h_{oe} = 0$. Calcular

(*a*) $A_{If} = \dfrac{I_o}{I_s}$ (*b*) $R_{if} = \dfrac{V_i}{I_s}$ (*c*) $A'_{If} = \dfrac{I_o}{I'_i}$



Prob. 13-18

(*d*) $A_{Vf} = \dfrac{V_o}{V_s}$ siendo $V_s = I_sR_s$

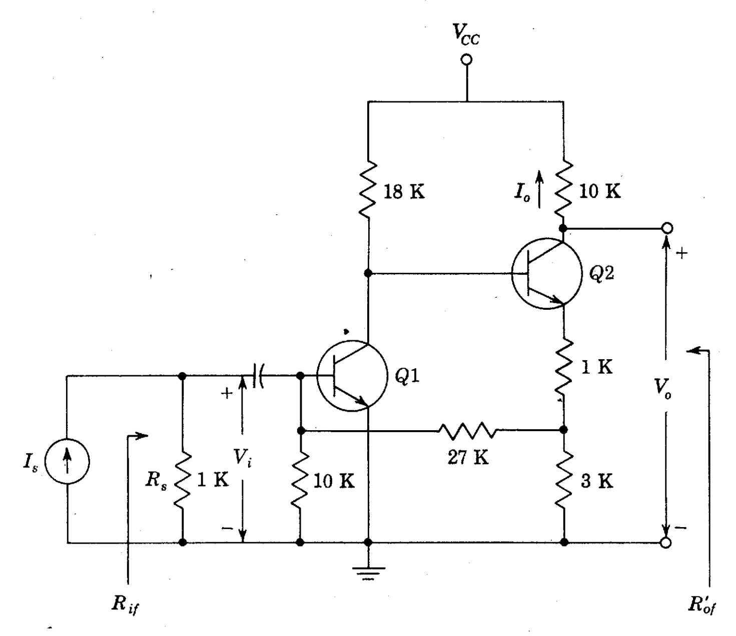
(*e*) Calcular A_{Vf} mediante la Ec. (13-70) y compararlo con los resultados obtenidos en el apartado *d*.

13-19 Para el circuito indicado (y con los valores de los parámetros *h* dados en el Prob. 13-18), hallar:

(*a*) $A_{If} \equiv \dfrac{I_o}{I_s}$ (*b*) R_{if}

(*c*) $A_{Vf} \equiv \dfrac{V_o}{V_s}$ en que $I_s \equiv \dfrac{V_s}{R_s}$

(*d*) $A'_{Vf} \equiv \dfrac{V_o}{V_i}$ (*e*) R'_{of}

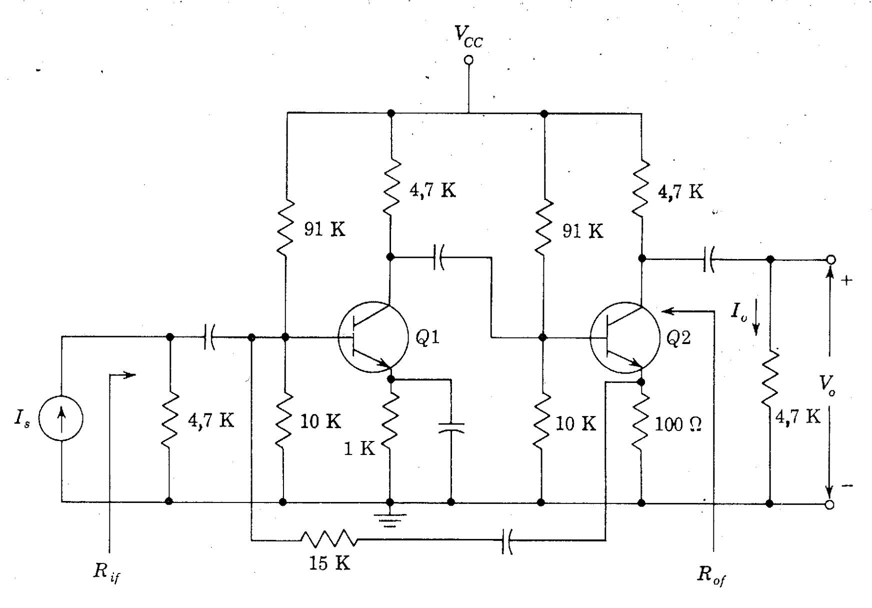


Prob. 13-19

13-20 Los transistores del amplificador realimentado indicado son idénticos, y sus parámetros *h* son los de la Tabla 8-2. Hacer aproximaciones razonables cuando sea apropiado, y despreciar las reactancias de los condensadores. Calcular:

(*a*) $A_{If} \equiv \dfrac{I_o}{I_s}$ (*b*) $A_{Vf} \equiv \dfrac{V_o}{V_s}$, en que $V_s \equiv I_sR_s$

(*c*) R_{if} (*d*) R_{of}

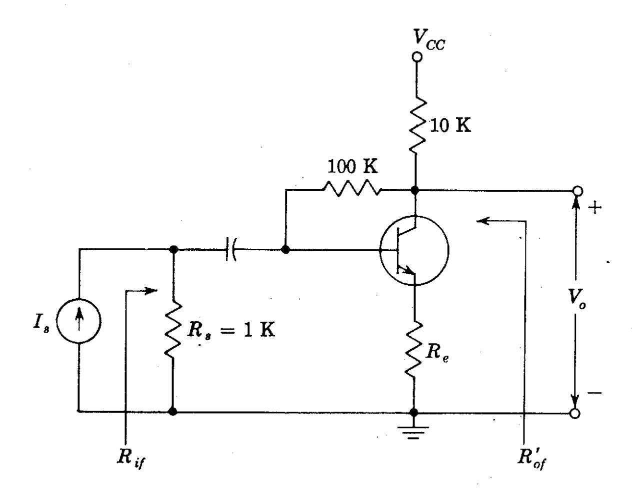


Prob. 13-20

13-21 Supongamos que h_{fe} de $Q1$ y $Q2$, del problema 13-20, se incrementa hasta 100. Si todos los demás parámetros permanecen constantes, repetir el Prob. 13-20.

13-22 En la etapa de amplificador a transistores realimentado de la figura, $h_{fe} = 100$, $h_{ie} = 1$ K, mientras que h_{re} y h_{oe} son despreciables. Determinar con $R_c = 0$:

(*a*) $R_{Mf} = \dfrac{V_o}{I_s}$ en que $I_s = \dfrac{V_s}{R_s}$



Prob. 13-22

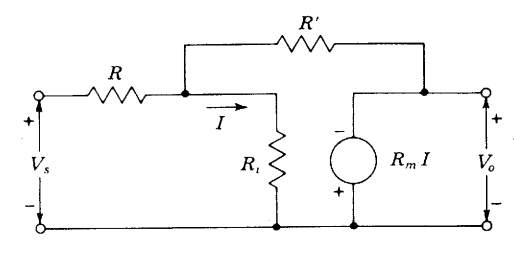
(*b*) $A_{Vf} = \dfrac{V_o}{V_s}$ (*c*) R_{if} (*d*) R'_{of}

(*e*) Repetir los anteriores cálculos si $R_e = 1$ K.

13-23 Consideremos el ejemplo ilustrativo de la Sec. 13-11 (realimentación de corriente en paralelo), pero con la salida tomada desde el emisor de $Q2$. Ahora, esta configuración representa la realimentación de tensión en paralelo y *no* la realimentación de corriente en paralelo. Analizar el circuito para (*a*) β; (*b*) R_M; (*c*) R_{Mf}; (*d*) A_{Vf}; (*e*) R_{if}; (*f*) R'_{of}.

13-24 Para el circuito de la figura, demostrar que:

$$A_{Vf} = \frac{V_o}{V_s} = -\frac{R'}{R} \frac{1}{1 + \dfrac{R'}{R_m}\left(\dfrac{R_i + R'}{R'} + \dfrac{R_i}{R}\right)}$$



Prob. 13-24

13-25 Para el circuito con realimentación de tensión en paralelo del ejemplo de la Sec. (13-12), sustituir el transistor por el modelo aproximado a bajas frecuencias ($h_{oe} = h_{re} = 0$). *No* se emplearán métodos de análisis para realimentación. Resolver exactamente A_{Vf}, R_{if} y R_{of}. Comparar estos resultados con los obtenidos en la Sec. 13-12.

CAPITULO 14

14-1 Un amplificador con una sola etapa acoplada en *RC*, con una ganancia de tensión de 1 000 en el centro de la banda, se convierte en un amplificador con realimentación enviando el 10 % de su tensión de salida en serie con la entrada y en oposición. Suponer que la ganancia del amplificador sin realimentación puede ser calculada aproximadamente por la Ec. (12-2) a frecuencias bajas, y por la Ec. (14-2) a frecuencias elevadas.
(*a*) A medida que la frecuencia varía, ¿a qué valor caerá la ganancia de tensión del amplificador sin realimentación antes que la ganancia del amplificador con realimentación caiga 3 db?
(*b*) ¿Cuál es la relación entre las frecuencias de media potencia con realimentación y sin realimentación?
(*c*) Si $f_L = 20$ Hz y $f_H = 50$ kHz para el amplificador sin realimentación, ¿cuáles son los valores correspondientes después de agregar la realimentación?

14-2 (*a*) Comprobar las ecuaciones (14-9) y (14-10) de A_f para una ganancia de transferencia de dos polos.
(*b*) Comprobar que, para $Q = Q_{\min}$, las raíces son ω_1 y ω_2.

14-3 Comprobar las ecuaciones (14-14) y (14-16) para la función de transferencia del modelo de la Fig. 14-4.

14-4 (*a*) Demostrar que el valor de la ganancia A_f en cadena cerrada con dos polos viene dado por la Ec. (14-18) en función de la frecuencia.
(*b*) Comprobar que el pico de la respuesta en frecuencia sucede a $\omega/\omega_o = \sqrt{1-2k^2}$ y tiene un valor dado por la Ec. (14-20).

14-5 Dibujar la respuesta de fase (en función de ω/ω_o) de una función de transferencia de doble polo para $Q = 0{,}5$, 1, 2, 5.

14-6 Obtener las ecuaciones (14-23), (14-24), (14-25) y (14-26), para la respuesta a un escalón de un amplificador realimentado de dos polos. *Sugerencia:* para el caso de sobreamortiguación, suponer $k^2 \gg 1$ y desarrollar $(1 - 1/k^2)^{1/2}$ en serie de Taylor.

14-7 Comprobar la Ec. (14-27) para la posición x_m y el valor de y_m de la respuesta oscilatoria máxima y mínima.

14-8 Definir el tiempo de estabilización normalizado x_s como el tiempo transcurrido hasta que un primer pico (o depresión) de la Fig. 14-6 quede comprendido dentro de la banda de error del $\pm P$ %. Demostrar que el valor de m correspondiente a x_s viene dado por el menor valor de m que cumpla:

$$100\, \epsilon^{-\pi k m/(1-k^2)^{1/2}} \leq P$$

14-9 (*a*) Dado un amplificador de dos polos con frecuencias de codo a $\omega_1 = 1$ Mrad/seg y $\omega_2 = 0{,}2$ Mrad/seg, ¿cuáles serán los máximos decibelios de realimentación para los que se tendrá el tiempo más rápido de subida sin sobreelevación?
(*b*) ¿Cuál será la mejora en el tiempo de subida obtenida en las condiciones del apartado *a*? En otras palabras, hallar la relación entre el tiempo de subida para $k = 1$ y el tiempo de subida con realimentación nula.

14-10 (*a*) Para el amplificador del Prob. 14-9, buscar el máximo valor de la ganancia del lazo para el que la sobretensión de la respuesta a un escalón sea el 10 %.
(*b*) ¿En qué instante de tiempo tiene lugar el pico?
(*c*) Calcular el valor del primer mínimo de la respuesta a un escalón y el tiempo al cabo del cual, éste tiene lugar.
(*d*) Comprobar que para $k = 0{,}707$ el máximo sobrevalor es del 4,3 %.

14-11 Un amplificador tiene dos polos en el eje real negativo: $s_1 = -5\ \mu\text{seg}^{-1}$, $s_2 = -15\ \mu\text{seg}^{-1}$
(*a*) Dibujar el lugar geométrico de las raíces del amplificador con realimentación negativa.
(*b*) Hallar el valor de βA_o para el que el máximo sobrevalor de la respuesta a un escalón del amplificador con realimentación sea el 4,3 %.

14-12 (*a*) Si $k = 0{,}5$ ($Q = 1$), calcular el máximo sobrevalor en porcentaje de la respuesta a un escalón de un amplificador realimentado con dos polos.
(*b*) Si hay un sobrevalor del 10 % en la respuesta en frecuencia, ¿qué sobrevalor en porcentaje hay en la respuesta a un escalón?

14-13 Las raíces de un amplificador de dos polos en cadena cerrada son $s_1 = -\sigma + j\omega$, $s_2 = -\sigma - j\omega$. Hallar la relación entre Q y $|\omega/\sigma|$.

14-14 Para un amplificador realimentado de tres polos, comprobar la Ec. (14-29) y demostrar que:

$$\omega_o^3 = \omega_1\omega_2\omega_3(1 + \beta A_o)$$

$$a_2 = \frac{\omega_1 + \omega_2 + \omega_3}{\omega_o}$$

$$a_1 = \frac{\omega_1\omega_2 + \omega_2\omega_3 + \omega_1\omega_3}{\omega_o^2}$$

14-15 (*a*) Consideremos una función de transferencia de tres polos en cadena abierta con los tres polos en $s = -\omega_1$. Hallar la expresión de la ganancia en cadena cerrada.
(*b*) Demostrar que, si se agrega una realimentación negativa, un polo s_{3f} se mueve a lo largo del eje real negativo, mientras que los otros dos polos pasan a ser complejos conjugados y se trasladan hacia la parte derecha del plano complejo, como indica la Fig. 14-8.
(*c*) Comprobar que el sistema es inestable para $|\beta A_o| > 8$; y que, para $|\beta A_o| = 8$, los polos s_{2f} y s_{3f} son $\pm j\omega_1\sqrt{3}$ y $s_{1f} = -3\omega_1$.

14-16 Consideremos un amplificador con una función de transferencia $A(s) = A_1/[s(s+3)^2]$.
(*a*) Hallar el valor de βA_1 que corresponde al punto del plano complejo en el que los polos reales se transforman en complejos.
(*b*) Hallar el valor de βA_1 para el que el amplificador con realimentación negativa pasa a ser inestable.
(*c*) Dibujar aproximadamente el lugar geométrico de las raíces.

14-17 Consideremos una función de transferencia con tres polos s_1, s_2, s_3. Hallar sus valores, sabiendo que:

$$|s_1| = |s_2| = |s_3| = 1$$

y que el Q del par de polos complejos (s_2, s_3) es 1.

14-18 Un amplificador tiene la siguiente función de transferencia:

$$A(s) = \frac{A_o \times 7{,}2 \times 10^{-4}}{(s + 0{,}02)\,(s + 0{,}09)\,(s + 0{,}4)}$$

Se aplica una realimentación a este amplificador. Hallar los polos y βA_o si el Q del par de polos complejos es 1.

14-19 (*a*) Comprobar que un amplificador realimentado de dos polos *no puede* tener un polo dominante en cadena cerrada si $Q > 0{,}4$.
(*b*) Hallar una expresión para el máximo valor de βA_o para el que exista un polo dominante en cadena cerrada.
(*c*) Calcular βA_o para $n = 4$. ¿Cuál es la interpretación física de este resultado?

14-20 Comprobar la Ec. (14-33), empleando las Ecs. (14-32) y (14-31).

14-21 Comprobar la expresión de R_M en la Ec. (14-34).

14-22 Comprobar la expresión de G_M en la Ec. (14-40).

14-23 Para el par con realimentación de tensión en serie de la Sec. 14-8, comprobar que existe un polo dominante y que A_{Vf} puede ser hallado aproximadamente mediante la Ec. (14-47).

14-24 Demostrar que, en la representación polar del amplificador con polo dominante de la Fig. 14-18:

(*a*) El semicírculo superior de la curva es el lugar geométrico de βA para frecuencias negativas.
(*b*) El semicírculo inferior corresponde a las frecuencias positivas.
(*c*) Los puntos correspondientes a $f = \pm f_H$ son los puntos medios de los dos semicírculos.

14-25 Consideremos un amplificador realimentado para el que la ganancia a bajas frecuencias sin realimentación venga dada por la Ec. (12-2).
(*a*) Demostrar que la representación polar de la ganancia del lazo es un círculo en la mitad derecha del plano complejo βA, como en la Fig. 14-18.
(*b*) Demostrar que el semicírculo superior corresponde a los valores de $f > 0$, y que el semicírculo inferior corresponde a los valores de $f < 0$.

14-26 Consideremos un amplificador realimentado con dos polos, cuya ganancia sin realimentación venga dada por la Ec. (14-8). Esbozar la representación polar de la ganancia del lazo βA (β es una constante real y $f_2 = 10 f_1$) para este amplificador, indicando:
(*a*) La sección de la curva que corresponde a $f > 0$ y la que corresponde a $f < 0$.
(*b*) Los puntos de la curva correspondientes a $f = 0$; $f = \pm\infty$, $f = f_1 = \omega_1/2\pi$; $f = f_2 = \omega_2/2\pi$.

14-27 Indicar la representación polar de la ganancia del lazo βA para un amplificador realimentado de tres polos con una ganancia en continua (sin realimentación) de $A_o = -1\,000$, y con polos en cadena abierta $f_1 = 0{,}5$ MHz, $f_2 = 1$ MHz y $f_3 = 2$ MHz, en las siguientes condiciones:
(*a*) $\beta = -0{,}005$ (*b*) $\beta = -0{,}02$.
En cada caso, indicar si el amplificador es o no estable en cadena cerrada.
(*c*) ¿Cuál es el máximo valor de β para el cual el amplificador es estable?

14-28 Un amplificador realimentado de tres polos tiene una ganancia en continua sin realimentación de -10^4. Los tres polos en cadena abierta están a $f = 2$ MHz.
(*a*) ¿Cuál es el máximo valor de β para el que el amplificador es estable?
(*b*) Suponer que uno de los polos se desplaza a $f_1 = 100$ kHz.
Empleando el valor de β hallado en el apartado *a*, ¿cuál es el margen de ganancia del circuito modificado?

14-29 Comprobar la Ec. (14-53) para la función de transferencia de la red de compensación de polo-cero.

14-30 Se emplea una compensación polo-cero, pero el cero f_z de la red de compensación no es exactamente igual al polo menor f_1 del amplificador descompensado.
(*a*) Elegir $f_z = 1{,}1 f_1$ y esbozar en papel log-log la función:

$$A = \frac{1 + j(f/f_z)}{1 + j(f/f_1)}$$

(*b*) Repetir el apartado *a* si $f_z = 0{,}9 f_1$.

14-31 Un amplificador de tres polos sin realimentación tiene una ganancia en continua de -10^3 y polos localizados en $f_1 = 1$ MHz, $f_2 = 10$ MHz y $f_3 = 30$ MHz. Se aplica a este amplificador una compensación por polo dominante.
(*a*) Buscar la localización del polo dominante, de manera que la ganancia en cadena abierta sea primero constante y después baje hasta 0 dB a un ritmo de -20 dB por década para frecuencias $f \leqslant 1$ MHz.
(*b*) ¿Cuál es el máximo valor de β para que este amplificador compensado sea estable?

14-32 Se emplea la compensación de polo-cero en un amplificador que tiene -10^3 de ganancia en continua y tres polos a $f_1 = 1$ MHz, $f_2 = 10$ MHz y $f_3 = 200$ MHz. El cero de la red polo-cero se selecciona para anular el polo de 1 MHz del amplificador no compensado.
(*a*) Hallar el polo de la red de compensación, de modo que el amplificador sea estable con un margen de fase de 45° cuando $\beta = -0{,}1$. *Sugerencia:* Tomar $-|\beta| A_V A'_V = 1\underline{/-135^\circ}$ a $f = 10$ MHz.
(*b*) ¿Cuál es la anchura de banda del amplificador compensado con realimentación?

14-33 Comprobar la Ec. (14-60) para el factor de realimentación de la red de desplazamiento de fase de la Fig. 14-29, suponiendo que esta red no cargue el amplificador. Probar que el desplazamiento de fase de V'_f/V_o es 180° para $\alpha^2 = 6$ y que a esta frecuencia $\beta = 1/29$.

14-34 (*a*) Para la red del Prob. 14-33, demostrar que la impedancia de entrada viene dada por:

$$Z_i = R\,\frac{1 - 5\alpha^2 - j(6\alpha - \alpha^3)}{3 - \alpha^2 - j4\alpha}$$

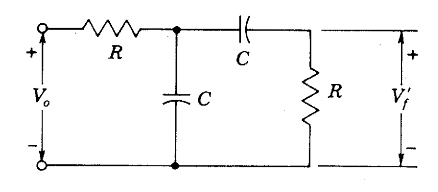
(*b*) Demostrar que la impedancia de entrada a la frecuencia de oscilación, $\alpha = \sqrt{6}$, es $(0{,}83 - j\,2{,}70)\,R$.
Obsérvese que, si se varía la frecuencia variando C, la impedancia de entrada permanece constante. No obstante, si se varía la frecuencia variando R, la impedancia varía proporcionalmente a R.

14-35 Diseñar un oscilador por cambio de fase que trabaje a una frecuencia de 5 kHz. Emplear un MOSFET con $\mu = 55$ y $r_d = 5{,}5$ K. La red cambiadora de fase no carga el amplificador.
(*a*) Hallar el valor mínimo de la resistencia del circuito de drenaje R_d, para que el circuito oscile.
(*b*) Hallar el producto RC.
(*c*) Escoger un valor razonable para R, y hallar C.

14-36 (*a*) Un oscilador FET de dos etapas emplea la red de cambio de fase indicada. Probar que:

$$\frac{V'_f}{V_o} = \frac{1}{3 + j(\omega RC - 1/\omega RC)}$$

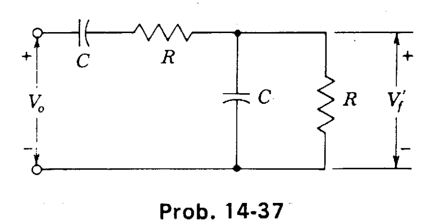
(*b*) Demostrar que la frecuencia de oscilación es $f = 1/2\,\pi RC$ y que la ganancia debe pasar de 3.



Prob. 14-36

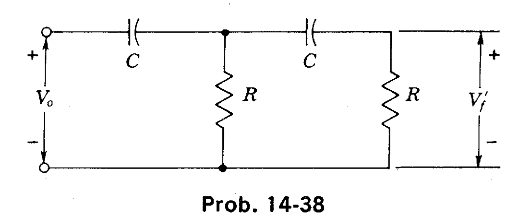
14-37 (*a*) Hallar V'_f/V_o para la red indicada.
(*b*) Plantear el circuito de un oscilador de cambio de fase, empleando esta red de alimentación.

(*c*) Hallar la expresión de la frecuencia de la oscilación, suponiendo que la red no carga el amplificador.
(*d*) Hallar la mínima ganancia precisa para que haya oscilación.



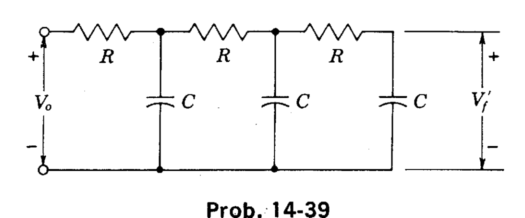
Prob. 14-37

14-38 Consideremos la red de dos secciones RC indicada. Hallar la función V'_f/V_o, y comprobar que no es posible conseguir un defase de 180° con una atenuación finita.



Prob. 14-38

14-39 Para la red de realimentación indicada, hallar: (*a*) la función de transferencia, (*b*) la impedancia de entrada. (*c*) Si esta red se emplea en un oscilador de cambio de fase, hallar la frecuencia de oscilación y la mínima ganancia de tensión del amplificador. Suponer que la red no carga el amplificador.

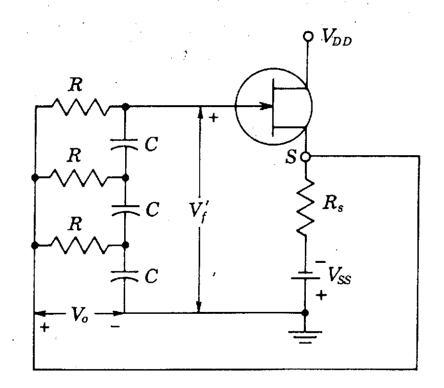


Prob. 14-39

14-40 Tengamos en cuenta la carga de la red RC en el oscilador de cambio de fase de la Fig. 14-29*a*. Si R_o es la impedancia de salida del amplificador (suponiendo que C_s sea arbitrariamente grande), demostrar que la frecuencia de oscilación f y la ganancia mínima A vienen dadas por:

$$f = \frac{1}{2\pi RC}\frac{1}{\sqrt{6 + 4(R_o/R)}} \qquad A = 29 + 23\frac{R_o}{R} + 4\left(\frac{R_o}{R}\right)^2$$

14-41 Para el oscilador FET indicado, hallar: (*a*) V'_f/V_o, (*b*) la frecuencia de oscilación, (*c*) la ganancia mínima del seguidor de fuente precisa para que oscile.

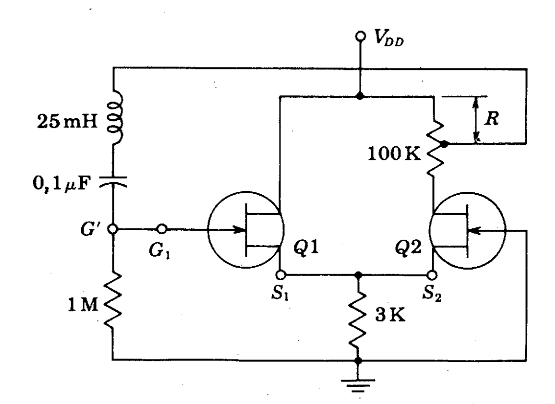


Prob. 14-41

14-42 Comprobar las Ecs. (14-61) y (14-62) para el oscilador de cambio de fase a transistores de la Fig. 14-30.

14-43 Aplicar el criterio de Barkhausen para el oscilador sintonizado en drenaje, y comprobar las Ecs. (14-63) y (14-64).

14-44 (*a*) ¿A qué frecuencia oscilará el circuito indicado, si es que oscila?
(*b*) Hallar el mínimo valor de R necesario para sostener las oscilaciones. Los FET son idénticos con g_m = 1,6 mA/V y r_d = 44 K.
Sugerencia: Supóngase una diferencia de potencial V entre la puerta G_1 de $Q1$ y tierra, pero con el punto G' no conectado a la puerta G_1. Calcular la ganancia del lazo del circuito equivalente obtenido observando desde cada fuente.



Prob. 14-44

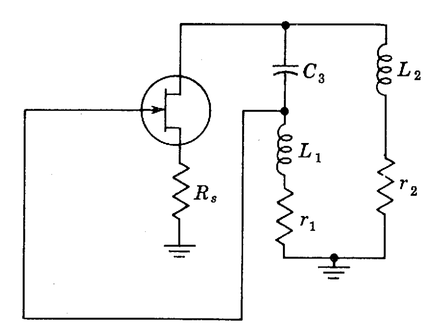
14-45 (*a*) Considerar un oscilador Colpitts, empleando el circuito de la Fig. 14-32 y teniendo en cuenta la resistencia r_3 en serie con la inductancia L_3. Demostrar que la frecuencia de oscilación viene dada por:

$$\omega^2 = \frac{1}{L_3}\left[\frac{1}{C_1} + \frac{1}{C_2}\left(1 + \frac{r_3}{R_o}\right)\right]$$

(*b*) Si $r_3/R_o \ll 1$, demostrar que la ganancia mínima del amplificador necesaria para las oscilaciones, será:

$$A_v = \frac{C_1}{C_2} + \frac{C_2 + C_1}{L_3} R_o r_3$$

14-46 (*a*) Considerar un oscilador Hartley como el del circuito indicado (la polarización y las alimentaciones se han omitido para simplificar). Si las resistencias de las inductancias son r_1 y r_2, respectivamente, hallar la frecuencia de oscilación.
(*b*) Hallar el valor de R_s para el cual el valor de la ganancia del lazo sea precisamente igual a la unidad.



Prob. 14-46

14-47 En el circuito del puente de Wien de la Fig. 14-34, agregar una inductancia en serie con R y C entre los puntos 2 y 3. Reemplazar también la combinación en paralelo de R y de C por una resistencia R_3. Hallar la frecuencia de oscilación y la ganancia mínima del amplificador, si:
(*a*) R_1 es infinita.
(*b*) R_1 es finita.

14-48 (*a*) Comprobar la Ec. (14-75) para la reactancia de un cristal.
(*b*) Probar que la relación de las frecuencias de resonancia en paralelo y serie viene dada aproximadamente por $1 + \frac{1}{2} C/C'$.
(*c*) Si $C = 0{,}04$ pF y $C' = 2{,}0$ pF, ¿en qué porcentaje la frecuencia resonante paralelo es mayor que la frecuencia resonante serie?

14-49 Un cristal tiene los siguientes parámetros: $L = 0{,}33$ H, $C = 0{,}065$ pF, $C' = 1{,}0$ pF y $R = 5{,}5$ K.
(*a*) Hallar la frecuencia resonante serie.
(*b*) ¿En qué porcentaje la frecuencia de resonancia paralelo excede a la frecuencia de resonancia serie?
(*c*) Hallar el Q del cristal.

CAPITULO 15

15-1 Comprobar las Ecs. (15-2) y (15-3).

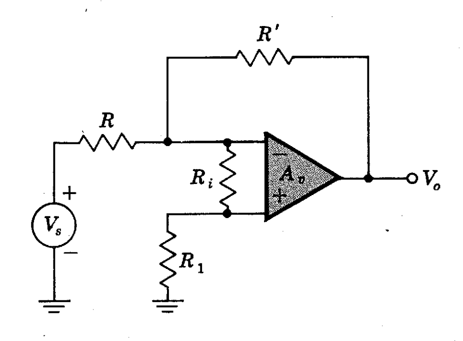
15-2 Hallar una expresión para A_{Vf} de la Fig. 15-3 empleando los conceptos de la realimentación. Demostrar que esta expresión está de acuerdo con la Ec. (15-2) si $A_v \gg R_o Y'$.

15-3 El amplificador indicado emplea un amplificador operacional con resistencia de entrada R_i, ganancia de tensión $A_v < 0$, y resistencia de salida nula. Supóngase también que el amplificador operacional es unidireccional de entrada a salida.
(*a*) Demostrar que el amplificador satisface las tres suposiciones fundamentales de la sección 13-2.
(*b*) Demostrar que la transresistencia del amplificador sin realimentación es:

$$\frac{A_v R_i R R'}{RR' + (R_i + R_1)(R + R')}$$

(*c*) Demostrar que

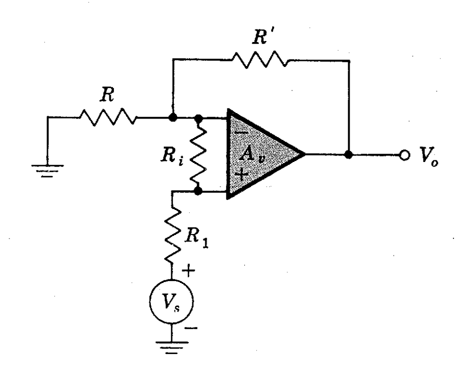
$$A_{Vf} = \frac{V_o}{V_s} = \frac{A_v R_i R'}{RR' + (R_i + R_1)(R + R') - A_v R_i R}$$



Prob. 15-3

15-4 (*a*) Repetir el problema 15-3 para el amplificador no inversor indicado.
(*b*) Demostrar que la ganancia en tensión del amplificador sin realimentación es

$$A_V = \frac{-A_v R_i (R + R')}{(R + R')(R_1 + R_i) + RR'}$$



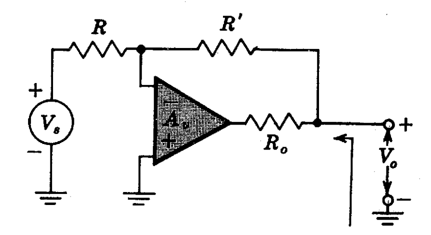
Prob. 15-4

(*c*) Demostrar que

$$A_{Vf} = \frac{-A_v R_i (R + R')}{RR' + (R_i + R_1)(R + R') - A_v R R_i} = \frac{V_o}{V_s}$$

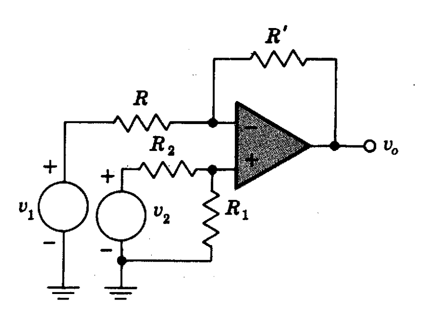
15-5 Para el circuito de este problema, con $R_i = \infty$, demostrar que:

$$Y_{of} = \frac{1}{R_o}\left(1 - A_v \frac{R}{R + R'}\right) + \frac{1}{R + R'}.$$



Prob. 15-5

15-6 El circuito indicado es un amplificador diferencial que emplea un amplificador operacional ideal.
(*a*) Hallar la tensión de salida v_o.
(*b*) Demostrar que la salida correspondiente a la tensión de modo común $v_o = ½ (v_1 + v_2)$ es igual a cero si $R'/R = R_1/R_2$. Hallar v_o en este caso.
(*c*) Hallar la relación de rechazo del modo común del amplificador si $R'/R \neq R_1/R_2$.



Prob. 15-6

15-7 El circuito indicado representa un amplificador de continua realimentado, constituido por un par de entrada diferencial $Q1$ y $Q2$ seguido de dos etapas $Q3$ y $Q4$.
Todos los transistores son idénticos, y sus parámetros son

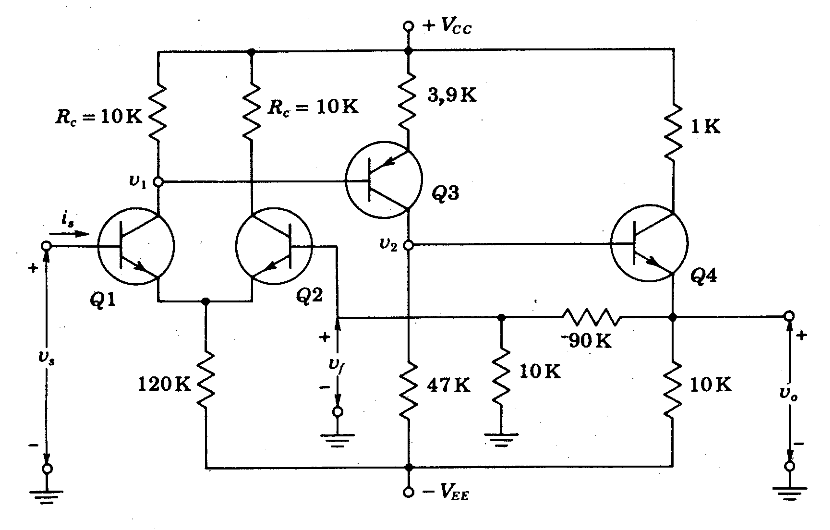
$$h_{ie} = 1\text{ K} \quad h_{oe} = 10\ \mu\Omega^{-1} \quad h_{re} = 2{,}5 \times 10^{-4} \quad h_{fe} = 100$$

Hacer aproximaciones razonables para que resulten errores menores del 10 %. Calcular las siguientes cantidades para bajas frecuencias:

(*a*) La ganancia diferencia A_d y la ganancia de modo común A_c para el amplificador diferencial definido por la ecuación:

$$v_1 = A_d\,(v_f - v_s) + A_c \frac{v_f + v_s}{2}$$

Hágase uso de la simetría del circuito.
(*b*) v_2/v_1, v_o/v_2 y $A = v_o/v_1$. Suponer que $Q2$ no carga la resistencia de 10 K.
(*c*) $A_V = v_o/v_s$. Comparar este resultado con el que se obtiene empleando el factor de realimentación β.



Prob. 15-7

15-8 Para el circuito de la Fig. 15-6, suponer que $R_s = 0$, $h_{oe}(R_c + 2R_e) \ll 1$, $h_{fe} \gg 1$, y $h_{ie} \ll 2R_e h_{fe}$.
(*a*) Comprobar que la relación de rechazo del modo común viene dada por:

$$\rho = \frac{h_{fe} R_e}{h_{ie}}$$

(*b*) Si $r_{bb'} \ll r_{b'e}$, comprobar que $\rho = g_m R_e \approx V/2V_T$, donde V es la tensión de reposo en R_e.

15-9 Dibujar el modelo con parámetros h para la ganancia del modo común de un amplificador diferencial. *Sin* resolver A_c, demostrar a partir del circuito que A_c debe ser cero si $h_{fe}/h_{oe} = 2R_e$ [de acuerdo con la Ec. (15-13)].

15-10 Comprobar las ecuaciones (15-13) y (15-14) para el amplificador diferencial.

15-11 Partiendo de la Ec. (15-13) para A_d, y suponiendo $R_s \ll h_{ie}$ y $r_{bb'} \ll r_{b'e}$, comprobar que:

$$A_d = \frac{1}{2} g_m R_c \quad \text{y} \quad g_{md} = \frac{I_o}{4\,V_T}$$

15-12 (*a*) Demostrar que la característica tensión-corriente del emisor de un transistor en la región activa, viene dada por:

$$I_E \approx I_S \epsilon^{V_E/V_T}$$

donde $I_S = -I_{EO}/(1 - \alpha_N \alpha_I)$.
(*b*) Comprobar la Ec. (15-22) para la característica de transferencia del amplificador diferencial.
(*c*) Verificar la Ec. (15-23) para g_{md}.

15-13 (*a*) Mediante la ecuación (15-22), de la característica de transferencia del amplificador diferencial hallar el margen $\Delta V = \Delta(V_{B1} - V_{B2})$, en el que la corriente de cada colector aumenta desde 0,1 a 0,9 de su valor de pico.
(*b*) Repetir el apartado *a* para una variación de corriente de colector desde el 50 al 99 % de I_o.
(*c*) Comparar los resultados obtenidos con la Fig. 15-9.

15-14 El amplificador diferencial de la Fig. 15-8 se modifica poniendo dos resistencias R_e en serie con el terminal de emisor de $Q1$ y $Q2$.
(*a*) Expresar $V_{B1} - V_{B2}$ en función de $V_{BE1} - V_{BE2}$ e I_{C1}.
(*b*) Hallar la característica de transferencia I_{C1}/I_o en función de $(V_{B1} - V_{B2})/V_T$ si $R_e = 50\ \Omega$ e $I_o = 2$ mA. Resolverlo *gráficamente* empleando la Fig. 15-9 y el apartado *a*.
(*c*) Hallar la transconductancia:

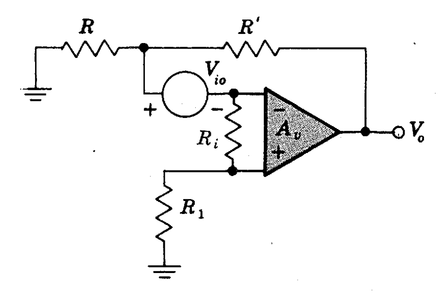
$$g'_{md} = \frac{dI_{C1}}{d(V_{B1} - V_{B2})}$$

evaluada a $V_{B1} = V_{B2}$.
(*d*) Expresar g'_{md} en función de g_{md} dada en la ecuación (15-23).

15-15 (*a*) Calcular la relación de rechazo del modo común ρ_1 para la primera etapa del amplificador operacional de la Fig. 15-11. Suponer $1/h_{oe} = 100$ K y $h_{re} = 2{,}5 \times 10^{-4}$.
(*b*) Calcular ρ_2 para la segunda etapa.
(*c*) ¿Cuál será el ρ total (en decibel)?

15-16 La figura muestra un amplificador operacional inversor con resistencia de entrada R_i y tensión "offset" V_{io}. Demostrar que V_o viene dado por:

$$V_o = \frac{-A_v R_i (R + R')\, V_{io}}{RR' + (R_i + R_1)(R + R') - RR_i A_v}$$



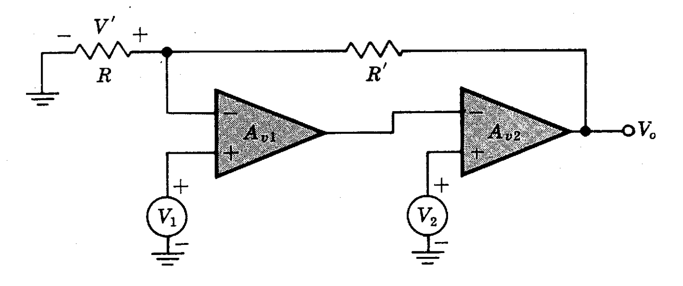
Prob. 15-16

15-17 Para el amplificador indicado, V_1 y V_2 representan tensiones indeseadas. Demostrar que, si $R_i = \infty$, $R_o = 0$, y $A_{v1} < 0$ y $A_{v2} < 0$,

$$V_o = A_{v2}[A_{v1}(V' - V_1) - V_2], \qquad \text{en la que } V' = V_o \frac{R}{R + R'}$$

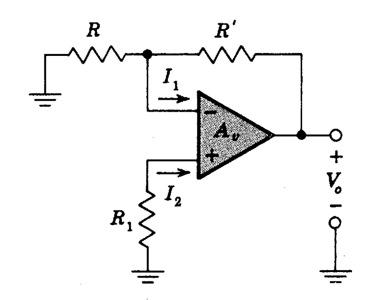
Demostrar también que, si $A_{v2} A_{v1} R/(R + R') \gg 1$,

$$V_o = -\left(1 + \frac{R'}{R}\right)\left(V_1 + \frac{V_2}{A_{v1}}\right)$$



Prob. 15-17

15-18 Considerar el circuito indicado. Se intenta encontrar un valor de R_1 que minimice los efectos de la corriente "offset".
(*a*) Demostrar primero que $V_o = 0$ si $I_1[RR'/(R + R')] = I_2 R_1$. Suponer $|A_v| \gg 1$ y $R' \ll -RA_v$.
(*b*) Concluir que $R_1 = RR'/(R + R')$ es el valor óptimo de R_1 si $I_1/I_2 \approx 1$. Hallar V_o en este caso. Suponer $R_o = 0$.



Prob. 15-18

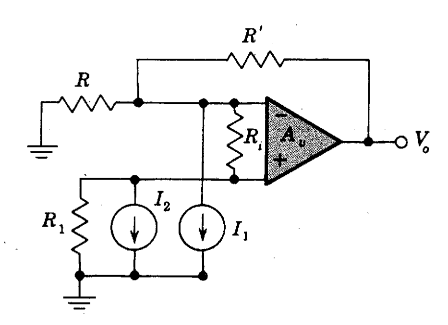
15-19 (*a*) Para el simplificador indicado (con $R_o = 0$), demostrar que:
(i) la tensión de salida V_{o1} debida a la corriente de polarización I_1 es:

$$V_{o1} = \frac{-R'RR_iA_v}{(R_i + R_1)(R' + R) + RR' - A_v RR_i} I_1$$

(ii) La tensión de salida V_{o2} debida a la corriente de polarización I_2 es:

$$V_{o2} = \frac{R_i R_1 (R + R')A_v}{(R + R')(R_1 + R_i) - A_v R R_i + RR'} I_2$$

(*b*) Demostrar que, si $I_1/I_2 \approx 1$, entonces $V_{o1} + V_{o2}$ se minimiza tomando $R_1 = RR'/(R + R')$.



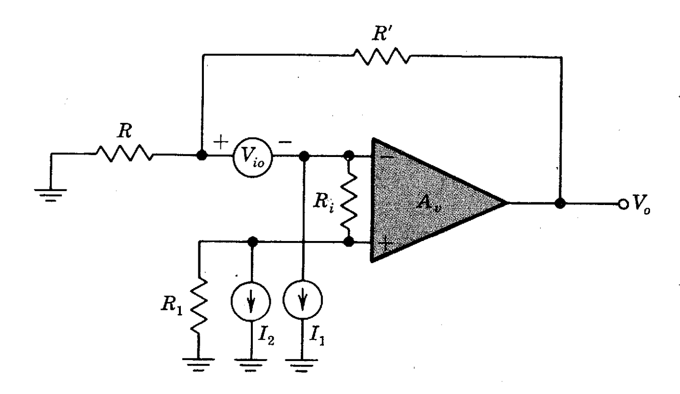
Prob. 15-19

15-20 (*a*) Demostrar que la ganancia A_{VfI} del amplificador operacional inversor y la A_{VfNI} del no inversor satisfacen (suponiendo $R_o = 0$):

$$\frac{A_{VfI}}{A_{VfNI}} = -\frac{R'}{R + R'}$$

Sugerencia: Emplear los resultados de los problemas 15-3 y 15-4.
(*b*) Empleando (*a*), demostrar que las corrientes de polarización de entrada I_1 e I_2 y la tensión offset de entrada V_{io}, provocan una tensión efectiva de error de entrada V_{EI} en el terminal inversor igual a:

$$V_{EI} = -I_1 R + \frac{R + R'}{R'} R_1 I_2 - V_{io} \frac{R + R'}{R'}$$



Prob. 15-20

(*c*) Dibujar la curva $V_{EI} = f(R')$ para $R_1 = RR'/(R + R')$, $R = 1$ K, y los valores típicos de V_{io} e $I_2 - I_1$ (Tabla 15-1).

15-21 (*a*) Repetir el apartado *b* del problema 15-20 y demostrar que las señales offset de entrada producen en el terminal no inversor una tensión efectiva de error de entrada V_{EN1} igual a:

$$V_{EN1} = V_{io} - R_1 I_2 + I_1 \frac{RR'}{R + R'}$$

(*b*) Repetir el apartado *c* del Prob. 15-20.

15-22 Consideremos el amplificador operacional inversor del Prob. 15-20 con una ganancia infinita en lazo abierto y con una variación de tensión de salida de ± 4,5 V.
(*a*) Dibujar la tensión de salida debida a V_{io} en función de R'/R.
(*b*) Dibujar la tensión de salida debida a las corrientes de polarización I_1 e I_2 en función de R', (i) si $R_1 = RR'/(R + R')$, (ii) si $R_1 = 0$. Emplear los valores típicos de las señales offset.
Sugerencia: Emplear los resultados del probl. 15-20.

15-23 La tensión offset de entrada V_{io} de un amplificador operacional, es igual a 1 mV a 25 °C. La variación de dicha tensión en este amplificador es igual a 5 μV/°C. Supongamos que la ganancia de tensión en cadena abierta sea infinita. Empleando el Prob. 15-16, hallar la tensión offset de salida a la temperatura de $T = 100$ °C si (i) $R'/R = 1$, (ii) $R'/R = 100$. ¿A qué temperatura la tensión offset de salida es igual a 0,2 V, si $R'/R = 200$?

15-24 (*a*) Dibujar para el amplificador operacional inversor, con $R_i = \infty$, el modelo del amplificador sin realimentación, pero teniendo en cuenta la carga R' (Secc. 13-7). Referirse a la Fig. 15-2 con $Z = R$ y $Z' = R'$.
(*b*) Comprobar que $\beta = -1/R'$ y $R_M = A_V R_{11}$, donde $R_{11} = R \| R'$.
(*c*) Comprobar que:

$$A_{Vf} = \frac{R_{Mf}}{R} = \frac{R_M/R}{1 + \beta R_M}$$

y demostrar que esta expresión se reduce a la Ec. (15-35).

15-25 (*a*) Para el amplificador operacional no inversor de la Fig. 15-4, con $R_i = \infty$, dibujar el modelo del amplificador sin realimentación, pero teniendo en cuenta la carga R'.
(*b*) Comprobar que $\beta = R/(R + R')$.
(*c*) Hallar A_{Vf}.

15-26 Sin emplear los conceptos de amplificadores realimentados, comprobar que A_{Vf}, para el amplificador operacional inversor del Prob. 15-24, viene dado por la Ec. (15-35).

15-27 Sin emplear los conceptos de la realimentación, comprobar que A_{Vf}, para el amplificador operacional no inversor del problema 15-25, se expresa en la Ec. (15-38).

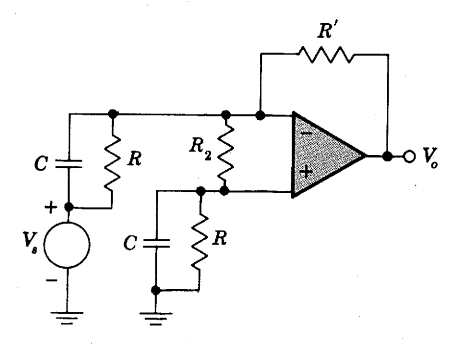
15-28 (*a*) La función de transferencia de un amplificador operacional tiene el primer polo a 1 MHz y una ganancia a baja frecuencia de 44 dB. Se emplea una compensación por polo dominante, y la ganancia del amplificador compensado es de cero dB a la frecuencia de 1 MHz. Hallar el valor de f_d del polo dominante.
(*b*) Repetir (*a*) si la ganancia a baja frecuencia es de 68 dB.

15-29 (*a*) En la Fig. 15-11 hallar la resistencia de R_i vista entre las patillas 9 y 10. Suponer que $1/h_{oe} = 100$ K y $h_{re} = 0$.
(*b*) Se conecta entre las patillas 9 y 10 un condensador C_1. ¿Para qué valor de C_1 el primer polo en el amplificador compensado es igual a (i) $f_d = 200$ Hz, (ii) $f_d =$ 1 kHz?

15-30 (*a*) Comprobar la Ec. (15-41).
(*b*) Dibujar en la misma figura las siguientes curvas de Bode:
(i) Ganancia de tensión en circuito abierto del amplificador sin compensación.
(ii) Ganancia de tensión en circuito abierto del amplificador si se obtiene la anulación de un polo con un cero, empleando la Ec. (15-41).
En (i), se supone que el amplificador tiene tres polos.

15-31 En el problema 15-30, la función de transferencia del amplificador sin compensación tiene tres polos a 1, 4 y 40 MHz, y una ganancia en cadena abierta a bajas frecuencias de 72 dB.
(*a*) Hallar R_c y C_c en función de R_1, R,R', si la ganancia del amplificador compensado es cero dB a la frecuencia de 4 MHz.
(*b*) Hallar R_c y C_c si $R_1 = RR'/(R + R')$, $R = 1$ K, y $R' \gg R$. Hallar también la anchura de banda del amplificador compensado sin realimentación.

15-32 (*a*) Demostrar que la cancelación de un polo-cero puede hacerse mediante el circuito de entrada de la figura. Empléese el resultado del problema 15-3(*b*) y supóngase que $R_i = \infty$.
(*b*) Dibujar las curvas de Bode de la ganancia en cadena abierta del amplificador compensado y descompensado. Supóngase que el amplificador operacional tiene tres polos y que $R_2 \ll R$.



Prob. 15-32

15-33 Comprobar todas las ecuaciones de la Sec. 15-11, relativas a la compensación por polo-cero empleando la técnica del efecto Miller.

15-34 Comprobar la Ec. (15-50) para el factor A introducido por causa de C' en la Fig. 15-24.

15-35 La relación de variación de un amplificador operacional es de 6 V/μs cuando la ganancia en cadena cerrada es la unidad. Se observa que la señal de salida del amplificador es una senoide pura $v_o = V_m \cos \omega t$, siempre y cuando la frecuencia de esta señal no exceda cierto límite. Hallar el valor de esta frecuencia límite antes de que la señal de salida esté distorsionada por el límite de la relación de variación si (*a*) $V_m = 1$ V, (*b*) $V_m = 10$ V.

CAPITULO 16

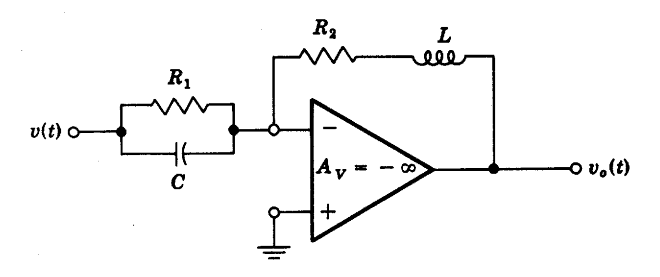
16-1 Diseñar el circuito de la Fig. 16-1 de tal manera que la salida V_o (para una señal senoidal) sea igual en valor a la entrada V_s y defasada de ella 45° en adelanto.

16-2 Consideremos el circuito de la figura 16-1 con $A_V = -100$. Si $Z = R$ y $Z' = -jX_C$ con $R = X_C$ a una frecuencia específica f, calcular la ganancia V_o/V_s como un número complejo.

16-3 Dado el circuito de amplificador operacional de la Fig. 16-1, que consiste en una R en serie con una L para Z, y C para Z' si la tensión de entrada es una constante $v_s = V$, hallar la salida v_o en función del tiempo. Suponer que la ganancia en cadena abierta es infinita.

16-4 Para el circuito dado, demostrar que la tensión de salida es

$$-v_o = \frac{R_2}{R_1} v + \left(R_2 C + \frac{L}{R_1}\right) \frac{dv}{dt} + LC \frac{d^2 v}{dt^2}$$



Prob. 16-4

16-5 Considérese el circuito del amplificador operacional de la Fig. 16-1 con una Z formada por una resistencia R en paralelo con un condensador C, y una Z' consistente en una resistencia R'. La entrada es una tensión de barrido $v = \alpha t$. Demostrar que la tensión de salida v_o es una tensión de barrido que empieza con un escalón inicial. Es decir, probar que:

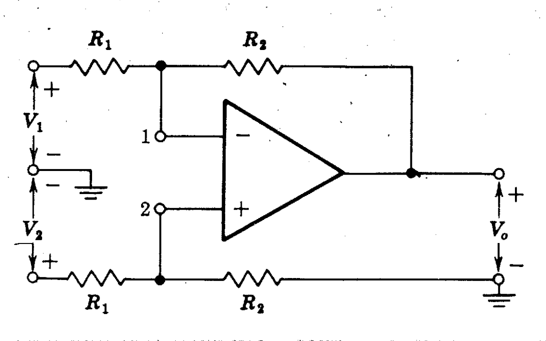
$$v_o = -\alpha R'C - \alpha \frac{R'}{R} t$$

Supóngase infinita la ganancia en cadena abierta.

16-6 Considerar el circuito de amplificador operacional de la Fig. 16-1 con una Z que consiste en una resistencia de 100 K y una Z' que es una combinación en serie de una resistencia de 50 K con un condensador de 0,001 μF. Si el condensador está inicialmente descargado, y si en el instante $t = 0$ se aplica la tensión de entrada $v_s = 10\, \epsilon^{-t/\tau}$ siendo $\tau = 5 \times 10^{-4}$ seg, hallar $v_o(t)$.

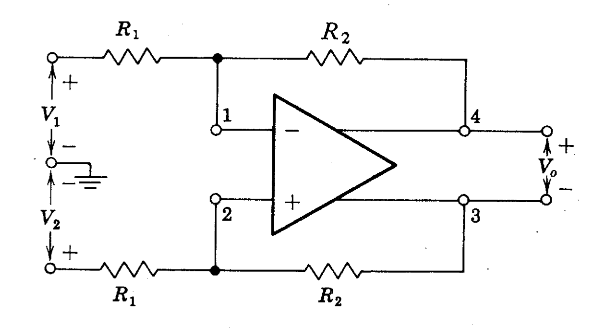
16-7 En la Fig. 16-3*b*, demostrar que i_L es igual a $-v_s/R_2$ si $R_3/R_2 = R'/R_1$.

16-8 El amplificador operacional con entrada diferencial indicado, consiste en un amplificador base de ganancia infinita. Demostrar que $V_o = (R_2/R_1)(V_2 - V_1)$.



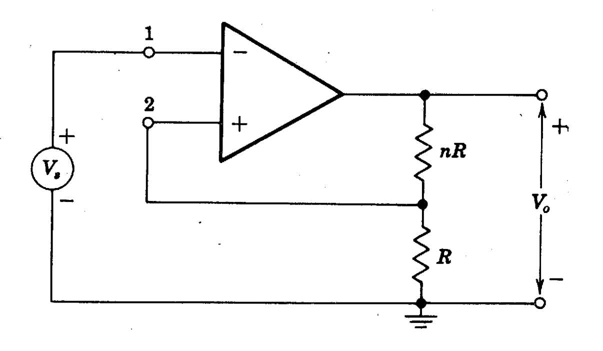
Prob. 16-8

16-9 Repetir el problema 16-8 para el amplificador indicado.



Prob. 16-9

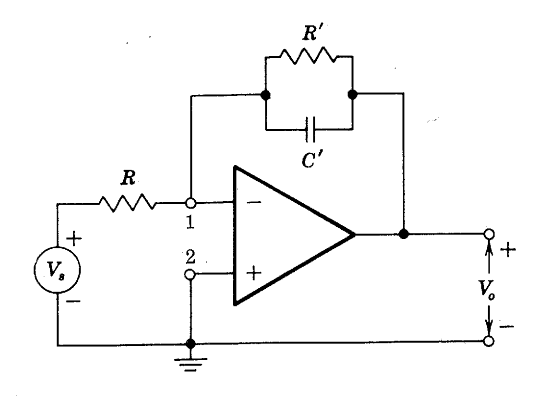
16-10 Para el amplificador de entrada diferencial básico, de la figura, suponer una resistencia de entrada infinita, una resistencia de salida cero, y una ganancia diferencial finita: $A_V = V_o/(V_1 - V_2)$.
(a) Obtener una expresión para la ganancia $A_{Vf} = V_o/V_s$.
(b) Demostrar que el límite $A_{Vf} = n + 1, A_V \to \infty$.



Prob. 16-10

16-11 Comprobar la Ec. (16-6) para el amplificador puente.

16-12 El circuito indicado representa un amplificador de paso bajo acoplado en continua. Suponiendo un amplificador operacional ideal, determinar
(a) El punto f_H de la frecuencia superior de 3 dB.
(b) La ganancia a baja frecuencia $A_V = V_o/V_s$.



Prob. 16-12

16-13 (a) La entrada del integrador operacional de la Fig. 16-10 es un escalón de tensión de valor V. Demostrar que la salida es:

$$v_o = A_V V(1 - \epsilon^{-t/RC(1 - A_V)})$$

(b) Comparar este resultado con la salida obtenida si el escalón de tensión se introduce en una simple red de integración RC (sin el empleo de un amplificador operacional). Demostrar que, para valores elevados de RC, ambas soluciones representan una tensión que varía aproximadamente en forma lineal con el tiempo. Comprobar que, si $-A_V \gg 1$, la pendiente de la rampa de salida es aproximadamente la misma para ambos circuitos. Probar también que la desviación de la linealidad para el circuito amplificador es $1/(1 - A_V)$ veces la del circuito simple RC.

16-14 Obtener la Ec. (16-13).

16-15 (a) La entrada a un diferenciador operacional cuya ganancia en cadena abierta $A_V \equiv A$ es infinita, es una rampa de tensión $v = \alpha t$. Demostrar que la salida es:

$$v_o = \frac{A}{1 - A} \alpha RC\,(1 - \epsilon^{-t(1-A)/RC})$$

(b) Comparar este resultado con el que se obtendría si la misma entrada se introdujera en una red diferenciadora simple RC (sin el empleo del amplificador). Demostrar que, aproximadamente, se obtiene la misma salida final constante $RC dv/dt$. Demostrar también que la salida del amplificador operacional alcanza el valor correcto de la entrada diferenciada con rapidez mucho mayor que en el circuito simple RC.

16-16 Tenemos un amplificador operacional con Z formado por R en serie con C, y Z' por R' en paralelo con C'. La entrada es un escalón de tensión de valor V.

(*a*) Demostrar por argumentos cualitativos que la tensión de salida debe empezar a partir de cero, alcanzar un máximo, y volver a caer a cero.
(*b*) Demostrar que, si $R'C' \neq RC$, la salida viene dada por

$$v_o = \frac{R'CV}{R'C' - RC}(\epsilon^{-t/RC} - \epsilon^{-t/R'C'})$$

16-17 Esbozar un circuito amplificador operacional que tenga una entrada v y una salida aproximadamente $-5v - 3\,dv/dt$. Suponer un amplificador operacional ideal.

16-18 Esbozar en diagrama de bloques empleando amplificadores operacionales, un calculador, para resolver la ecuación diferencial:

$$\frac{dv}{dt} + 0{,}5v + 0{,}1 \text{ sen } \omega t = 0$$

Se dispone de un oscilador que da una señal sen ωt. Emplear solamente resistencias y condensadores.

16-19 Dibujar un calculador en forma de diagrama de bloques, empleando amplificadores operacionales, para resolver la siguiente ecuación diferencial:

$$\frac{d^3y}{dt^3} + 2\frac{d^2y}{dt^2} - 4\frac{dy}{dt} + 2y = x\,(t)$$

en la que

$$y\,(0) = 0 \qquad \left.\frac{dy}{dt}\right|_{t=0} = -2 \quad \text{y} \quad \left.\frac{d^2y}{dt^2}\right|_{t=0} = 3$$

Suponer que se dispone de un generador que nos da una señal $x(t)$.

16-20 (*a*) Comprobar que el factor de amortiguación de cada par de polos complejos de un filtro pasa bajos de Butterworth viene dado por $k = \cos\theta$, en cuya igualdad θ se define en la Fig. 16-17.
(*b*) Definir un factor de amortiguación k para un solo polo a $s = -1$, en concordancia con la Ec. (16-23).

16-21 Comprobar las entradas de la Tabla 16-1 para $n = 3$, empleando la Fig. 16-17*b*.

16-22 Empleando la Ec. (16-22), demostrar que la función de transferencia de un filtro pasa bajos de Butterworth de segundo orden satisface la Ec. (16-19).

16-23 Emplear el valor de $B_2(s)$ de la Tabla 16-1 y comprobar que

$$\left. B_2(s)\, B_2(-s)\right|_{s=j\omega} = 1 + \omega^4$$

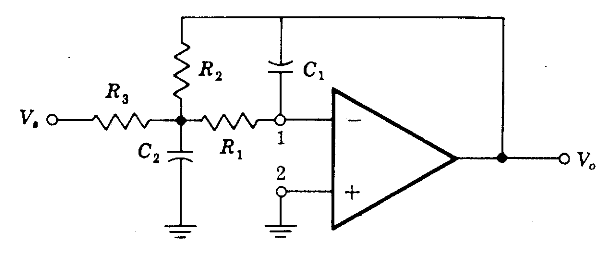
16-24 Emplear el valor de $B_3(s)$ de la Tabla 16-1 y comprobar que:

$$\left. B_3(+s)\, B_3(-s)\right|_{s=j\omega} = 1 + \omega^6$$

16-25 Demostrar que la ganancia de tensión $A_V(s) = V_o/V_s$ en la Fig. 16-18*a* viene dada por la ecuación (16-24).

16-26 Diseñar un filtro pasa bajos de Butterworth de sexto orden con una frecuencia de corte (frecuencia superior de 3 db) de 1 KHz.

16-27 El circuito indicado usa un amplificador operacional ideal.
(*a*) Hallar la ganancia de tensión $A_V = V_o/V_s$, el factor de amortiguación k y la frecuencia de corte ω_o.
(*b*) Empleando este circuito, diseñar un filtro pasa bajos de Butterworth de segundo orden con $f_o = 1$ KHz y ganancia de tensión a bajas frecuencias igual a -1.



Prob. 16-27

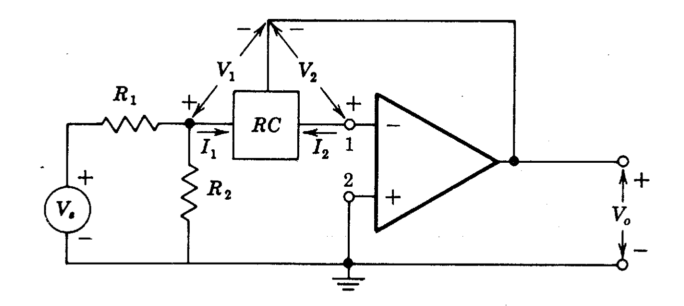
16-28 Definir los parámetros z de la figura mediante las siguientes relaciones:

$$V_1 = z_{11}I_1 + z_{12}I_2$$
$$V_2 = z_{21}I_1 + z_{22}I_2$$

Para el circuito indicado, probar que la ganancia de tensión $A_V = V_o/V_s$ viene dada por:

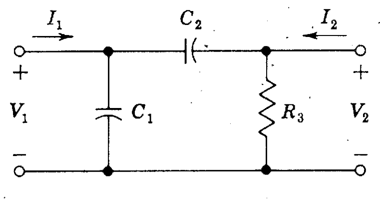
$$\frac{V_o}{V_s} = -\frac{R_2 z_{21}}{(R_1 + R_2)(z_{11} - z_{21}) + R_1R_2}$$

donde z_{11} y z_{21} son los parámetros z de la red RC.



Prob. 16-28

16-29 La red indicada es la red RC del problema 16-28.
(*a*) Hallar los parámetros z_{11} y z_{21} de esta red.
(*b*) Hallar la ganancia de tensión V_o/V_s del amplificador del problema 16-28 si se emplea esta red RC.



Prob. 16-29

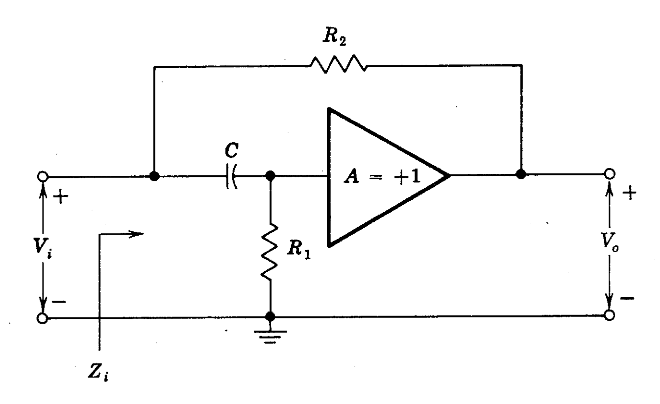
16-30 Diseñar un filtro activo pasa banda de segundo orden que tenga una ganancia de tensión en mitad de la banda de 40 dB, frecuencia central de 100 Hz, y una anchura de banda sin especificar. El circuito debe proveer por lo menos 20 dB de rechazo por década desde el centro de frecuencias y tener un desfase de ± 10°, como máximo, para un cambio del 10 % desde el centro de frecuencias. *Sugerencia:* Emplear la Fig. 16-22 para hallar Q y hacer $R_2 = \infty$, $R_1 = 1$ K.

16-31 Diseñar un filtro activo pasa banda RC con una ganancia de tensión 30 en mitad de la banda, una frecuencia central de 200 Hz, y $Q = 5$. *Sugerencia:* Elegir $C_1 = C_2 =$ 0,1 μF.

16-32 Diseñar el filtro pasa banda resonante RLC de la Fig. 16-21 con $f_o = 160$ Hz, anchura de banda de 3 dB $B = 16$ Hz, y una resistencia de entrada mínima vista desde la fuente de tensión V_s de 1 000 Ω. ¿Es este un circuito práctico?

16-33 Comprobar la Ec. (16-50) para la función de transferencia del igualador de retraso de la Fig. 16-24*a*.

16-34 (*a*) Demostrar que el circuito de la figura que se acompaña puede simular una inductancia a tierra si $R_1 > R_2$. En otras palabras, demostrar que la parte reactiva de la impedancia de entrada de este circuito es positiva si $R_1 > R_2$.
(*b*) Hallar el margen de frecuencias en el que $Q = \omega L/R$ de la inductancia es mayor que la unidad.
Suponer que el amplificador de ganancia unidad tiene una resistencia de entrada infinita, y una resistencia de salida cero.



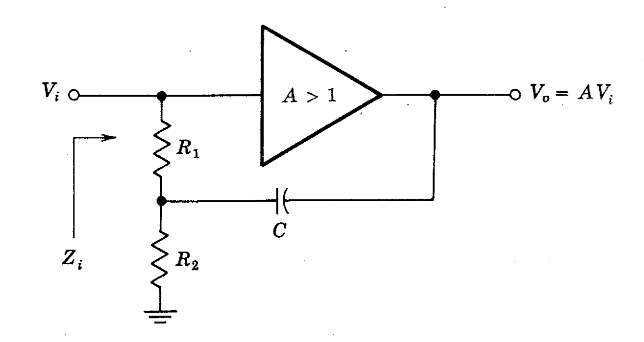
Prob. 16-34

16-35 (*a*) Demostrar que el circuito dado en la figura puede simular una inductancia a tierra si $A > 1$. En otras palabras, demostrar que la parte reactiva de Z_i es positiva.

(*b*) Demostrar que la parte real de Z_i pasa a ser cero ($Q = \infty$) a la frecuencia:

$$\omega = \frac{1}{R_2 C} \sqrt{\frac{R_1 + R_2}{R_1(A - 1)}}$$

Suponer que la resistencia de entrada del amplificador de ganancia A es infinita.



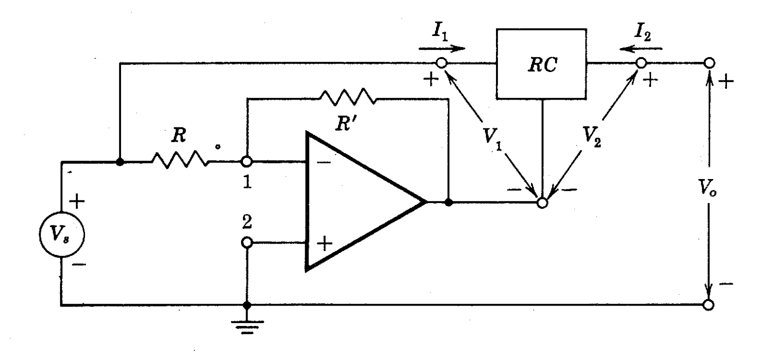
Prob. 16-35

16-36 Empleando la Fig. 16-27*b*, obtener las ecuaciones (16-54) y (16-55).

16-37 Utilizando la Fig. 16-27*b*, obtener las ecuaciones (16-57) y (16-58).

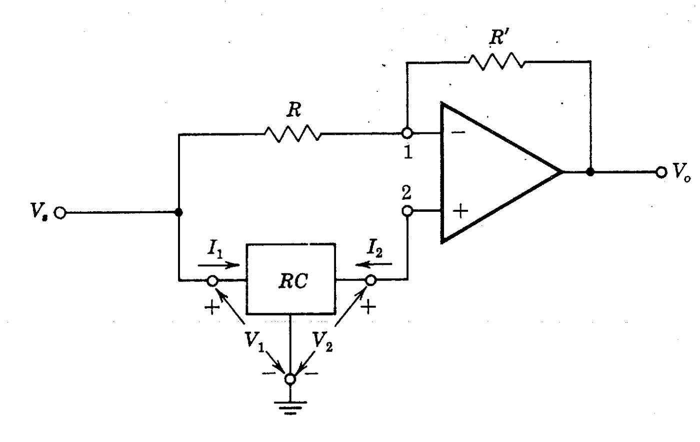
16-38 La figura representa un circuito que emplea un amplificador operacional ideal y un cuadripolo RC. La red RC se define en función de sus parámetros y (Sec. 16-9). Demostrar que la ganancia de tensión $A_V = V_o/V_s$ viene dada por:

$$A_V = \frac{V_o}{V_s} = -\frac{y_{21}(1 + k) + ky_{22}}{y_{22}} \quad \text{donde } k = \frac{R'}{R}$$



Prob. 16-38

16-39 Repetir el Prob. 16-38 para el circuito indicado. Demostrar que la expresión para $A_V = V_o/V_s$ es la misma que en el problema 16-38.



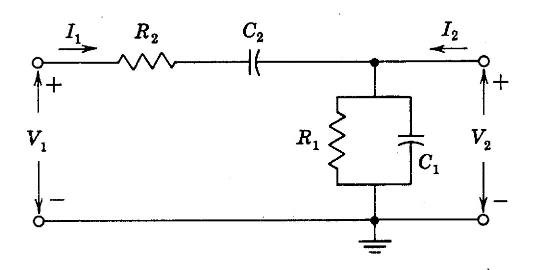
Prob. 16-39

16-40 En los problemas 16-38 y 16-39, se emplea el cuadripolo RC indicado.
(a) Hallar los parámetros y_{21} e y_{22} de este cuadripolo. (b) Demostrar que si:

$$\frac{1}{k} = 2\left(\frac{R_2}{R_1} + \frac{C_1}{C_2}\right) + 1,$$

entonces los dos circuitos son igualadores de retardo con una función de transferencia:

$$A_V = \frac{V_o}{V_s} = A_{Vo}\frac{(s - s_1)(s - s_2)}{(s + s_1)(s + s_2)}$$



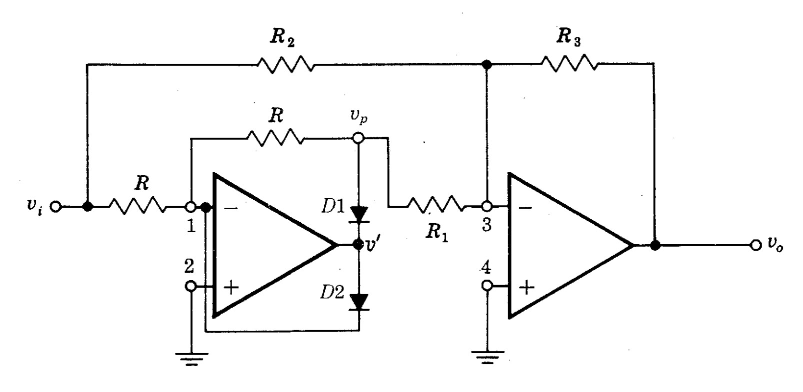
Prob. 16-40

16-41 Empleando la curva de la Fig. 16-31 y suponiendo $V_{AGC} = 3{,}5$ V, con una señal de modulación de audio de 1,5 V de pico a pico, calcular el factor de modulación:

$$k = \frac{V_{o,\max} - V_{o,\min}}{V_{o,\max}}$$

16-42 Obtener la Ec. (16-59) para la ganancia de un amplificador de video cascodo.

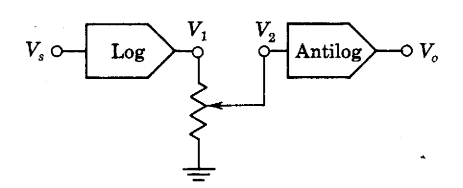
16-43 (a) Comprobar que el circuito indicado corresponde a un rectificador de onda completa, siempre que $R_2 = 2R_1$.
(b) ¿Cuál es el valor de pico de la salida rectificada?
(c) Dibujar cuidadosamente la forma de onda $v_i = 10$ sen ωt, v_p y v_o si $R_3 = 2R_1$.



Prob. 16-43

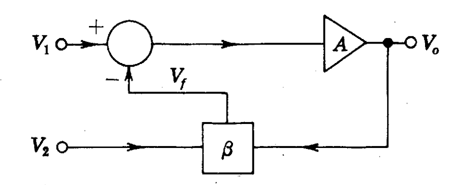
16-44 Si una onda tiene un pico positivo de valor V_1 y un pico negativo de valor V_2, dibujar un circuito, empleando dos detectores de pico, cuya salida sea igual al valor de pico a pico $V_1 - V_2$.

16-45 Demostrar que el circuito dado se puede emplear para elevar la entrada V_s a una potencia arbitraria. Suponer $V_1 = K_1 \ln K_2 V_s$, $V_o = K_3 \ln^{-1} K_4 V_2$, $V_2 = \alpha V_1$.



Prob. 16-45

16-46 Para el circuito realimentado indicado, la red de realimentación no lineal β da una salida proporcional al producto de las dos entradas a esta red, o sea $V_f = \beta V_2 V_o$. Probar que si $A = \infty$, entonces $V_o = KV_1/V_2$, donde K es una constante.



Prob. 16-46

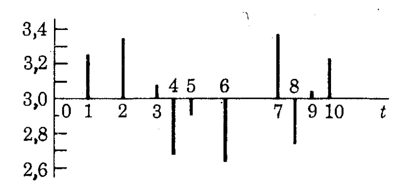
16-47 (a) Con los resultados del Prob. 16-46, dibujar el diagrama de bloques de un sistema adecuado para obtener la raíz cuadrada de la tensión V_s.
(b) ¿Cuál debería ser el valor de β si se requiere que $V_o = \sqrt{V_s}$?

16-48 (*a*) Comprobar la Ec. (16-78) para la anchura de los impulsos de un multivibrador monoestable.
(*b*) Si $V_z \gg V_1$ y $\beta = 1/2$, ¿qué será T?

16-49 Comprobar la Ec. (16-84) para la frecuencia de una onda triangular.

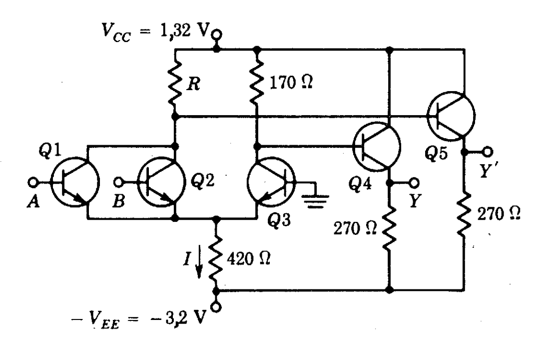
16-50 El disparador de Schmitt de la Fig. 16-47 se modifica incluyendo dos diodos limitadores zener en la salida, como en la Fig. 16-45*a*. Si $V_z = 4$ V y $A_v = 5\,000$ y si los niveles de umbral deseado son $6 \pm 0{,}5$ V, hallar (*a*) R_2/R_1, (*b*) la ganancia del lazo, y (*c*) V_R. (*d*) ¿Será posible fijar la tensión umbral a un valor negativo? (*e*) En el apartado (*a*) se obtiene la relación de R_2 a R_1. ¿Qué condiciones físicas determinarán la elección de las resistencias individuales?

16-51 La entrada v_i de un disparador de Schmitt está constituida por la serie de impulsos indicados. Dibujar v_o en función del tiempo. Suponer $V_1 = 3{,}2$ V, $V_2 = 2{,}8$ V y $v_o = +5$ V a $t = 0$.



Prob. 16-51

16-52 (*a*) Calcular los niveles lógicos de la salida Y de la puerta lógica acoplada por emisor (ECL) de la Texas Instruments indicada. Suponer que $V_{BE,\text{activa}} = 0{,}7$ V. Para hallar la caída en un seguidor de emisor cuando se comporte como un diodo, suponer un diodo modelo linealizado con $V_\gamma = 0{,}6$ y $R_f = 20\ \Omega$.
(*b*) Hallar el margen de ruido cuando la salida Y esté en $V(0)$ y en $V(1)$.
(*c*) Comprobar que ninguno de los transistores alcanza la saturación.
(*d*) Calcular R para que $Y' = \bar{Y}$.
(*e*) Hallar la potencia media consumida de la fuente de alimentación.



Prob. 16-52

16-53 Comprobar que, si las salidas de dos (o más) puertas *ECL* están unidas como en la Fig. 16-51, se satisface una función O.

16-54 (*a*) Para el sistema de la Fig. 16-51, obtener una expresión de Y que contenga tres términos.

(*b*) Si en la Fig. 16-51, $\bar{Y}_1$ e $\bar{Y}_2$ están unidas, comprobar que la salida es $Y = \bar{A}\bar{B} + \bar{C}\bar{D}$.
(*c*) Si en la Fig. 16-51 Y_1 e Y_2 están unidas y si la entrada de la puerta *ECL* inferior es $\bar{C}$ y $\bar{D}$ (en lugar de C y D), ¿cuál es Y?

CAPITULO 17

17-1 Indicar cómo se puede obtener S_n de la Ec. (17-1) con puertas Y, O y NO.

17-2 Comprobar que la suma S_n en la Ec. (17-1) para un sumador completo puede ponerse en la forma

$$S_n = A_n \oplus B_n \oplus C_{n-1}$$

17-3 (*a*) Por conveniencia, hacer $A_n = A$, $B_n = B$, $C_{n-1} = C$ y $C_n = C^1$. Empleando la Ec. (17-4) para C^1, comprobar la Ec. (17-5) con la ayuda de las identidades de Boole de la Tabla 6-4; en otras palabras, probar que:

$$\bar{C}^1 = \bar{B}\bar{C} + \bar{C}\bar{A} + \bar{A}\bar{B}$$

(*b*) Calcular $D \equiv (A + B + C)\bar{C}^1$ y probar que, en la Ec. (17-1), S_n viene dado por:

$$S_n = D + ABC$$

17-4 (*a*) Comprobar que una puerta EXCLUSIVA-O es una unidad verdadera complementaria.
(*b*) Una entrada es A, la otra entrada (control) es C, y la salida es Y. ¿Y será igual a A para $C = 1$, o para $C = 0$?

17-5 Para el sistema indicado en la Fig. 17-11*a*, comprobar la tabla de la verdad de la Fig. 17-11*b*.

17-6 (*a*) Construir la tabla de la verdad para un semirrestador binario A menos B (correspondiente al semisumador de la Fig. 17-3). En lugar del arrastre C, introducir el *auxiliar P*.
(*b*) Comprobar que el dígito D se satisface con una puerta EXCLUSIVA-O y que P sigue la lógica "B pero no A".

17-7 Considerar un comparador de 8 bit. Justificar las conexiones $C' = C_L$, $D' = D_L$ y $E' = E_L$ para el chip que manipula los bit más significativos. *Sugerencia:* Sumar cuatro a cada subíndice de la Fig. 17-14. Extender la Ec. (17-12) para E y la Ec. (17-13) para C, para tener en cuenta los 8 bit.

17-8 (*a*) Por medio de la tabla de la verdad, comprobar la identidad de Boole:

$$Y = (A \oplus B) \oplus C = A \oplus (B \oplus C)$$

(*b*) Comprobar que $Y = 1(0)$ si un número impar (par) de variables es igual a 1. Este resultado *no* está limitado a tres entradas, sino que es verdadero para cualquier número de entradas. Esto se emplea en la Sec. 17-3 para construir un comprobador de paridad.

17-9 Construir la tabla de la verdad de la EXCLUSIVA-O de la Fig. 17-15 para todas las entradas posibles de A, B, C y D. Incluir $A \oplus B$ y $C \oplus D$, así como la salida Z. Comprobar que $Z = 1$ (0) para paridad impar (par).

17-10 (*a*) Dibujar el diagrama de un circuito lógico para un comprobador generador de paridad de 8 bit.
(*b*) Comprobar que la salida es 0(1) para paridad impar (par).

17-11 (*a*) Comprobar que si $P' = 1$ en la Fig. 17-15, este sistema es un comprobador de paridad par. En otras palabras demostrar que con $P' = 1$ la salida es $P = 0(1)$ para paridad par (impar) de las entradas A, B, C y D.
(*b*) Comprobar también que P genera el bit correcto de paridad par.

17-12 (*a*) Indicar un comprobador de paridad de ocho bit como un bloque con 8 bit de entrada (designados colectivamente A_1), una salida P_1, y una entrada de control P'_1. Consideremos una segunda unidad de 8 bit con entradas A_2, salida P_2 y control P'_2. Demostrar cómo colocar en cascada los dos bloques para obtener un comprobador de paridad impar para una información de 16 bit. Comprobar que el sistema funciona adecuadamente si $P'_1 = 1$. Considerar las cuatro combinaciones posibles de paridad de A_1 y A_2.
(*b*) Demostrar cómo conectar en cascada tres unidades para obtener la paridad de una información de 24 bit. ¿P'_1 deberá ser igual a 0 o a 1 para paridad impar?
(*c*) Indicar cómo conectar varias unidades en cascada para obtener la paridad de una información de 10 bit.

17-13 Dibujar un diagrama lógico de un decodificador de 4 a 10 líneas empleando puertas O en lugar de puertas Y.

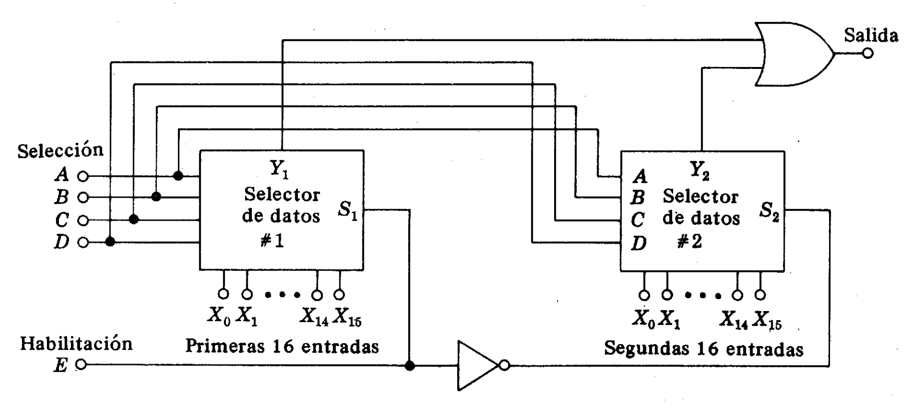
17-14 Dibujar un diagrama lógico de decodificador de 3 a 8 líneas.

17-15 Explicar cómo se convierte una unidad decodificadora de 4 a 10 líneas en un decodificador de 3 a 8 líneas.

17-16 Dibujar el diagrama lógico de un multiplexor de 8 a 1 líneas.

17-17 Escribir la expresión de Boole para la salida Y de un multiplexor de 4 a 1 línea con una entrada de habilitación (Fig. 17-20).

17-18 El diagrama de bloques indica dos selectores de datos que se emplean para elegir una de entre 32 entradas de datos. Explicar el funcionamiento de este sistema.



Prob. 17-18

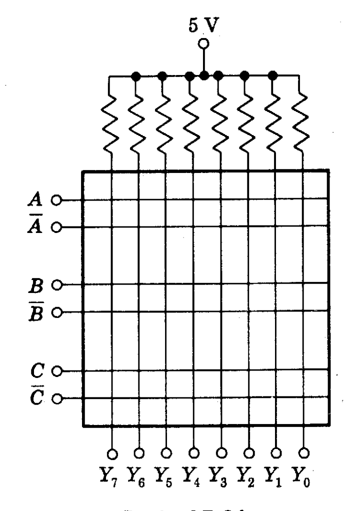
17-19 Diseñar un codificador que satisfaga la siguiente tabla de la verdad, empleando una matriz de diodos:

Entradas				Salidas			
W_3	W_2	W_1	W_0	Y_3	Y_2	Y_1	Y_0
0	0	0	1	0	1	1	1
0	0	1	0	1	1	0	0
0	1	0	0	1	1	0	1
1	0	0	0	0	0	1	0

17-20 (*a*) Empleando transistores con emisores múltiples, diseñar un codificador que satisfaga la siguiente tabla de la verdad. (*b*) ¿Cuántos transistores se necesitan y cuántos emisores son precisos en cada transistor?

Entradas			Salidas				
W_2	W_1	W_0	Y_4	Y_3	Y_2	Y_1	Y_0
0	0	1	1	1	0	1	0
0	1	0	1	0	0	0	1
1	0	0	0	1	1	1	1

17-21 Se indica en un diagrama de bloques una matriz decodificadora de tres entradas (A, B y C) y ocho salidas (Y_o a Y_7). El bit Y_6 debe ser 1 (5 V) si el código de entrada es 110 correspondiente al decimal 6. (*a*) Indicar cómo se deben conectar los diodos a la línea Y_6. (*b*) Repetirlo para Y_0, Y_1 e Y_7.



Prob. 17-21

17-22 (*a*) Escribir las expresiones para Y_1 e Y_3 en el convertidor de código binario a Gray.
(*b*) Indicar cómo se obtiene con diodos la relación para Y_1.

17-23 (*a*) Determinar las relaciones entre los bit de salida y de entrada de un trasplantador de código de Gray a binario, para Y_1 e Y_2.
(*b*) Indicar cómo se hallaría la ecuación de Y_1 con transistores.

17-24 Minimizar el número de términos de la Ec. (17-23) y obtener la Ec. (17-24).

17-25 (*a*) Escribir en forma canónica la suma de productos para Y_4 de la Tabla 17-5 del código indicador de siete segmentos.
(*b*) Comprobar que esta expresión puede ser minimizada para $Y_4 = A + C\bar{B}$.

17-26 ¿Cuántas puertas Y, O, y NO se necesitan si se quiere hacer un sumador de tres entradas con un *ROM*? Comparar estos números con los que se utilizan en un sumador integrado.

17-27 (*a*) Comprobar que no es posible que las dos salidas de la Fig. 17-27*a* estén en el mismo estado.
(*b*) Comprobar que, si $S = 0$ y $R = 1$ en la Fig. 17-27*b*, el biestable queda en $Q = 0$.
(*c*) Si $S = R = 0$, comprobar que el estado queda indeterminado (puede ser tanto $Q = 1$ como $Q = 0$).
(*d*) Si $S = R = 1$, comprobar que ambas salidas deberían ir a 1. ¿Es ésta una situación válida?

17-28 Dibujar un diagrama lógico para un FLIP-FLOP *S-R*, empleando puertas AOI en lugar de puertas NAND.

17-29 Se indica la tabla de excitación de un FLIP-FLOP *J-K*. Una *X* en la tabla se debe interpretar como que no importa que la entrada sea 1 ó 0. Esta condición se denomina "indiferente". La segunda línea indica que, para que la salida cambie de 0 a 1, la entrada *J* deberá ser 1, mientras que *K* podrá ser indistintamente 1 ó 0. Comprobar esta tabla de excitación con referencia a la tabla de la verdad de la Fig. 17-29*b*.

Q_n	Q_{n+1}	J_n	K_n
0	0	0	*X*
0	1	1	*X*
1	0	*X*	1
1	1	*X*	0

17-30 Comprobar que la tabla de la verdad de un FLIP-FLOP *J-K* queda satisfecha con la ecuación:

$$Q_{n+1} = J_n\bar{Q}_n + \bar{K}_nQ_n$$

17-31 (*a*) Para el FLIP-FLOP *J-K* de la Fig. 17-30, comprobar que, para $Cr = 1$, $Pr = 0$, y $Ck = 0$, el estado 1 se obtiene independientemente de los valores de J_n y de K_n.
(*b*) Repetir el apartado (*a*) para $Ck = 1$, supuesto que $J_n = K_n = 0$.
(*c*) Comprobar que $Cr = Pr = Ck = 0$ conduce a un estado indeterminado; es decir, puede ser 0 ó 1.

17-32 (*a*) Comprobar que no hay dificultades respecto a las condiciones de auto-oscilación en el circuito *J-K* de la Fig. 17-30 para cualquier combinación de los datos de entrada, excepto para $J = K = 1$.
(*b*) Explicar por qué no existen condiciones de autooscilación (aun para $J = K = 1$) siempre que $t_p < \Delta t < T$.

17-33 (*a*) Para el FLIP-FLOP *J-K* ordenador-seguidor de la Fig. 17-31, suponer $Q = 1$, $\bar{Q} = 0$, $Ck = 1$, $K = 0$, y *J* arbitrario. ¿Cuál será Q_M?
(*b*) Si se cambia *K* a 1, ¿cuál será Q_M?
(*c*) Si *K* vuelve a cero, ¿cuál será Q_M? Obsérvese que Q_M *no* vuelve a su primitivo valor. Por tanto, *K* (*J*) no debe variar durante el impulso.

17-34 Se aplican las ondas indicadas *J*, *K* y *Ck* al FLIP-FLOP *J-K*. Dibujar las formas de onda de salida de *Q* y de $\bar{Q}$ alineadas con respecto a los impulsos del reloj.
NOTA: Suponer que la salida es $Q = 0$ cuando se aplica el primer impulso del reloj, y que $Pr = C_r = 1$.

Ck 0 T 2T 3T
J 0 1 0 1 0
K 1 0 1 0

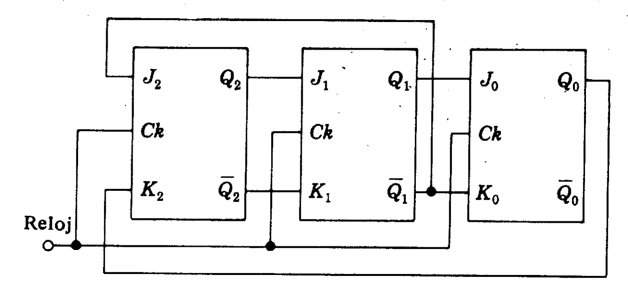
Prob. 17-34

17-35 (*a*) Comprobar que un FLIP-FLOP *S-R* se convierte en tipo *T* si *S* se conecta a $\bar{Q}$ y *R* a *Q*.
(*b*) Comprobar que un FLIP-FLOP de tipo *D* pasa al tipo *T* si *D* se une a $\bar{Q}$.

17-36 Aumentar el registrador de desplazamiento de la Fig. 17-34 con una puerta NOR de cuatro entradas cuya salida se conecta al terminal de entrada serie. Las entradas de la puerta NOR son Q_4, Q_3, Q_2 y Q_1.
(*a*) Comprobar que, independientemente del estado inicial de cada FLIP-FLOP al aplicar la alimentación, el registrador funcionará como un contador de anillo después de *P* impulsos de reloj, siendo $P \leqslant 4$.
(*b*) Si, inicialmente, $Q_4 = 1$, $Q_3 = 1$, $Q_2 = 0$, $Q_1 = 0$ y $Q_0 = 1$, esbozar la forma de onda de Q_o para los primeros 16 impulsos.
(*c*) Repetir el apartado *b* si $Q_4 = 0$, $Q_3 = 1$, $Q_2 = 0$, $Q_1 = 0$ y $Q_0 = 0$.

17-37 (*a*) Dibujar el diagrama de formas de onda de un contador de anillo de Johnson. Es decir, dibujar la forma de onda de Q_4, Q_3, Q_2, Q_1 y Q_0 para, por ejemplo, 12 impulsos. Suponer que, inicialmente, $Q_0 = Q_1 = Q_2 = Q_3 = Q_4 = 0$.
(*b*) Escribir la tabla de la verdad después de cada impulso.
(*c*) A la vista de la tabla, demostrar que se pueden emplear puertas Y de dos entradas para decodificar. Por ejemplo, el impulso 1 se decodifica por $Q_4\bar{Q}_3$. ¿Por qué?

17-38 (*a*) Para el contador en anillo modificado indicado, suponer que, inicialmente, $Q_0 = 1$, $Q_1 = 0$, y $Q_2 = 0$. Hágase una tabla de las lecturas Q_0, Q_1, Q_2, J_2 y K_2 después de cada impulso del reloj. ¿Cuántos impulsos se necesitan antes de que el sistema empiece a funcionar como un contador divisor por *N*? ¿Cuánto será *N*?
(*b*) Repetir el apartado *a* si, inicialmente, $Q_0 = 1$, $Q_1 = 0$ y $Q_2 = 1$.



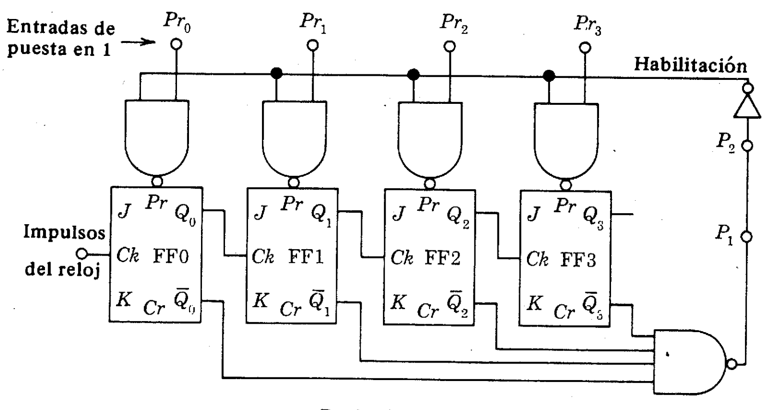
Prob. 17-38

17-39 Se precisa un contador asíncrono de 50 : 1. (a) ¿Cuántos FLIP-FLOP se precisan? (b) Si se dispone de chips con FLIP-FLOP de 4 bit, ¿cuántos chips se precisan? ¿cómo deberán estar interconectados? (c) Indicar las conexiones de realimentación de los terminales de borrado.

17-40 (a) Indicar el diagrama de bloques de un contador asíncrono divisor por 14. Inclúyase un biestable en la entrada de borrado.
(b) ¿Cuáles son las entradas a la puerta NAND de realimentación para un contador asíncrono de 153 : 1?

17-41 Consideremos el funcionamiento del biestable de la Fig. 17-38. Hágase la tabla de las cantidades Ck, Q_1, Q_3, P_1, $\overline{Ck}$, y $P_2 = Cr$ para las siguientes condiciones:
(a) Inmediatamante después del décimo impulso.
(b) Después del décimo impulso y suponiendo que Q_1 se ha repuesto antes de Q_3.
(c) Durante el undécimo impulso.
(d) Después del undécimo impulso.
Esta tabla deberá demostrar que:
(a) El décimo impulso, prepara el biestable para borrar el contador.
(b) El biestable permanece activo hasta que todos los FLIP-FLOP estén borrados.
(c) El flanco positivo del undécimo impulso repone el biestable de forma que $Cr = 1$.
(d) El flanco negativo del undécimo impulso inicia un nuevo ciclo de contado.

17-42 (a) El circuito indicado es un contador asíncrono *programable*. Se sobreentiende que $J = K = Cr = 1$ y que el biestable de la Fig. 17-38b está situado entre P_1 y P_2.

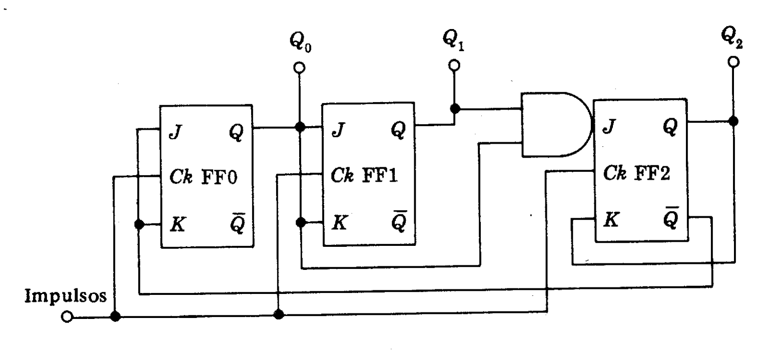


Prob. 17-42

Si $Pr_0 = Pr_1 = 1$ y $Pr_2 = Pr_3 = 0$, ¿cuál será N? Explicar cuidadosamente el funcionamiento.
(b) ¿Por qué se necesita un biestable?
(c) Generalizar los resultados del apartado (a) de la siguiente manera: el contador tiene n etapas y debe dividir por N, siendo $2^n > N > 2^{n-1}$. ¿Cómo deben programarse las entradas de puesta en 1?

17-43 Dibujar el diagrama lógico de un contador síncrono reversible de 5 bit con arrastre en serie.

17-44 Para el diagrama lógico del contador síncrono indicado, escribir la tabla de la verdad de Q_0, Q_1 y Q_2 después de cada impulso, y comprobar que es un contador de 5 : 1.



Prob. 17-44

17-45 Considérese un contador síncrono de dos etapas (ambas etapas reciben los impulsos en la entrada Ck). En cada contador, $K = 1$. Si $J_0 = \bar{Q}_1$ y $J_1 = Q_0$, dibujar el circuito. A partir de la tabla de la verdad de Q_0 y Q_1, después de cada impulso, demostrar que es un contador 3 : 1.

17-46 Dibujar las formas de onda de un divisor 6 : 1 de la Fig. 17-36, y deducir las conexiones para un contador síncrono. Dibujar el diagrama lógico en bloques.

17-47 Resolver el Prob. 17-46 para un divisor 5 : 1.

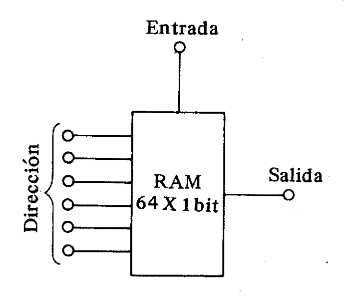
17-48 (a) Comprobar que el circuito de la Fig. 17-44 cumple la función de una puerta NAND. Supongamos que los niveles de tensión de V_1 y V_2 son 0 V o $- V_{DD}$.
(b) Comprobar que este circuito disipa menos potencia que el circuito correspondiente de la Fig. 10-17.
(c) Dibujar el circuito de una puerta NOR dinámica correspondiente a la Fig. 10-8. Repetir los apartados a y b para este circuito.

17-49 Demostrar que, en la etapa de un registrador de desplazamiento de cuatro fases como el de la Fig. 17-48, no hay paso de corriente continua a tierra aun cuando los relojes ϕ_1 y ϕ_2 se superpongan, o cuando les ocurra lo mismo a ϕ_3 y ϕ_4. Supóngase que el terminal de entrada se mantiene a cero volt.

17-50 Dibujar el diagrama lógico de una memoria circulante o repetitiva que almacene 512 informaciones de 4 bit cada una, empleando el TI 3309JC (indicado en la Fig. 17-49) como el circuito básico constructivo. Los datos de entrada se presentan en paralelo, y los datos de salida deben también presentarse en paralelo.

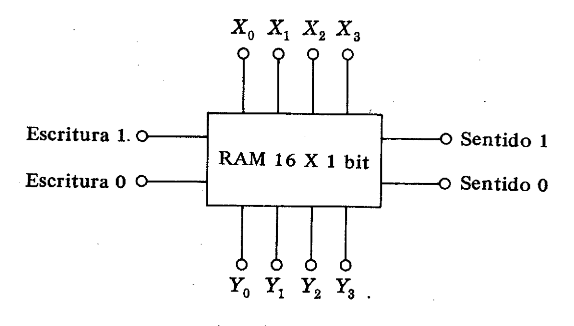
17-51 Dibujar una matriz RAM de 16 informaciones de 4 bit empleando el RAM básico de 1 bit de la Fig. 17-52, y utilizando la selección lineal.

17-52 La figura muestra un RAM de 64 informaciones de 1 bit con decodificador. La memoria acepta una información directriz de 6 bit. Empleando la unidad de memoria anterior como bloque constructivo, preparar una memoria de 64 informaciones de 4 bit.



Prob. 17-52

17-53 La figura indica una matriz de memoria por coincidencia de 16 bit. Se selecciona un bit específico aplicando una lógica 1 a las líneas directrices coincidentes X e Y.
(a) Dibujar el diagrama de una memoria de 16 informaciones de N bit (cada información tiene N bit) empleando el RAM anterior como bloque constructivo básico.
(b) ¿Qué es lo que determina el máximo valor de N en esta configuración?



Prob. 17-53

17-54 (a) Para el convertidor D/A de la Fig. 17-60, demostrar que, cuando el segundo bit más significativo es 1 y todos los demás bit son cero, la salida es $V_0 = V_R/4$.
(b) Hallar V_0 si sólo es 1 el tercer bit más significativo.
(c) Hallar V_0 si sólo es 1 el bit menos significativo.

17-55 La figura indica un convertidor D/A binario con resistencias ponderadas.
(a) Demostrar que la resistencia de salida es independiente de la información digital, y que:

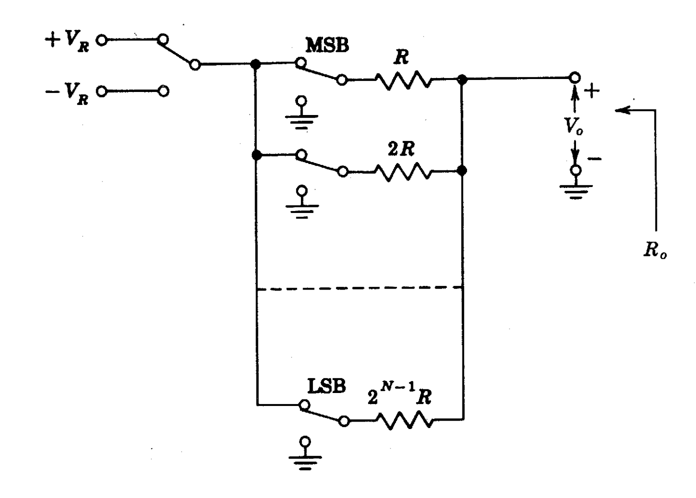
$$R_o = \frac{2^{N-1}}{2^N - 1} R$$

(b) Demostrar que la tensión de salida analógica para el bit más significativo, es:

$$V_o = \frac{2^{N-1}}{2^N - 1} V_R$$

(c) Demostrar que la tensión de salida analógica del bit menos significativo, es:

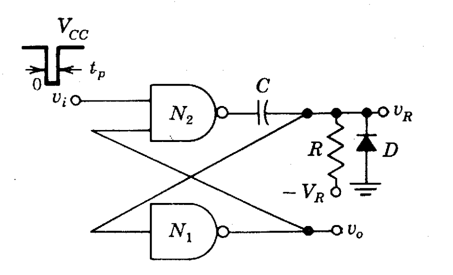
$$V_o = \frac{1}{2^N - 1} V_R$$



Prob. 17-55

17-56 Modificar el diagrama de bloques de la Fig. 17-64 para reproducir M líneas de N caracteres cada una en la pantalla de un tubo de rayos catódicos.

17-57 El circuito indicado está formado por dos puertas NAND interacopladas. El acoplamiento desde la salida de N_1 a la entrada de N_2 es directo (acoplado en continua), mientras que se utiliza el acoplamiento resistencia capacidad (en alterna) desde la salida de N_2 a la entrada de N_1. Se emplea lógica positiva TTL y los niveles son 0 y V_{CC}. Supongamos que una puerta NAND cambia de estado cuando su tensión de entrada cae por debajo de V ($\approx$ 1,6 V para una puerta TTL).



Prob. 17-57

Despreciar la caída entre los extremos del diodo D. La entrada v_i está en V_{CC} y en el instante $t = 0$ cae a cero V durante un corto tiempo t_p; es decir, se aplica un impulso negativo estrecho.
(a) Comprobar que el circuito se comporta como un multivibrador monoestable dibujando las formas de onda de v_R y v_o.
(b) Hallar la duración T del impulso de salida, suponiendo $T > t_p$.

CAPITULO 18

18-1 (a) La distorsión no lineal se traduce en la generación de frecuencias a la salida que no aparecían en la entrada. Si se puede representar la curva dinámica por la Ec. (18-6), y si la señal de entrada viene dada por:

$$i_b = I_1 \cos \omega_1 t + I_2 \cos \omega_2 t,$$

demostrar que la salida contendrá un término en continua y términos senoidales de frecuencias $\omega_1, \omega_2, 2\omega_1, 2\omega_2, \omega_1 + \omega_2$ y $\omega_1 - \omega_2$.
(b) Generalizar los resultados del apartado a, demostrando que si la curva dinámica se puede representar por términos de orden superior en i_b, la salida contendrá frecuencias de intermodulación, dadas por la suma y la diferencia de múltiplos enteros de ω_1 y ω_2, por ejemplo $2\omega_1 \pm 2\omega_2$, $2\omega_1 \pm \omega_2$, $3\omega_1 \pm \omega_2$, etc.

18-2 Un transistor suministra 0,85 W a una carga de 4 K. Con señal nula, la corriente continua de colector es de 31 mA y con señal es de 34 mA. Determinar el porcentaje de distorsión del segundo armónico.

18-3 La excitación de entrada de un amplificador es $i_b = I_{bm}$ sen ωt. Demostrar que la corriente de salida se puede representar por una serie de Fourier que sólo contiene componentes senoidales impares y cosenoidales pares.

18-4 Realizar las operaciones omitidas en la obtención de las Ecs. (18-18).

18-5 Preparar un método de cinco puntos para determinar B_0, B_1, B_2 y B_4 en función de I_{max}, $I_{0,707}$, I_C, $L_{0,707}$ e I_{min}.

18-6 En el circuito de la Fig. 18-4 se emplea un transistor p-n-p cuyas características de entrada y de salida vienen dadas en la Fig. 18-5, con $R_s = 0$ y $R'_L = (N_1/N_2)^2 R_L = 10\ \Omega$. El punto de reposo es $I_C = -1{,}1$ A y $V_{CE} = -7{,}5$ V. La tensión de base a emisor senoidal, de 2 000 Hz, es de 140 mV de pico a pico.
(a) ¿Cuál será la componente fundamental de la corriente de salida?
(b) ¿Cuál es en porcentaje la distorsión del segundo, tercer y cuarto armónico?
(c) ¿Cuál es la potencia de salida?
(d) ¿Cuál es la componente rectificada B_o de la corriente del colector?
Despreciar cualquier cambio en el punto de funcionamiento.

18-7 Comprobar los datos indicados en la Fig. 18-6 para $R'_L = 20\ \Omega$.

18-8 Para las condiciones de funcionamiento indicadas en la Fig. 18-5 calcular la potencia fundamental P_1 para (a) $R'_L = 5\ \Omega$, (b) $R'_L = 30\ \Omega$.

18-9 Repetir el problema 18-6, pero suponiendo ahora una corriente excitadora (elevado valor de R_s) tal que la corriente de base sea senoidal, con un valor de pico a pico de 30 mA.

18-10 Un transistor de potencia que trabaja en clase A en el circuito de la Fig. 18-4 debe dar un máximo de potencia de 5 W sobre una carga de 4 Ω ($R_L = 4\ \Omega$). El punto de reposo se ajusta para tener una variación simétrica, y la tensión de alimentación

del colector es $V_{CC} = 20$ V. Suponer características ideales, como en la Fig. 18-7, con $V_{min} = 0$.
(a) ¿Cuál es la relación de espiras del transformador $n = N_2/N_1$?
(b) ¿Cuál es la corriente I_m de pico del colector?
(c) ¿Cuál será el punto de reposo I_C, V_{CE}?
(d) ¿Cuál es el rendimiento del circuito del colector?

18-11 Dibujar tres características de colector de un transistor correspondientes a las corrientes de base $I_B + I_{bm}$, I_B, $I_B - I_{bm}$. Dibujar la línea de carga que pasa por $i_C = 0$, $v_{CE} = V_{CC}$ y el punto de reposo $i_B = I_B$; $i_C = I_C$ y $v_{CE} = V_C$. Esto corresponde a una resistencia de carga colocada en serie.
(a) Suponiendo que la señal de entrada es cero, indicar en el plano $i_C - v_{CE}$ las áreas que representan la potencia total de entrada al circuito de colector, la disipación del colector, y la potencia perdida en la resistencia de carga.
(b) Repetir el apartado a si la señal de entrada es senoidal, con un valor de pico igual a I_{bm}. También se debe indicar el área que representa la potencia de salida.
(c) ¿La relación de cuáles dos áreas da el rendimiento del circuito de colector?
(d) Repetir los apartados a al c para la carga conectada en paralelo. Suponer que la resistencia estática es pequeña, pero no nula.

18-12 En un sistema en contrafase, la entrada (corriente de base) al transistor $Q1$ es $x_1 = x_m \cos \omega t$, y la entrada al transistor $Q2$ es $x_2 = -X_m \cos \omega t$: La corriente de colector en cada transistor se puede expresar en función de la excitación de entrada, en forma de serie como:

$$i_c = I_C + a_1 x + a_2 x^2 + a_3 x^3 + \ldots$$

(a) Con la ayuda de esta serie, demostrar que la corriente de salida contiene solamente términos coseno impares.
(b) Demostrar que la corriente de alimentación de colector sólo contiene armónicos pares, que se agregan a un término de corriente continua.

18-13 Probar, sin la ayuda de las series de Fourier, que existe simetría de media onda [Ec. (18-37)] en un amplificador en contrafase. Comenzar con $i = k(i_1 - i_2)$ y emplear la Ec. (18-34).

18-14 Un solo transistor está trabajando como un amplificador ideal en clase B con una carga de 1 K. Un medidor de continua colocado en el circuito de colector, señala 10 mA. ¿Cuánta potencia de señal se entrega a la carga?

18-15 Dado un amplificador a transistores que trabaja en clase B, ideal, cuyas características son las de la Fig. 18-9. La tensión de alimentación del colector V_{CC} y la resistencia de carga efectiva $R'_L = (N_1/N_2)^2 R_L$ son fijadas a medida que la corriente de base de excitación varía. Demostrar que la disipación de colector P_C es cero en ausencia de señal ($V_m = 0$), aumenta cuando V_m crece, y pasa por un máximo dado por la Ec. (18-42) a $V_m = 2V_{CC}/\pi$.

18-16 El amplificador de potencia ideal en contrafase de clase B indicado en la Fig. 18-8 tiene $R_2 = 0$, $V_{CC} = 20$ V, $N_2 = 2N_1$, y $R_L = 20\ \Omega$, y el transistor tiene $h_{FE} = 20$. La entrada es una senoide. Para la máxima señal de salida a $V_m = V_{CC}$, determinar: (a) la potencia de la señal de salida, (b) la disipación en el colector de cada transistor.

18-17 El transistor de potencia cuyas características se indican en la Fig. 18-5 se emplea en un circuito en contrafase de clase B, como el de la Fig. 18-8, con $R_2 = 0$ y $-V_{CC} = -20$ V. Si la corriente de base es senoidal con un valor de pico de 20 mA y $R'_L = (N_1/N_2)^2 R_L = 15\ \Omega$, calcular: ($a$) la distorsión de tercer armónico, (b) la potencia de salida, (c) el rendimiento del circuito de colector.

18-18 Repetir el Prob. 18-17, empleando $-V_{CC} = -15$ V, $R'_L = 7{,}5\ \Omega$ y el pico de la corriente de base de 30 mA.

18-19 El transistor de potencia cuyas características son las indicadas en la Fig. 18-5, se emplea en un circuito en contrafase de clase B como el de la Fig. 18-8, con $R_2 = 0$ y $-V_{CC} = -20$ V y $R'_L = 15\ \Omega$. Si la tensión de base es senoidal, con un valor de pico de 0,4 V, dibujar la corriente de salida de colector. Obsérvese la distorsión de cruce.

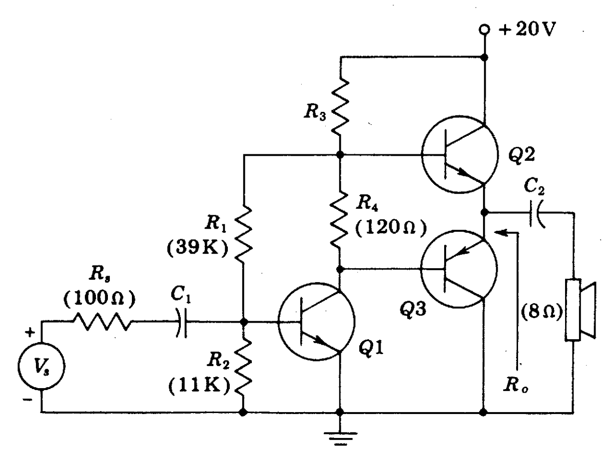
18-20 Esbozar el circuito de un amplificador a transistores en contrafase clase B, en configuración de colector común: (*a*) con transformador de salida, (*b*) sin transformador de salida.

18-21 Discutir el circuito complementario en contrafase de la Fig. 18-11. En particular, demostrar que no se presentan armónicos de orden par.

18-22 El circuito indicado representa un amplificador de potencia en contrafase de simetría complementaria en clase B sin transformador. Los transistores $Q2$ y $Q3$ son elementos aparejados de silicio, con $h_{FE} \approx h_{fe} = 100$ y $h_{ie} = 50\ \Omega$. $Q1$ es un transistor de silicio cuyos parámetros h a pequeña señal vienen en la Tabla 8-2, y $h_{FE} = 50$.
(*a*) Explicar el funcionamiento de este circuito. Obsérvese especialmente el papel que desempeña el condensador C_2. Despreciar las corrientes inversas de saturación.
(*b*) Calcular las corrientes de reposo en todas las resistencias, y determinar el valor de R_3 para que:

$$|V_{CE3}| = |V_{CE2}|$$

(*c*) Hallar la resistencia de salida R_o, suponiendo que funciona en clase B ideal.
(*d*) Calcular la potencia máxima que puede suministrar a un altavoz de 8 Ω. Téngase en cuenta la resistencia de salida R_o, y supóngase $V_{CE,\text{sat}} \approx 0$. *Sugerencia:* En los apartados c y d, suponer que, para el funcionamiento en clase B, $R_4 = 0$.



Prob. 18-22

18-23 Comprobar las ecuaciones (18-57) y (18-58).

18-24 Hallar la resistencia de salida de una fuente de alimentación regulada en serie como la dada en la Ec. (18-59). *Sugerencia:* Cortocircuitar la entrada, $V_i = 0$, y obtener la expresión de la corriente de salida, empleando una fuente de tensión auxiliar.

18-25 Diseñar una fuente de potencia regulada como la de la Fig. 18-17, con las siguientes especificaciones:
Tensión nominal de entrada no regulada $V_i = 30$ V y $r_o = 8\ \Omega$.
Tensión nominal de salida regulada $V_o = 12$ V.
Máxima corriente de carga $I_{L,\max} = 200$ mA.
Transistor de control $Q1$ (silicio): $h_{FE} = h_{fe} = 100$, $h_{ie} = 200\ \Omega$.
Transistor amplificador $Q2$ (silicio): $h_{FE} = h_{fe} = 200$, $h_{ie} = 1$ K.
Diodo de avalancha de referencia D: $V_R = 6$ V, $R_z = 10\ \Omega$ a $I_z = 20$ mA.
(*a*) Esbozar el circuito completo y obtener valores razonables para R_1, R_2 y R_3.
(*b*) Calcular el factor de estabilización de tensión S_V.
(*c*) Calcular la resistencia de salida R_o.

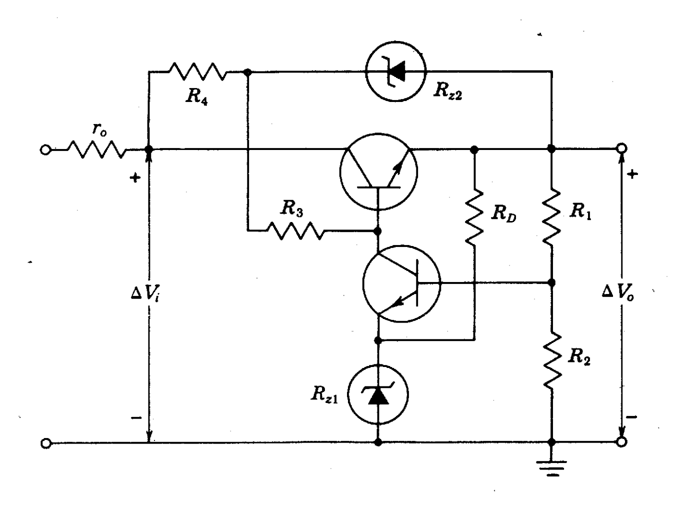
18-26 En el circuito de la Fig. 18-18, el transistor de control $Q1$ es sustituido por un par Darlington $Q1$-$Q3$. La unión entre el colector de $Q2$ y R_3 se conecta a la base de $Q3$.
(*a*) Discutir las posibles mejoras de S_V sobre los valores del circuito de la Fig. 18-18.
(*b*) Demostrar que la resistencia de salida es:

$$R_o \approx \frac{r_o + \dfrac{R_3 + h_{fe3}h_{ie1}}{h_{fe1}h_{fe3}}}{1 + G_m(R_3 + r_o)}$$

donde G_m viene dado por la Ec. (18-57).

18-27 Repetir el problema 18-25 empleando el circuito del Prob. 18-26. Suponer que $Q2$ y $Q3$ son idénticos.

18-28 El circuito indicado emplea un diodo zener como prerregulador.
(*a*) Explicar cuidadosamente el funcionamiento del circuito.
(*b*) Obtener una expresión aproximada para el factor de regulación de entrada: S_V. *Sugerencia:* Suponer $\Delta V_o \approx 0$ cuando $\Delta V_i \gg \Delta V_o$.

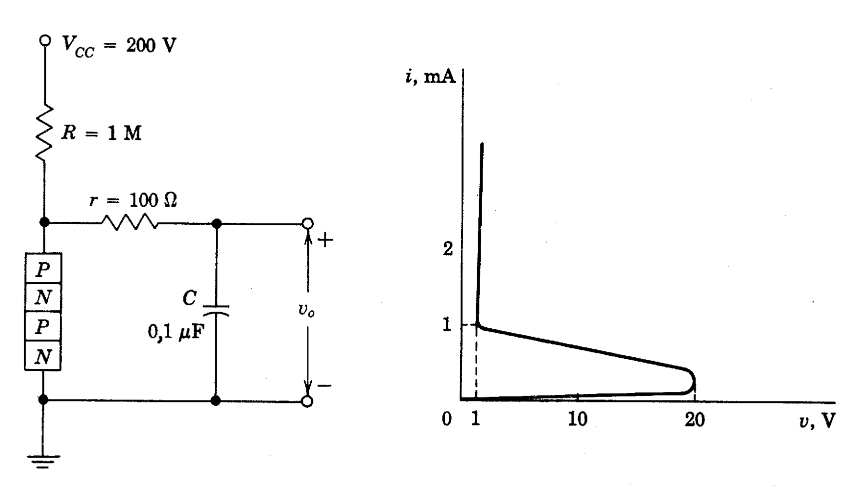


Prob. 18-28

18-29 Esbozar el circuito de una fuente de alimentación a semiconductores regulada, cuya salida sea positiva con respecto a tierra, empleando (*a*) transistores *p-n-p*, (*b*) transistores complementarios.

18-30 Esbozar el circuito de una fuente de alimentación a semiconductores regulada, cuya salida sea negativa con respecto a tierra, empleando: (*a*) transistores *p-n-p*, (*b*) transistores *n-p-n*, (*c*) transistores complementarios.

18-31 Si la característica *V-I* del diodo *p-n-p-n* es la indicada, calcular y trazar la curva de la tensión de salida v_O. Indicar todas las tensiones críticas y los valores del tiempo.



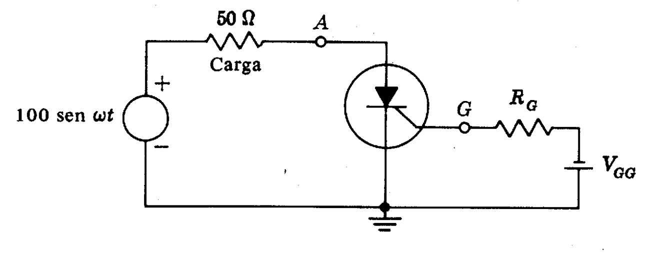
Prob. 18-31

18-32 El circuito de la figura 18-31 se ajusta para que la conducción empiece 90° más tarde del comienzo de cada medio ciclo positivo de la tensión aplicada. La caída de tensión en el tiristor (SCR) es despreciable. La tensión aplicada es senoidal de 300 V eficaces, y la carga es una resistencia de 50 Ω. Calcular:
(*a*) La corriente continua de carga.
(*b*) La potencia disipada en la carga.
(*c*) La corriente de carga eficaz.

18-33 El circuito de la Fig. 18-34 se ajusta para que el ángulo de conducción sea de 60°. La caída de potencial en el rectificador y en el SCR, cuando conducen, es despreciable. La tensión aplicada es de 300 V eficaces, y la carga es una resistencia de 10 Ω. Calcular:
(*a*) La lectura del verdadero valor eficaz en un amperímetro adecuado colocado en serie con la carga.
(*b*) La lectura en un amperímetro de corriente continua en serie con la carga.
(*c*) La lectura del verdadero valor eficaz en un voltímetro adecuado colocado en paralelo con la carga.
(*d*) La lectura de un voltímetro de continua en paralelo con la carga.
(*e*) La potencia de continua en la carga.
(*f*) La potencia total disipada en la carga.

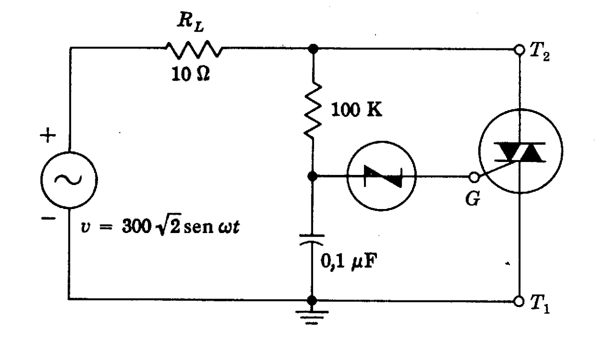
18-34 El SCR se emplea para regular la potencia suministrada a una carga de 50 Ω por una fuente senoidal. Si se puede ajustar la alimentación de la puerta V_{GG}:
(*a*) ¿En qué margen puede ser variado de forma continua el ángulo de conducción del SCR?

(*b*) ¿Dentro de qué margen cabe variar la corriente continua de la carga si la frecuencia es de 60 Hz?



Prob. 18-34

18-35 El circuito indicado se emplea para regular la potencia disipada en la resistencia de carga de 10 Ω. Suponer que el diodo conmutador de doble dirección tiene una tensión de ruptura de ± 2,8 V y que las tensiones residuales del diodo y del triac son despreciables.
La tensión senoidal aplicada es de 300 V eficaces a 60 Hz.
(*a*) Calcular el ángulo de conducción.
(*b*) Dibujar la forma de onda de la tensión aplicada a la carga.
(*c*) Calcular la potencia total disipada por la resistencia de carga.



Prob. 18-35

CAPITULO 19

19-1 El peso específico del tungsteno es de 18,8, y su peso atómico es de 184,0. Supóngase que hay dos electrones libres por átomo. Calcular el valor numérico de n y de E_F.

19-2 ¿Cuántos electrones por metro cúbico del tungsteno metálico tienen una energía comprendida entre 8,5 y 8,6 eV, (*a*) a 0 °K, (*b*) a 2 500 °K?

19-3 (*a*) Calcular la máxima energía de los electrones libres en el aluminio metálico, en el cero absoluto. Suponer que hay tres electrones libres por átomo. El peso específico del aluminio es de 2,7.
(*b*) Repetir el apartado *a* para los electrones de la plata. El peso específico de la plata es de 10,5. Supóngase que hay un electrón libre por átomo.

19-4 (*a*) Demostrar que la energía media E_{av} de los electrones de un metal viene dada por:

$$E_{av} = \frac{\int E \, dn_E}{\int dn_E}$$

(*b*) Probar que la energía media en el cero absoluto es $3 E_F/5$.

19-5 Si la emisión de un cierto cátodo es 10.000 veces mayor a 2 000 que a 1 500 °K, ¿cuál es la función de trabajo de esta superficie?

19-6 (*a*) Si la temperatura de un filamento de tungsteno pasa de 2 300 a 2 320 °K, ¿en qué porcentaje cambiará la emisión?
(*b*) ¿A qué temperatura se deberá calentar el filamento para duplicar su emisión a 2 300 °K?

19-7 Probar que el cambio relativo de la corriente termoiónica viene dado por:

$$\frac{dI_{th}}{I_{th}} = \left(2 + \frac{E_w}{kT}\right) \frac{dT}{T}$$

19-8 Si se absorbe el 10 % de la corriente de emisión termoiónica, ¿cuál será la tensión retardadora en la superficie del metal? La temperatura del filamento es de 2 000 °K.

19-9 ¿Qué fracción de la corriente termoiónica se obtendrá con una tensión nula aplicada entre el cátodo y el ánodo de un diodo? La función de trabajo del cátodo es de 4,50 V, y la del ánodo es de 4,75 V. La temperatura del cátodo es de 2 000 °K.

19-10 Un cátodo plano con función de trabajo de 3,00 V se conecta directamente a un ánodo plano paralelo cuya función de trabajo es de 5,00 V. La distancia entre ánodo y cátodo es de 2,00 cm. Si un electrón abandona el cátodo con una velocidad normal a la superficie de $5{,}93 \times 10^5$ m/seg. ¿a qué distancia del ánodo llegará?

19-11 Un diodo tiene un cátodo recubierto de óxido y funciona a la temperatura de 1 000 °K. Con una tensión de placa cero, la corriente de ánodo es prácticamente nula, indicando con ello que el potencial de contacto es lo suficientemente elevado para evitar que la mayor parte de los electrones alcancen la placa. Se aumenta la tensión para que circule una pequeña corriente. Demostrar que la corriente aumenta diez veces para cada aumento de 0,2 V en la tensión.

19-12 Un diodo con electrodos planos paralelos funciona a la temperatura de 1 500 °K. El filamento es de tungsteno y el área tiene las dimensiones necesarias para lograr una corriente termoiónica de 10 μA. La diferencia de potencial de contacto entre ánodo y cátodo es de 0,5 V, con el cátodo a potencial mayor.
(*a*) ¿Cuál será la corriente que se obtenga al aplicar tensión cero?
(*b*) ¿Qué tensión deberá aplicarse para obtener la corriente de 1 μA?
(*c*) ¿Qué fracción de los electrones emitidos por el filamento pueden cruzar un *campo retardador* de 1 V?

19-13 Indicar por escrito cuales de las siguientes premisas son ciertas:
(*a*) La función de trabajo de un metal es siempre menor que la barrera de potencial en la superficie del metal.
(*b*) La barrera de potencial en la superficie de un metal es una colina del propio material del metal.
(*c*) La estructura iónica de un metal demuestra que el interior del metal no es un volumen equipotencial.
(*d*) En el cero absoluto, todos los electrones del metal tienen energía nula.
(*e*) La estructura iónica de un metal demuestra que la superficie del metal no es un lugar específico.
(*f*) Para que un electrón escape de un metal, la barrera de potencial de la superficie del metal primero debe romperse.
(*g*) La función de distribución de los electrones de un metal muestra cuantos electrones están junto al núcleo y cuantos no lo están.

19-14 Indicar cuáles de las aseveraciones siguientes son ciertas:
(*a*) La energía potencial en función de la distancia a lo largo de una fila de iones *dentro* del metal, varía muy rápidamente en la inmediata vecindad de un ion, pero es casi constante en el resto del metal.
(*b*) La barrera de energía potencial en la superficie de un metal no se puede explicar a base de la moderna imagen de la estructura cristalina de un metal, pero sí a base de la electrostática clásica (fuerzas imagen).
(*c*) Para extraer un electrón libre de un metal, basta con dar a este electrón una energía igual a la función de trabajo.
(*d*) El símbolo de E_F que se emplea en la función de distribución de energía, representa el número máximo de electrones libres por metro cúbico del metal, en el cero absoluto.
(*e*) El área comprendida bajo la curva de distribución de energía representa el número total de electrones libres por metro cúbico de metal a cualquier temperatura.
(*f*) La ecuación de Dushman de la emisión termoiónica da la corriente que se obtiene de un cátodo caldeado en función de la tensión aplicada a la placa.

19-15 Calcular n dado por la Ec. (19-29). *Sugerencia:* Valerse de una tabla de integrales definidas.

19-16 Comprobar la expresión de p en la Ec. (19-35). *Sugerencia:* Valerse de una tabla de integrales definidas.

19-17 Si la masa efectiva de un electrón es igual al doble de la masa efectiva de un hueco, hallar la distancia (en electrón-volt) del nivel de Fermi en un semiconductor intrínseco desde el centro de la banda prohibida, a temperatura ambiente.

19-18 (*a*) Comprobar los valores numéricos de las Ecs. (19-41) y (19-42).
(*b*) A partir de la Ec. (19-42) y con los valores numéricos dados en la tabla 2-1, calcular $m_n m_p/m^2$.

19-19 (*a*) Probar que la variación relativa de la conductividad de un semiconductor intrínseco viene dada por:

$$\frac{d\sigma}{\sigma} = \frac{dn_i}{n_i} = \left(\frac{3}{2} + \frac{E_{Go}}{2kT}\right) \frac{dT}{T}$$

(*b*) Empleando los resultados del apartado (*a*), demostrar que la conductividad del Ge (Si) a temperatura ambiente aumenta aproximadamente en un 6 (8) % por grado de aumento de la temperatura.

19-20 (*a*) En un germanio tipo n, la concentración de donadores corresponde a 1 átomo por 10^8 átomos de germanio. Suponer que la masa efectiva del electrón es igual a la mitad de la masa verdadera. A temperatura ambiente, ¿a qué distancia del límite de la banda de conducción está el nivel de Fermi? ¿E_F está por encima o por debajo de E_C?
(*b*) Repetir el apartado (*a*) si se añaden impurezas a razón de un átomo donador por 10^3 átomos de germanio.
(*c*) ¿En qué circunstancias E_F coincidirá con E_C?

19-21 (*a*) En un silicio tipo *p*, la concentración de aceptadores corresponde a 1 átomo por cada 10^8 átomos de silicio. Suponer que $m_p = 0{,}6$ m. A temperatura ambiente, ¿a qué distancia del límite de la banda de valencia está el nivel de Fermi? ¿E_F estará por encima o por debajo de E_V?
(*b*) Repetir el apartado (*a*) si se agregan impurezas a razón de 1 átomo aceptador por cada 5×10^3 átomos de silicio.
(*c*) ¿En qué condiciones E_F coincidirá con E_V?

19-22 En un silicio tipo *n*, la concentración de donadores es de 1 átomo por cada 2×10^8 átomos de silicio. Supóngase que la masa efectiva del electrón iguala a la masa real. ¿A qué temperatura el nivel de Fermi coincidirá con el límite de la banda de conducción?

19-23 En un germanio tipo *p* a temperatura ambiente (300 °K), ¿para qué concentración de dopado el nivel de Fermi coincidirá con el límite de la banda de valencia? Suponer que $m_p = 0{,}4$ m.

19-24 (*a*) Un diodo túnel de germanio tiene una concentración de impurezas en el lado *p* de 3 partes en 10^3 átomos, y en el lado *n* de dos partes en 10^3 átomos. Con $m_n = m_p = 0{,}4$ m, calcular E_G, E_o, y $E_F - E_{Cn}$ de este diodo.
(*b*) Dibujar las bandas de energía de este diodo empleando los resultados del apartado (*a*).

19-25 (*a*) En una región de un semiconductor circula una corriente en la dirección *x*, cuya densidad es J A/m^2 y que se debe enteramente al gradiente de concentración de huecos. *J* es constante con *x* y con el tiempo; para $x = 0$, la concentración de huecos es p (0). Hallar la concentración de huecos en función de *x*. La recombinación, el campo debido a la carga almacenada y la modulación de la conductividad, se pueden despreciar. (Esta situación corresponde a la región de base en un transistor *p-n-p* de unión abrupta).
(*b*) Supóngase ahora que hay también un campo eléctrico de magnitud $\mathcal{E}$ V/m en la dirección negativa de las *x*. Fluye la misma corriente, pero la concentración de huecos es ahora p' (0) a $x = 0$. Teniendo en cuenta que *J* es la corriente de difusión menos la corriente de conducción, demuéstrese que la concentración de huecos es (si $\mathcal{E}$ es independiente de *x*):

$$p(x) = \epsilon^{-x/x_o} \left[p'(0) + \frac{J}{q\mu_p \mathcal{E}} \right] - \frac{J}{q\mu_p \mathcal{E}}$$

y hallar x_o.
(*c*) Demostrar que, para valores pequeños de *x*, la fórmula del apartado *b* se reduce a:

$$p(0) = p'(0) - x \left[\frac{J}{qD_p} + p'(0)\frac{\mu_p \mathcal{E}}{D_p} \right]$$

donde D_P es la constante de difusión para los huecos.
(*d*) Esbozar los resultados de los apartados (*a*) y (*b*) en los mismos ejes para $p'(0) > p(0)$. ¿Cómo se comparan las pendientes?

19-26 (*a*) Supongamos que *Q* sea el exceso de carga minoritaria almacenada en un volumen de sección *A* y longitud *L*. Si no hay campo eléctrico alguno en este volumen, y si la corriente *i* que fluye perpendicularmente a la sección *A* se debe exclusivamente a la difusión de portadores minoritarios, demostrar que la carga almacenada *Q* satisface la ecuación:

$$\frac{dQ}{dt} + \frac{Q}{\tau} = i$$

en la que τ es el tiempo de vida medio de los portadores minoritarios.
(*b*) Demostrar que la corriente en régimen permanente es:

$$I_{ss} = \frac{Q}{\tau}$$

19-27 Un diodo semiconductor tiene una corriente continua I_F en sentido directo. A $t = 0^+$, la corriente cambia bruscamente a $-I_R$. Demostrar que el tiempo t_s requerido para eliminar el exceso de carga de los portadores minoritarios Q_o será:

$$t_s = \tau \, 1 \left(1 + \frac{I_F}{I_R} \right)$$

donde τ es el tiempo medio de vida de los electrones y de los huecos. *Sugerencia:* Emplear los resultados del Prob. 19-26 y observar que en $t = 0$, $Q = Q_o = \tau I_F$.

19-28 (*a*) Comprobar la Ec. (19-91).
(*b*) Calcular $[d(1\, I_o)]/dt$ para el Ge y el Si (para la corriente nominal).

19-29 (*a*) Consideremos un diodo polarizado en sentido directo a una tensión fija *V*. Demostrar que el cambio relativo de la corriente, con respecto a la temperatura, es:

$$\frac{1}{I}\frac{dI}{dT} = \frac{V_{GO} - V}{\eta T V_T} + \frac{m}{T}$$

(*b*) Hallar el porcentaje de cambio en la corriente por grado centígrado para el Ge a $V = 0{,}2$ V y para el Si a $V = 0{,}6$ V.

19-30 Obtener con detalle la deducción de la capacidad de difusión dinámica esbozada en la Sec. 19-12.

19-31 Comprobar la Ec. (19-117).

19-32 (*a*) Si no se supone que $W/L_B \ll 1$, demostrar que las Ecs. (19-114) y (19-116) permanecen válidas siempre que:

$$a_{11} = Aq \left(D_p \frac{p_{no}}{L_B} \operatorname{cotg h} \frac{W}{L_B} + \frac{D_n n_{EO}}{L_E} \right)$$

$$a_{12} = a_{21} = -AqD_p \frac{p_{no}}{L_B} \operatorname{cosec h} \frac{W}{L_B}$$

$$a_{22} = Aq \left(D_p \frac{p_{no}}{L_B} \operatorname{cotg h} \frac{W}{L_B} + \frac{D_n n_{CO}}{L_C} \right)$$

(*b*) Demostrar que, si $W/L_B \ll 1$, estas expresiones se reducen a las ecuaciones dadas (19-115) y (19-117).

19-33 Empleando los resultados del Prob. 19-32*a*, comprobar que $\alpha = \beta^* \gamma$, donde γ viene dada por la ecuación (19-123) y β^* por la Ec. (19-124).

19-34 Si $W/L_B \ll 1$, comprobar que las ecuaciones (19-125) y (19-126) se obtienen a partir de las ecuaciones (19-123) y (19-124) respectivamente.

19-35 Partiendo de las Ecs. (19-131) y (19-132) y suponiendo que $I_B \gg I_{CO}$ demostrar que:

$$V_{CE} \approx \pm V_T \ 1 \frac{1 + \frac{I_C}{I_B}(1-\alpha_I)}{\alpha_I \left(1 - \frac{I_C}{I_B}\frac{1-\alpha_N}{\alpha_N}\right)} = \pm V_T \ 1 \frac{1 + h_{FEI} + \frac{I_C}{I_B}}{h_{FEI}\left(1 - \frac{I_C}{h_{FE} I_B}\right)}$$

donde $h_{FE} = \alpha_N/(1-\alpha_N)$ y $h_{FE1} = \alpha_I/(1-\alpha_1)$. Comparar con la Ec. (5-31).

19-36 (*a*) La resistencia incremental entre colector y emisor para un conmutador con emisor a tierra y corriente de base constante, puede calcularse como:

$$r_{CE} = \left|\frac{dV_{CE}}{dI_C}\right|_{I_B} = \left|\frac{d(V_E - V_C)}{dI_C}\right|_{I_B}$$

donde V_E y V_C son, respectivamente, las caídas de potencial a través de las uniones de emisor y de colector. Empleando las Ecs. (19-131) y (19-132), demostrar que:

$$r_{CE} = V_T \left[\frac{1-\alpha_N}{\alpha_N I_B - I_C(1-\alpha_N) + I_{CO}} + \frac{1-\alpha_I}{I_B + I_C(1-\alpha_I) + I_{EO}}\right]$$

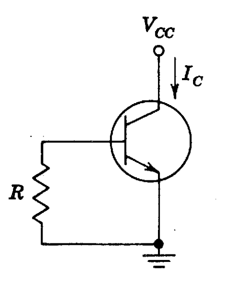
(*b*) Si $I_B \gg I_{CO}$ y si $\frac{1-\alpha_N}{\alpha_N}\frac{I_C}{I_B} \ll 1$,

demostrar que

$$r_{CE} \approx \frac{V_T}{I_B}\frac{1-\alpha_N\alpha_I}{\alpha_N}$$

19-37 (*a*) Demostrar que I_C viene dada aproximadamente por:

$$I_C = I_{CER} = \frac{\left[1 + \frac{I_{EO}(R + r_{bb'})}{V_T}\right] I_{CO}}{1 - \alpha_N\alpha_I + (1-\alpha_N)\frac{I_{EO}(R + r_{bb'})}{V_T}}$$



Prob. 19-37

donde $r_{bb'}$ es la resistencia de dispersión de la base. *Sugerencia:* Supóngase que la unión de colector está polarizada en sentido inverso y que la unión de emisor está polarizada *ligeramente* en sentido directo. Utilícense las ventajas de las aproximaciones que proporciona el hecho de ser pequeña la polarización directa.

(*b*) Un transistor de germanio que trabaja a temperatura ambiente tiene $\alpha_N = 0{,}98$, $I_{CO} = 2\ \mu A$, $I_{EO} = 1{,}6\ \mu A$ y $r_{bb'} = 200\ \Omega$. Calcular I_C para $R = 0$ y $R = \infty$.

(*c*) ¿Qué valor de R dará una corriente de colector intermedia entre las corrientes correspondientes al corcocircuito y a la apertura de la base?

19-38 Emplear las ecuaciones de Ebers-Moll para demostrar que la transconductancia de un transistor en la región activa viene dada por:

$$g_m = \left.\frac{dI_C}{dV_E}\right|_{V_C = \text{const}} \approx \frac{1}{V_T}\left[I_C - \frac{(1-\alpha_I) I_{CO}}{1-\alpha_N\alpha_I}\right] \approx \frac{I_C}{V_T}$$

Sugerencia: Suponer $\epsilon^{V_C/V_T} \ll 1$.

19-39 Un transistor de germanio del tipo 2N404 funciona a temperatura ambiente en la configuración de emisor común. La tensión de alimentación es de 6 V, la resistencia del circuito de colectores es de 200 Ω, y la corriente de base es el 20 % mayor que el valor mínimo requerido para excitar el transistor hasta la saturación. Supongamos que los parámetros del transistor son los siguientes: $I_{CO} = -5\ \mu A$, $I_{EO} = -2\ \mu A$, $h_{FE} = 100$ y $r_{bb'} = 250\ \Omega$. Hallar $V_{BE,\text{sat}}$ y $V_{CE,\text{sat}}$.

19-40 Un transistor de silicio de doble difusión 2N1708 tiene los siguientes parámetros: $h_{FE} = 30$, $h_{FEI} = 0{,}2$, $r_{bb'} = 30\ \Omega$ e $I_{CO} = 13$ nA, y tiene una resistencia del cuerpo del colector de 6 Ω. Funciona con $I_B = 1$ mA e $I_C = 10$ mA. Hallar V_{BE} y V_{CE} a temperatura ambiente.

Indice alfabético

B

C

H

I

L

M

N

O

P

R

S

T

U

V